

1群(信号・システム) - 7編(電子回路)

2章 トランジスタ増幅回路

(執筆者: 佐藤隆英・山路隆文)[2009年2月受領]

概要

本章ではトランジスタの最も基本的な応用回路である増幅回路の諸特性について述べる。増幅回路はそれ自身が様々な回路ブロックで用いられるだけでなく、増幅回路を設計する際に用いられる手法の多くが、ほかの回路ブロックの設計にも応用されるため、増幅回路の特性及び設計手法の理解はトランジスタ回路を理解する上で欠くことができない。

2-1節では、1個のトランジスタからなる基本的な増幅回路について述べる。複数のトランジスタからなる様々な電子回路は、一見すると非常に複雑な動作をしているように見える。しかし、内部に存在する個々のトランジスタの動作はトランジスタ1個からなる3種の基本的な増幅回路のいずれかの動作に分類することができる。基本増幅回路の特性を十分に理解することで、複雑な回路であっても回路全体の特性を決める要因を即座に掴むことが可能となる。

2-2節では、増幅回路の相互接続について述べる。基本増幅回路では実現することのできない電圧利得や、入出力インピーダンスは複数の増幅回路を組み合わせることで実現される。入出力インピーダンスの概念について正しく理解し、入出力インピーダンスが接続後の回路の特性に及ぼす影響を知ることが増幅回路の相互接続の理解に必須である。

2-3節では、増幅回路の周波数特性について述べる。トランジスタの寄生容量の影響を考慮し、増幅回路の高周波の信号に対する特性について解析を行なう。周波数特性の解析は比較的小規模の回路でも非常に複雑となる。そのため、精度を多少犠牲としても、直観的な理解が容易な解析手法が有効となる場合も多い。目的の情報を得るために効果的な解析手法の選択と、その手法の精度の限界について知ることが重要となる。

2-4節では、負帰還増幅回路について述べる。負帰還電子回路で最も多用される構成の一つである。負帰還を用いて構成された増幅回路は、素子変動に対する利得変動の耐性の向上のみならず、周波数特性の改善や歪みの低減など様々な特長を持つ。

2-5章では差動増幅回路を扱う。同相雑音や歪み特性に優れた回路構成に差動構成がある。対称な2点間に現れる電位差を信号として用いる差動増幅回路は、同相雑音の効果を受けにくい。また、信号の偶数次高調波が除去されるため、歪み特性に優れる特長を有する。

最後に、2-6節では電力増幅回路について述べる。増幅回路が持つ直流電力を信号電力に変換する機能に着目し、その評価指標について説明する。続いてその変換効率改善の技術について述べる。

【本章の構成】

本章では、基本増幅回路(2-1節)、増幅回路の相互接続(2-2節)、増幅回路の周波数特性(2-3節)、負帰還回路技術(2-4節)、差動増幅回路(2-5節)、電力増幅回路(2-6節)の解析を行ない、それぞれの特性を明らかにする。

1群-7編-2章

2-1 基本増幅回路

(執筆: 佐藤隆英) [2009年2月受領]

本節では、トランジスタを1個使用した増幅回路について述べる。トランジスタを1個使用した増幅回路は、その入力端子及び出力端子の選び方により実用上3種類に分類できる。複数のトランジスタからなる回路も、多くの場合これらの基本的な増幅回路の組合せとして理解することができるため、トランジスタ1個からなる増幅回路の理解はトランジスタ回路を理解する上で非常に有益である。

2-1-1 増幅回路の特性を表す指標

増幅回路は一般に図2・1(a)に示すように4端子回路として表すことができる。増幅回路の特性は入出力端子の電圧及び電流を用いて定義される以下の量*を用いて評価される。

1. 電圧利得: $A_v = v_{out}/v_{in}$
2. 電流利得: $A_i = i_{out}/i_{in}$
3. 電力利得: $A_p = A_v \times A_i = (v_{out}i_{out})/(v_{in}i_{in})$
4. 入力インピーダンス: $Z_i = v_{in}/i_{in}$
5. 出力インピーダンス: $Z_o = v_{out}/(-i_{out})$ (ただし $v_{in} = 0$ とし図2・1(b)で定義する)

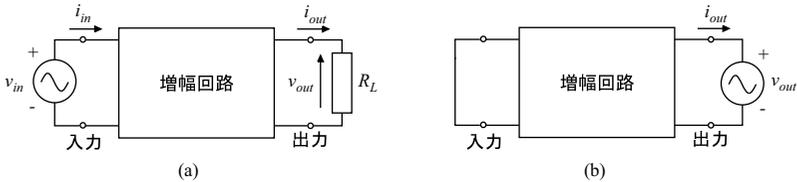


図2・1 増幅回路の一般表現

2-1-2 3種の基本増幅回路

トランジスタは3端子素子とみなせるため†トランジスタ1個からなる増幅回路の入出力端子の選び方には6通りの組合せが存在する。しかし、バイポーラトランジスタのコレクタ端子及びMOSFETのドレイン端子の電位変化はトランジスタを流れるの電流にあまり影響を与えないため、これらの端子は入力端子としての使用に適さない。一方、バイポーラトランジスタのベース端子及びMOSFETのゲート端子には電流がほとんど流れないため、これらの端子は出力端子として使用することができない。このため、実用上意味のある入出力端子の組み合わせはそれぞれのトランジスタで3種類づつとなる。

図2・2及び図2・3にそれらの増幅回路の基本構成及び名称を記載する。これらの名称は入出力のいずれにも用いられない端子の電位は一定であり、小信号等価回路で表した際に接地となることに由来している。なお、バイアス電圧源 V_{Bias} は1章の図1・15及び図1・17で

* これらの値は一般に周波数依存性を有する。

† MOSFETは正確には4端子回路であるが、サブストレート(基板)端子は特殊な場合を除いてソース端子または電源に固定して用いられるため、ここではMOSFETも3端子素子とみなす。

示されるバイアス回路などを用いて実現される。

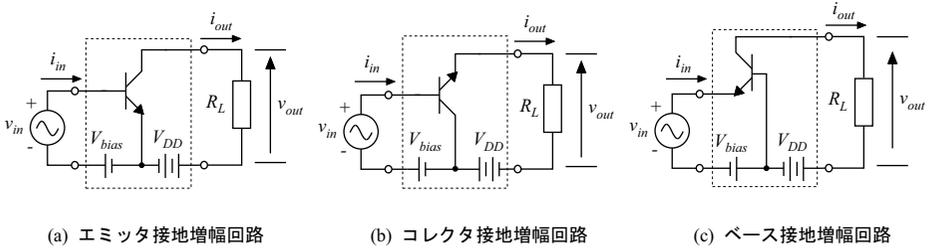


図 2.2 バイポーラトランジスタで構成した 3 種の基本増幅回路

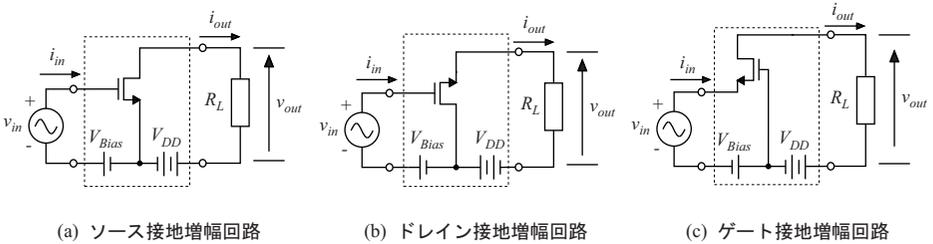


図 2.3 MOSFET で構成した 3 種の基本増幅回路

2-1-3 バイポーラトランジスタによる基本増幅回路

本節では、バイポーラトランジスタを 1 個用いた増幅回路の諸特性について述べる。信号周波数において各種の寄生容量のインピーダンスは十分大きく、その影響は無視できることを仮定し、バイポーラトランジスタの小信号等価回路には 1 章の図 1.5 を用いる。また r_c も十分大きく無視できるとする。

(1) エミッタ接地増幅回路

エミッタ接地増幅回路の小信号等価回路を図 2.4(a) に示す。

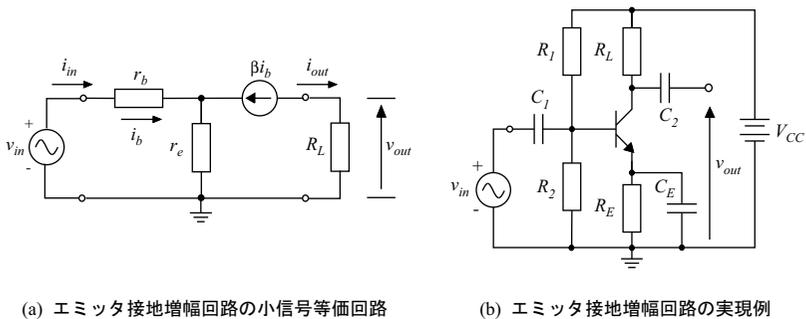


図 2.4 エミッタ接地増幅回路の小信号等価回路と実現例

図 2・4(a) より得られるエミッタ接地増幅回路の諸特性を以下に示す .

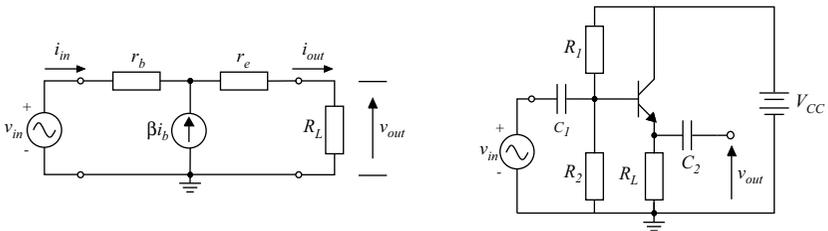
$$\begin{aligned}
 \text{電圧利得: } A_{ve} &= \frac{v_{out}}{v_{in}} = -\frac{\beta R_L}{r_b + (1 + \beta)r_e} \\
 \text{電流利得: } A_{ie} &= \frac{i_{out}}{i_{in}} = -\beta \\
 \text{電力利得: } A_{pe} &= A_{vc} \times A_{ic} = \frac{\beta^2 R_L}{r_b + (1 + \beta)r_e} \\
 \text{入力インピーダンス: } Z_{ie} &= \frac{v_{in}}{i_{in}} = r_b + (1 + \beta)r_e \\
 \text{出力インピーダンス: } Z_{oe} &= \frac{v_{out}}{-i_{out}} = \infty
 \end{aligned}
 \tag{2・1}$$

エミッタ接地増幅回路は反転増幅回路として動作し、素子値を適切に選ぶことにより大きな電圧利得を得ることができる . そのため、エミッタ接地増幅回路は最も基本的な増幅回路として広く用いられている . 図 2・4(b) にエミッタ接地増幅回路の実現例を示す .

R_1 及び R_2 はベースのバイアス電位を定めている . R_E は R_1 及び R_2 の抵抗値などがばらつきベース電位が設計値からずれた際にコレクタ電流の変動を抑制するために挿入されている* . 容量 C_1 及び C_2 は信号周波数において短絡と見なせる大きさの容量であり、バイアス電位の異なる節点を接続する際に信号成分のみを次段に伝えるため挿入される† . 容量 C_E は信号周波数において R_E に比べ十分インピーダンスが小さいと見なせる値に選び、 R_E と並列に接続することで、信号に対して R_E を短絡するために用いられている‡ . C_E によりエミッタ端子は小信号等価回路上では接地となり、図 2・4(b) はエミッタ接地増幅回路として動作する .

(2) コレクタ接地増幅回路 (エミッタホロワ)

図 2・5 にコレクタ接地増幅回路の小信号等価回路及びその実現例を示す .



(a) コレクタ接地増幅回路の小信号等価回路 (b) コレクタ接地増幅回路の実現例

図 2・5 コレクタ接地増幅回路 (エミッタホロワ) の小信号等価回路と実現例

図 2・5(a) から以下のコレクタ接地増幅回路の諸特性が得られる .

* 図 2・4(b) は R_E により帰還回路を構成している .
 † C_1 及び C_2 はカップリングコンデンサと呼ばれる .
 ‡ 信号電流が R_E をバイパスするため C_E はバイパスコンデンサと呼ばれる .

$$\text{電圧利得: } A_{vc} = \frac{v_{out}}{v_{in}} = \frac{(1+\beta)R_L}{r_b + (1+\beta)(r_e + R_L)} \quad (< 1)$$

$$\text{電流利得: } A_{ic} = \frac{i_{out}}{i_{in}} = 1 + \beta$$

$$\text{電力利得: } A_{pc} = A_{vc} \times A_{ic} = \frac{(1+\beta)^2 R_L}{r_b + (1+\beta)(r_e + R_L)} \quad (2\cdot 2)$$

$$\text{入力インピーダンス: } Z_{ic} = \frac{v_{in}}{i_{in}} = r_b + (1+\beta)(r_e + R_L)$$

$$\text{出力インピーダンス: } Z_{oc} = \frac{v_{out}}{-i_{out}} = r_e + \frac{r_b}{1+\beta}$$

コレクタ接地増幅回路は非反転増幅回路であり、その電圧利得は 1 以下である。\$R_L \gg r_e\$ かつ \$(1+\beta)R_L \gg r_b\$ が成り立つとき、電圧利得はほぼ 1 となる。コレクタ接地増幅回路は利得が 1 以下であるが、入力インピーダンスが大きく、出力インピーダンスが小さい特徴を活かし電圧増幅回路の出力バッファとして用いられる。負荷抵抗 \$R_L\$ の増加に伴い電圧利得は 1 に近付くため \$R_L\$ の代わりに電流源が用いられることも多い。コレクタ接地増幅回路はエミッタ端子の電位が入力信号に追従するその動作からエミッタホロワとも呼ばれる。

(3) ベース接地増幅回路

図 2・6 にベース接地増幅回路の小信号等価回路と実現例を示す。ベース接地増幅回路の特性を以下に示す。

$$\text{電圧利得: } A_{vb} = \frac{v_{out}}{v_{in}} = \frac{\alpha R_L}{r_e + (1-\alpha)r_b} = \frac{\beta R_L}{r_b + (1+\beta)r_e}$$

$$\text{電流利得: } A_{ib} = \frac{i_{out}}{i_{in}} = \alpha$$

$$\text{電力利得: } A_{pb} = A_{vc} \times A_{ic} = \frac{\alpha^2 R_L}{r_e + (1-\alpha)r_b} \quad (2\cdot 3)$$

$$\text{入力インピーダンス: } Z_{ib} = \frac{v_{in}}{i_{in}} = r_e + (1-\alpha)r_b$$

$$\text{出力インピーダンス: } Z_{ob} = \frac{v_{out}}{-i_{out}} = \infty$$

ベース接地増幅回路は非反転増幅回路であり、エミッタ接地増幅回路と等しい大きさの電圧利得を有する。ベース接地増幅回路は小さな入力インピーダンスと電圧利得を有するため、センサなどから得られる電流性の信号の増幅を行なう伝達インピーダンス増幅回路や、カスコード接続と呼ばれるトランジスタの利得を増強する回路構成でしばしば用いられる。また高周波回路の入力段などインピーダンス整合が必要となる場合にも有用である。

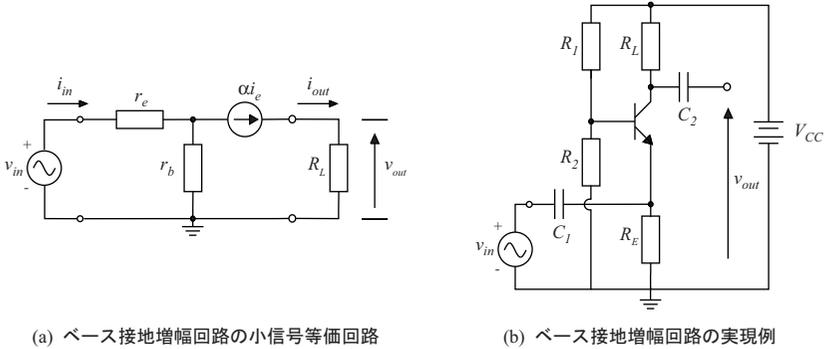


図 2-6 ベース接地増幅回路の小信号等価回路と実現例

2-1-4 MOSFET による基本増幅回路

次に MOSFET を用いた基本増幅回路について述べる．ただし，MOSFET の小信号等価回路には 1 章の図 1・8 を用い，基板端子はソース端子に短絡可能であると*．

(1) ソース接地増幅回路

図 2-7(a) にソース接地増幅回路の小信号等価回路を示す．ソース接地増幅回路の諸特性は

$$\begin{aligned}
 \text{電圧利得: } A_{vs} &= \frac{v_{out}}{v_{in}} = -g_m \frac{r_d R_L}{r_d + R_L} \\
 \text{電流利得: } A_{is} &= \frac{i_{out}}{i_{in}} = \infty \\
 \text{電力利得: } A_{ps} &= A_{vs} \times A_{is} = \infty \\
 \text{入力インピーダンス: } Z_{is} &= \frac{v_{in}}{i_{in}} = \infty \\
 \text{出力インピーダンス: } Z_{os} &= \frac{v_{out}}{-i_{out}} = r_d
 \end{aligned} \tag{2-4}$$

となる．

ソース接地増幅回路は，バイポーラトランジスタのエミッタ接地増幅回路に類似し，反転増幅回路として動作する．ソース接地増幅回路は，電圧利得を有するため電圧増幅回路として広く用いられる．電圧利得は負荷抵抗の増加に伴い向上するが，その上限は $g_m r_d$ である． $g_m r_d$ は真性利得と呼ばれ MOSFET が実現可能な最大利得を示す．ここで r_d は， $r_d = (\partial I_D / \partial V_{DS})^{-1} \approx 1 / (\lambda I_D)$ と表され，一方 g_m は $g_m = \partial I_D / \partial V_{GS} \approx 2 \sqrt{K I_D}$ と表されるため，真性利得 $g_m r_d$ は

$$g_m r_d = 2 \sqrt{K I_D} \times \frac{1}{\lambda I_D} = \frac{2}{\lambda} \sqrt{\frac{K}{I_D}} = \frac{2}{\lambda (V_{gs} - V_T)} \tag{2-5}$$

* 近年，3 層構造のウェル（トリプルウェル）のプロセスが一般的となり，基板端子とソース端子の短絡は容易である．

となる．式 (2・5) より真性利得を大きくするためには，(1) 電流を小さくする，(2) トランスコンダクタンスパラメータを大きく選ぶ，(3) オーバードライブ電圧 ($V_{gs} - V_T$) を小さく選ぶとよい．MOSFET のゲート端子は，バイポーラトランジスタのベース端子とは異なり，入力電流が流れないため，電流利得，電力利得，入力インピーダンスはそれぞれ無限大となる．図 2・7(b) にソース接地増幅回路の実現例を示す．

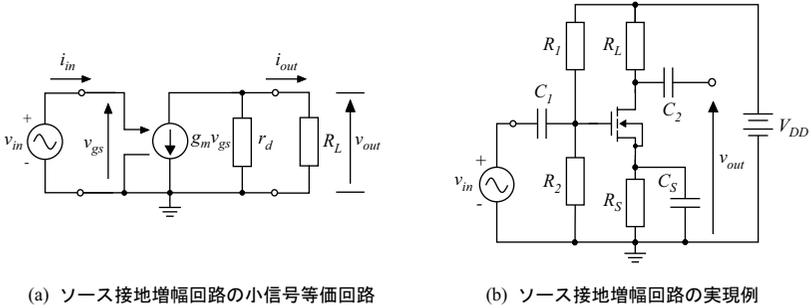


図 2・7 ソース接地増幅回路の小信号等価回路と実現例

(2) ドレイン接地増幅回路 (ソースホロウ)

図 2・8(a) にドレイン接地増幅回路の小信号等価回路を示す．

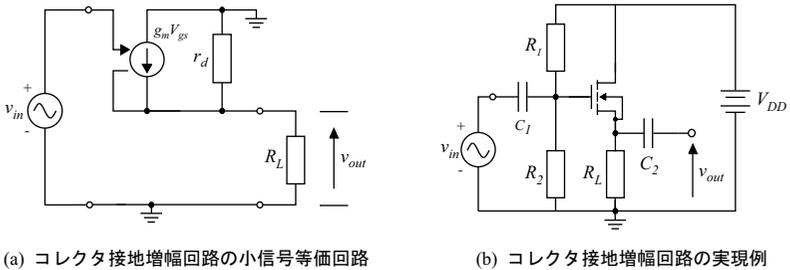


図 2・8 ドレイン接地増幅回路の小信号等価回路と実現例

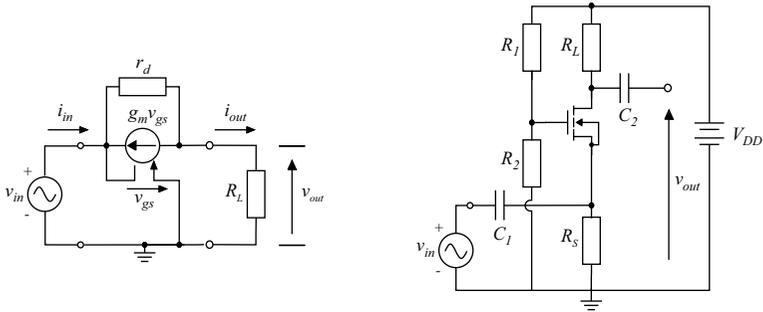
ドレイン接地増幅回路の特性は

$$\begin{aligned}
 \text{電圧利得: } A_{vd} &= \frac{v_{out}}{v_{in}} = \frac{g_m \frac{r_d R_L}{r_d + R_L}}{1 + g_m \frac{r_d R_L}{r_d + R_L}} \\
 \text{電流利得: } A_{id} &= \frac{i_{out}}{i_{in}} = \infty \\
 \text{電力利得: } A_{pd} &= A_{vc} \times A_{ic} = \infty \\
 \text{入力インピーダンス: } Z_{id} &= \frac{v_{in}}{i_{in}} = \infty \\
 \text{出力インピーダンス: } Z_{od} &= \frac{v_{out}}{-i_{out}} = \frac{r_d}{1 + g_m r_d} = \frac{1}{g_m} // r_d
 \end{aligned}
 \tag{2・6}$$

となる。ドレイン接地増幅回路は利得が1未満の非反転増幅回路であり、エミッタホロウに類似する。その動作からソースホロウとも呼ばれる。ドレイン接地増幅回路の出力インピーダンスは $1/g_m$ と r_d の並列抵抗となる。 $g_m r_d R_L / (r_d + R_L) \gg 1$ が成り立つとき、電圧利得はほぼ1と見なせる。ドレイン接地増幅回路はソース接地増幅回路などに比べ小さな出力インピーダンスを容易に実現可能であるため電圧増幅回路の出力段などに用いられる。図2・8(b)はドレイン接地増幅回路の実現例を示している。

(3) ゲート接地増幅回路

図2・9(a)にゲート接地増幅回路の小信号等価回路を示す。



(a) ゲート接地増幅回路の小信号等価回路 (b) ゲート接地増幅回路の実現例

図2・9 ゲート接地増幅回路の小信号等価回路と実現例

ゲート接地増幅回路の特性を以下に示す。

$$\begin{aligned}
 \text{電圧利得: } A_{vg} &= \frac{v_{out}}{v_{in}} = \frac{R_L(g_m r_d + 1)}{r_d + R_L} \\
 \text{電流利得: } A_{ig} &= \frac{i_{out}}{i_{in}} = 1 \\
 \text{電力利得: } A_{pg} &= A_{vc} \times A_{ic} = \frac{R_L(g_m r_d + 1)}{r_d + R_L} \quad (2\cdot7) \\
 \text{入力インピーダンス: } Z_{ig} &= \frac{v_{in}}{i_{in}} = \frac{r_d + R_L}{1 + g_m r_d} \\
 \text{出力インピーダンス: } Z_{og} &= \frac{v_{out}}{-i_{out}} = r_d
 \end{aligned}$$

ゲート接地増幅回路はベース接地増幅回路に類似し、非反転増幅回路として動作する。ベース接地増幅回路は比較的小さな入力インピーダンスを有し、1以上の電圧利得が実現可能であるため伝達インピーダンス増幅回路やカスコード接続などで広く用いられる。

2-1-5 バイポーラトランジスタと MOSFET を用いた基本増幅回路の比較

バイポーラトランジスタを用いた基本増幅回路と MOSFET を用いた基本増幅回路の諸特性は一見するとかなり異なる。これはバイポーラトランジスタはベース端子に直流電流が流

れるのに対し、MOSFET のゲート端子には理想的には直流電流が流れないことに起因する。図 1・5(c) (ただし $r_c = \infty$ とする) においてベース電流がコレクタ電流に対して十分小さいと見なせるとすると*、 i_b が十分小さいためベース抵抗における電圧降下が無視できる。その結果、 r_e の両端にはベース・エミッタ間電圧と等しい電圧がかかる。この時エミッタ電流として $i_e = v_{be}/r_e$ に等しい電流が流れる。エミッタ電流はコレクタ端子に流れ込む電流と等しいため、コレクタ電流 (及びエミッタ電流) はベース・エミッタ間電圧に比例し、その比例定数は $1/r_e$ となる。以上の振舞いは MOSFET の小信号等価回路において $g_m = 1/r_e$ としたときの動作に相当する。

つまり、バイポーラトランジスタはそのベース電流が無視できる時、MOSFET と等しい小信号等価回路 (1 章図 1・8) で表すことができ、それぞれの基本増幅回路の特性も対応する MOSFET の基本増幅回路の特性と等しいと見なせる*。

ただし、MOSFET の g_m は式 (1・16) で表されるのに対し、バイポーラトランジスタの g_m は式 (1・8) の逆数であり非常に大きな値をとる。このためバイポーラトランジスタを用いた増幅回路と MOSFET を用いた増幅回路では設計の指針が大きく異なる†。バイポーラトランジスタを用いた回路の設計では、トランジスタの g_m が十分に大きいことを活用し、出力信号のトランジスタの特性に対する依存度を下げる設計が行われる。一方で MOSFET を用いた回路においては、バイアス条件や MOSFET のチャネルの寸法を調整し、MOSFET の g_m を所望の値とする設計が行われることが多い†。

* β が無限大であると見なす。

* この結果は 1 章の図 1・11 と図 1・8 もしくは図 1・12 の比較からも同様に導ける。

† MOSFET を用いた集積回路においては MOSFET のチャネルの寸法が設計のパラメータとなる。

1群-7編-2章

2-2 増幅回路の相互接続

(執筆著者: 佐藤隆英)[2009年2月受領]

本節では、トランジスタ1個からなる基本増幅回路では満たすことの難しい特性の実現に有効な複数の増幅回路の相互接続について述べる。

2-2-1 縦続接続

複数の増幅回路の最も基本的な接続が図2・10に示す縦続接続構成である。縦続接続は、大きな電圧利得や所望の入出力インピーダンスの実現に効果的である。

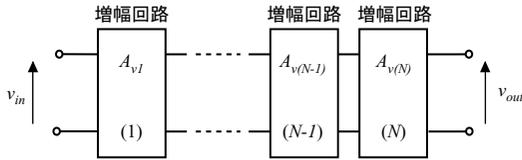


図 2・10 増幅回路の縦続接続

最初に増幅回路の縦続接続の基本的な動作を理解するため、入力インピーダンスが無限大の増幅回路を N 個縦続接続した場合の電圧利得を求める。 n 段目の増幅回路の電圧利得を $A_{v(n)}$ ($n = 1, 2, \dots, N$) とする。 $N - 1$ 段目の増幅回路の入力電圧に対して出力電圧は $A_{v(N-1)}$ 倍となる。この出力電圧は N 段目に入力されるため、 N 段目の出力電圧は $N - 1$ 段目の入力電圧の $A_{v(N-1)} \times A_{v(N)}$ 倍となる。

各段の増幅回路の入力インピーダンスが無限大であるとき、 N 段目の増幅回路を接続した際にも $N - 1$ 段目の増幅回路の利得は変化しない。このため N 個の増幅回路を縦続接続した際の最終的な電圧利得 $A_{v,all}$ は、単純に各段の増幅回路の電圧利得の積である $\prod_{k=1}^N A_{v,k}$ となる。

次に各段の増幅回路の入出力インピーダンスが有限の場合を考える。各段の増幅回路の入出力インピーダンスは、抵抗を用いて図2・11(a)のように表現できる。理想増幅回路は入力インピーダンスが無限大かつ出力インピーダンスが零の理想的な増幅回路である。このような増幅回路を縦続接続した際の n 段目と $n + 1$ 段目を図2・11(b)に示す。 n 段目の増幅回路に加えられた入力電圧 $v_{in(n)}$ は n 段目の理想増幅回路により $A_{v(n)}$ 倍される。ここで n 段目の増幅回路の出力端子が開放ならば $v_{out(n)} = v'_{out(n)} = A_{v(n)}v_{in(n)}$ が得られる。しかし、 n 段目の増幅回路の出力端子に $n + 1$ 段目の増幅回路が接続されているとき、理想増幅回路の出力は n 段目の増幅回路出力インピーダンスと $n + 1$ 段目の増幅回路の入力インピーダンスに分圧されるため $v'_{out(n)}$ を完全に取り出すことはできない。このときの n 段目の増幅回路の出力電圧は

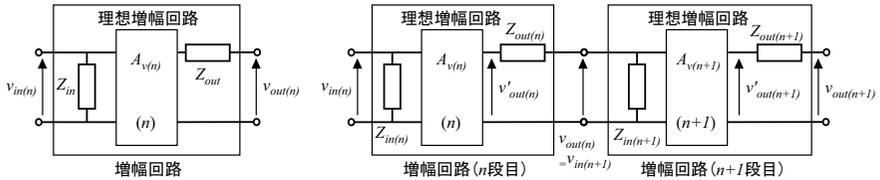
$$v_{out(n)} = \frac{Z_{in(n+1)}}{Z_{out(n)} + Z_{in(n+1)}} v'_{out(n)} = \frac{Z_{in(n+1)}}{Z_{out(n)} + Z_{in(n+1)}} A_{v(n)} v_{in(n)} \tag{2・8}$$

となる。右辺の第一因子は常に1以下であるため有限の入出力インピーダンスが存在する場合、電圧利得は理想的な値に比べ低下する。

N 個の増幅回路を縦続接続した場合，各段間の節点で同様の減衰が生ずるため最終的な電圧利得 A'_{vall} は

$$A'_{vall} = \prod_{k=1}^N \frac{Z_{in(k+1)}}{Z_{out(k)} + Z_{in(k+1)}} A_{vk} \quad (2\cdot9)$$

となる．



(a) 入出力インピーダンスを考慮した増幅回路 (b) n 段目の増幅回路と $n+1$ 段目の増幅回路の接続

図 2-11 入出力インピーダンスが有限の際の増幅回路の等価回路

上記の例が示すように電圧信号を扱う節点の接続では，高入力インピーダンスかつ低出力インピーダンスとすることが減衰を抑えるためには望ましい．一方，電流信号を扱う節点の接続では，高出力インピーダンスで出力端子の電位変動に対する出力電流の変化を少なく抑えたと共に，低入力インピーダンスとしてより多くの信号電流を入力可能な構成としなければならない．

以上の議論は増幅回路間の接続に限らず，内部抵抗を有する電源など内部インピーダンスを持つ様々な回路及び素子の接続に際して成り立つ．

2-2-2 カスコード接続

エミッタ接地増幅回路やソース接地増幅回路などにおいてトランジスタは入力電圧に依存した電流を出力する電圧制御電流源として動作する．現実のトランジスタには有限の出力抵抗が存在するため取り出せる信号電流には上限が存在し，トランジスタを用いて構成した増幅回路の電圧利得も制限される*．そのため，増幅回路の利得向上には出力抵抗の大きなトランジスタの実現が効果的である．

等価的にトランジスタの出力抵抗を増強する回路構成としてカスコード接続が知られている．図 2-12(a) に MOSFET を用いたカスコード接続を示す．カスコード接続は 2 個のトランジスタを用いて構成され，全体で一個の等価的なトランジスタとして動作する．等価的な MOSFET のゲート，ソース，ドレインの各端子を図 2-12(a) に G, S, D として示している． M_1 のゲート・ソース間電圧により流れるドレイン電流が制御され，このドレイン電流は M_2 のドレイン端子から取り出される．等価的な MOSFET のドレイン端子である M_2 のドレイン端子の電位変動は減衰して M_1 のドレイン端子に伝わるため，カスコード接続により出力インピーダンスが増加する．

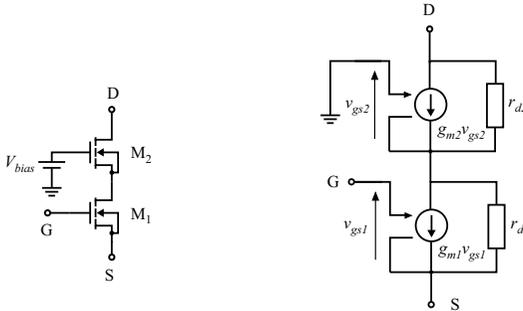
* ソース接地増幅回路の場合，電圧利得の大きさの上限は真性利得の絶対値 $g_m r_d$ となる．

図 2・12(b) に示すカスコード接続された MOSFET の小信号等価回路を用い，出力抵抗を求めると

$$Z_{out} = \frac{V_{out}}{i_{out}} = (1 + g_{m2}r_{d2})r_{d1} + r_{d2} \quad (2 \cdot 10)$$

が得られる．カスコード接続を用いることにより等価的な MOSFET の出カインピーダンスは通常のトランジスタの約 $1 + g_{m2}r_{d2}$ 倍に増加する．

カスコード接続された MOSFET において M_2 のゲート端子は 2 個の MOSFET が飽和領域で動作する電位に固定して用いられるため， M_2 は M_1 のドレイン電流を入力としたゲート接地増幅回路と見なすことができる．図 2・7(b) のソース接地増幅回路を M_1 と M_2 からなるカスコード接続された MOSFET で実現した場合，ソース接地増幅回路として動作する M_1 とゲート接地増幅回路として動作する M_2 が接続された増幅回路として動作する．



(a) カスコード接続された MOSFET (b) カスコード接地された MOSFET の小信号等価回路

図 2・12 トランジスタのカスコード接続

ここでは MOSFET を用いたカスコード接続を取り上げたが，バイポーラトランジスタを用いて構成した場合も同様の特性を得ることができる．カスコード接続は増幅回路のみならず電流源など高い出カインピーダンスが必要となる用途に広く用いられる．

1群-7編-2章

2-3 増幅回路の周波数特性

(執筆著者: 佐藤隆英) [2009年2月受領]

本節では寄生容量の影響が無視できない周波数の入力に対する増幅回路の振舞について述べる。周波数特性の解析は比較的小規模の回路でも非常に複雑となるため、計算に要する労力が増加し、計算結果から意味のある知見を見出すことも困難となる。そこで本節では、近似的ではあるが直観的な理解が容易な解析手法について述べる。

2-3-1 増幅回路のミラー効果

図2-13(a)に示すように電圧利得 $-A$ 倍の増幅回路の入出力端子間に容量 C が存在する場合を考える。増幅回路の入出力インピーダンスが理想的であるとすると、図2-13(a)の入力インピーダンスは $Z_{in} = 1/j\omega(1+A)C$ となり、片側の端子を接地した $(1+A)$ 倍の容量と等しい。つまり図2-13(a)の容量 C は図2-13(b)に示す $(1+A)$ 倍の容量と見なすことができる。

図2-13(b)に示される変換後の容量は増幅回路の入力端子に存在する入力容量と並列となるため、両者は一つの容量として扱え容量の数を減ずることができる。

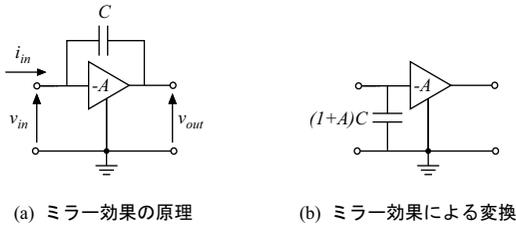


図2-13 ミラー効果

ここでミラー効果による容量の変換は、入力インピーダンスのみを変化させない変換手法であることに注意が必要である。容量を介して出力端子に直接流れる電流や増幅回路の負荷などは変換により変化していることに注意しなければならない。これらの影響が問題となる場合にはこの変換を用いずに解析を行なうか、別途その影響を検討する必要がある。

2-3-2 ソース接地増幅回路の周波数特性

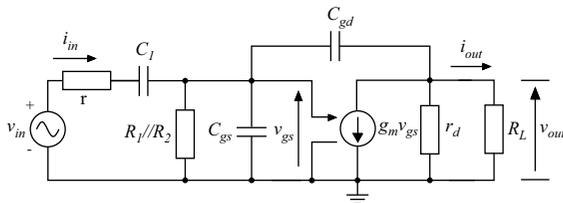


図2-14 ソース接地増幅回路の周波数特性を考慮した小信号等価回路

図2-7(b)のソース接地増幅回路の小信号等価回路を図2-14に示す。ただし、MOSFETの

小信号等価回路には1章の図1・12を用いている．ここで r は入力信号源の内部抵抗である．

(1) 低周波数領域

信号周波数が低い領域では容量のインピーダンスが大きい．そのため信号線に直列に存在する C_1 の影響を考慮しなければならない*．この領域における電圧利得は

$$A_l = \frac{v_{out}}{v_{in}} = -g_m \frac{r_d R_L}{r_d + R_L} \frac{(R_1 // R_2)}{(R_1 // R_2) + r} \frac{1}{1 + \frac{1}{j\omega C_1 (r + R_1 // R_2)}} \quad (2 \cdot 11)$$

となる．第4因子が C_1 による減衰を意味しており，その大きさは周波数の増加に伴い次第に1に近づく．電圧利得の大きさが中域利得の $1/\sqrt{2}$ となる角周波数である $\omega_{cl} = 1/C_1(r + R_1 // R_2)$ は低域遮断角周波数と呼ばれ，増幅回路の動作可能な最低角周波数の目安とされる．

低域遮断角周波数以上の周波数では第四因子の分母の虚部を無視することができ， C_1 の影響を受けず一定の電圧利得（中域利得）となる．なお，第3因子は信号源の内部抵抗と R_1 と R_2 の分圧による減衰を意味している．

(2) 高周波数領域

周波数の増加に伴い C_{gs} 及び C_{ds} のインピーダンスも低下する．この影響を解析するため，まず C_{ds} をミラー効果を用いてゲート・ソース間の容量に変換すると $(1 + A_0)C_{ds}$ となる．ただし，ここで $A_0 = -g_m r_d R_L / (r_d + R_L)$ である．得られたミラー容量とゲート・ソース間に元来存在する容量の和を新たなゲート・ソース間容量 C' とし，電圧利得を求めると

$$A_h = \frac{v_{out}}{v_{in}} = -g_m \frac{r_d R_L}{r_d + R_L} \frac{(R_1 // R_2)}{(R_1 // R_2) + r} \frac{1}{1 + j \frac{\omega}{C'(r // R_1 // R_2)}} \quad (2 \cdot 12)$$

となる．第1因子から第3因子が中域利得を示しており，寄生容量の影響は第4因子で表現される．周波数の増加に伴い C' のインピーダンスが低下し，増幅回路に加わる入力信号が低下するため，全体の電圧も低下することが分かる．電圧利得が中域利得の $1/\sqrt{2}$ となる角周波数 $\omega_{ch} = 1/C_1(r // R_1 // R_2)$ は高域遮断角周波数と呼ばれる．

(3) 零点の考慮

本来ならば容量を介した直接伝送の影響が電圧利得の分子に現れるはずであるが⁸，先の解析ではミラー効果を用いた容量の変換によりこの影響が失われている．電圧利得の分子の簡易的な解析の手法として出力が0となる状態を考える方法がある．図2・14の出力電圧が0となるとき，制御電流源を流れる電流($g_m v_{gs}$)はすべて容量を流れるため $v_{gs} j\omega C = g_m v_{gs}$ が成り立つ．これは $v_{gs} = 0$ の場合と $j\omega C = g_m$ のいずれかの場合に成り立つが⁸，前者は入力電圧=0の場合を意味するため，電圧利得の分子としては $j\omega C = g_m$ より $1 - j(\omega / \frac{g_m}{C})$ のみが存在することが分かる．

* C_1 は寄生容量ではなく意図して挿入されている容量であるため，ほかの容量にくらべ大きい．そのため，ほかの容量に比べ低い周波数で短絡と見なすことができる．

1群-7編-2章

2-4 負帰還回路技術

(執筆者: 佐藤隆英)[2009年2月受領]

通常、トランジスタなどの能動素子の各定数は製造ばらつきなどの影響による誤差を有する。基本増幅回路の諸特性はトランジスタの定数に大きく依存するため、基本増幅回路を用いて所望の特性を精度よく実現することは困難になる。そのため増幅回路は負帰還を施し、用いられることが多い。本節では負帰還によって得られる様々な特性の改善について述べる。

2-4-1 負帰還増幅回路の基本原理解

図 2・15 に帰還増幅回路の基本構成を示す。図 2・15 は 1 個の増幅回路と帰還路 H からなる。 A は能動素子を用いて構成される増幅回路を意味する。一方 H は通常抵抗などの受動素子で構成され、増幅回路の出力端子に現れた信号を H 倍 (通常 $H < 1$) して増幅回路の入力端子側に帰還する*。帰還回路のループ利得 AH が負である構成を負帰還と呼ぶ。負帰還増幅回路の閉ループ利得 G は

$$G = \frac{v_{out}}{v_{in}} = \frac{A}{1 - AH} \quad (2 \cdot 13)$$

と求められる†。ここで帰還増幅回路のループ利得 AH の大きさが 1 よりも十分に大きいとき、 $G \approx -A/AH = -1/H$ と近似される。 H は 1 以下であるので、図 2・15 は増幅回路として動作する。 H は動作環境による素子値の変動や経年変化が少ない受動素子のみで実現することができるため、負帰還増幅回路は動作環境の変化に安定な利得が得られる。

なお、ループ利得が正となる構成を正帰還と呼び、ループ利得が 1 以上となる時回路は不安定となる。発振回路などではこの特性を積極的に用いている。

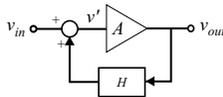


図 2・15 帰還増幅回路の一般構成

負帰還増幅回路では増幅回路の内部の位相遅れにより負帰還が正帰還となって発振する場合がある。ループ利得が 0 dB になる周波数において、位相回転が 180 度以内であれば安定である。このとき、180 度から位相遅れの絶対値を引いた値を位相余裕と呼び、回路の安定性の指標として用いる。また、出力の位相が反転する周波数において、ループ利得の大きさが 0 dB 以下であれば回路は安定である。0 dB よりこの利得を引いた値は利得余裕と呼ばれる。

2-4-2 負帰還の効用

(1) 素子変動に対する利得の安定化

増幅回路の利得 A の変動が負帰還増幅回路の閉ループ利得に与える影響を調べる。増幅回

* そのため H は帰還率と呼ばれる。† 閉ループ利得 G と区別するため A は開ループ利得と呼ばれる。

路の利得 A の変動に対する負帰還増幅回路の閉ループ利得の感度は

$$S_A^G = \frac{A}{G} \frac{\partial G}{\partial A} = \frac{1}{1 - AH} \quad (2 \cdot 14)$$

となり、負帰還増幅回路の閉ループ利得の変動は増幅回路単体の利得の変動に対して $1/(1 - AH)$ に低減されることが分かる。

一方、 H の変動はほぼ 1 倍で負帰還増幅回路の閉ループ利得の変動となるため注意が必要である。

(2) 広帯域化

増幅回路の利得 A が周波数特性を有し

$$A = \frac{A_0}{1 + j \frac{\omega}{\omega_c}} \quad (2 \cdot 15)$$

であるとする。 A_0 は増幅回路の直流利得を意味し、 ω_c は遮断角周波数である。この時の負帰還増幅回路の閉ループ利得は

$$G = \frac{v_{out}}{v_{in}} = \frac{\frac{A_0}{1 - A_0 H}}{1 + j \frac{\omega}{\omega_c(1 - A_0 H)}} \quad (2 \cdot 16)$$

となる。直流利得を $1/(1 - A_0 H)$ 倍としたときの負帰還回路全体の遮断周波数は元の増幅回路の遮断周波数の $(1 - A_0 H)$ 倍に改善される。

負帰還増幅回路では利得と遮断周波数の積が元の増幅回路の遮断周波数と利得の積と等しく一定となる。そのため負帰還増幅回路では負帰還により利得を抑圧することにより遮断周波数の上限を拡大することができる。

(3) ひずみに対する耐性の向上

負帰還回路内部で用いられている増幅回路の出力にひずみ v_d が含まれる場合を考える。図 2・16 に示すように増幅回路の出力電圧が $v_{out} = Av' + v_d$ と表せる時、負帰還増幅回路の閉ループ利得は

$$G = \frac{v_{out}}{v_{in}} = \frac{A}{1 - AH} v_{in} + \frac{v_d}{1 - AH} \quad (2 \cdot 17)$$

となり、増幅回路の出力段で生ずる歪みや雑音は抑圧され、 $1/(1 - AH)$ 倍となる。ただし、入力端子に加わる歪みや雑音などは信号と区別することができず、負帰還によるひずみの抑圧効果は得られないことに注意する。

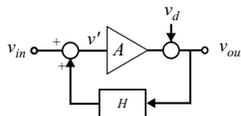


図 2・16 歪みを考慮した負帰還増幅回路

1群-7編-2章

2-5 差動増幅回路

(執筆: 佐藤隆英)[2009年2月受領]

2個の入力信号の差を増幅する差動増幅回路は、同相雑音に対する耐性の高さやバイアス設計の容易さから集積回路中で多数用いられている。

図2・17(a)にMOSFETで構成された差動増幅回路を示す。図2・17(a)の回路は、入力電圧 v_1 と v_2 の差を増幅し、 v_3 と v_4 の差として出力する回路である。

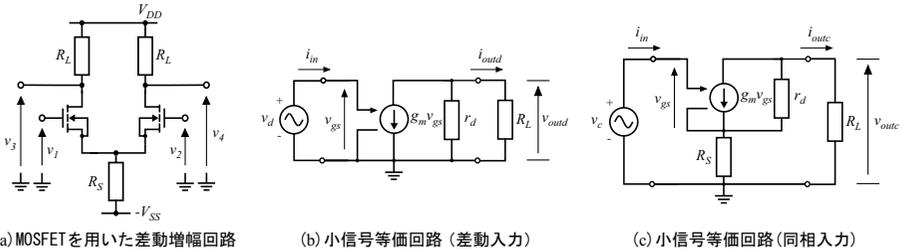


図 2・17 差動増幅回路

この回路の電圧利得を小信号等価回路を用いて求める。解析を簡単にするため v_1 と v_2 を v_c 及び v_d を用いて $v_1 = v_d + v_c$ 、 $v_2 = v_d - v_c$ とおく。ここで v_c 及び v_d は $v_c = (v_1 + v_2)/2$ 、 $v_d = (v_1 - v_2)/2$ と書け、それぞれ同相電圧と差動電圧と呼ばれる。

同相電圧及び差動電圧は入力電圧の平均値と平均値からの偏差をそれぞれ意味している。 v_c または v_d の一方のみが存在した時の電圧利得をそれぞれ A_{vc} と A_{vd} とすると、差動増幅回路の出力電圧は、重ね合わせの理を用いて $v_{out} = A_{vc}v_c + A_{vd}v_d$ と表すことができる。

最初に差動入力信号 v_d に対する電圧利得 A_{vd} を求める。このとき v_c は短絡され、 v_1 及び v_2 に大きさが $|v_d|$ で等しく符号の異なる信号が加えられる。差動増幅回路は対称な構造であるため、2個のMOSFETの特性が揃っているとすると、差動増幅回路の対称線上の点は微小な入力信号に対して変化しない。このため、対称線上の点は小信号等価回路上では接地点とみなせる。差動増幅の左半回路の差動入力に対する小信号等価回路を図2・17(b)に示す。回路は中心軸に対して線対称であるため右半回路も同じ小信号等価回路で表現される。図2・17(b)はソース接地増幅回路の小信号等価回路と等しいため、 v_3 は

$$v_3 = -g_m \frac{r_d R_L}{r_d + R_L} v_1 \tag{2-18}$$

と書ける。 v_2 と v_4 の間にも同様の関係が成り立つことから、差動利得 A_{vd} は

$$A_{vd} = \frac{v_3 - v_4}{v_1 - v_2} = -g_m \frac{r_d R_L}{r_d + R_L} \tag{2-19}$$

が得られる。

続いて同相入力信号 v_c に対する電圧利得 A_{vc} を求める。 v_d を短絡し、 v_1 及び v_2 に大きさと符号の等しい信号が加わるときを考える。

まず、 R_S を 2 倍の抵抗値を持つ 2 個の抵抗の並列抵抗に置き換え差動増幅回路を等しい 2 個の半回路に分割する。2 個の半回路は対称な構造であるため、等しい信号に対して対応する箇所は同様な動作をする。そのため片側の半回路の解析を行えば回路全体の動作を知ることができる。以上の操作より得られた半回路の小信号等価回路を図 2・17(c) に示す。図 2・17(c) より同相利得 A_{vc} は

$$A_{vc} = -\frac{g_m R_L}{1 + 2g_m R_S + \frac{R_L + 2R_S}{r_d}} = -\frac{g_m R_L r_d}{r_d + R_L + 2R_S + 2g_m r_d R_S} \quad (2 \cdot 20)$$

となる。

差動利得と同相利得の比で定義される同相除去比 (CMRR) は差動増幅回路の性能を示す指標の一つである。先の結果より図 2・17 に示す差動増幅回路の同相除去比は

$$CMRR = -\frac{r_d + R_L + 2R_S + 2g_m r_d R_S}{r_d + R_L} \quad (2 \cdot 21)$$

となる。同相利得は R_S の大きさに反比例するため、同相除去比の改善には R_S の増加が効果的であることが分かる。大きな R_S の利用は同相除去比の観点からは効果的であるが、 R_S における電圧降下が増加し、入出力信号の電圧振幅の確保が困難になる。そこで電圧振幅を犠牲にすることなく同相除去比を改善する手法として、 R_S の代わりに直流電流源を用いる方法が広く知られている。

直流電流源は出力の電位によらず一定の電流を流し、その出力インピーダンスは理想的には無限大である。そのため R_S の代わりに直流電流源を用いる事で同相除去比を改善することが可能となる。

参考文献

- 1) 藤井信生, “アナログ電子回路 集積回路化時代の,” 昭晃堂, 1984.
- 2) 石橋幸男, “アナログ電子回路,” 培風館, 1990.
- 3) 谷口研二, “LSI 設計者のための CMOS アナログ回路入門,” CQ 出版, 2005.
- 4) 高木茂孝, “MOS アナログ電子回路,” 昭晃堂, 1998.
- 5) 高木茂孝, “アナログ電子回路-はじめて学ぶ人のために,” 培風館, 2008.
- 6) 藤井信生, 関根慶太郎, 高木茂孝, 兵庫明, “電子回路ハンドブック,” 朝倉書店, 2006.
- 7) 電気学会編集, “電気工学ハンドブック,” 電気学会, 2001.
- 8) B. Razavi, “アナログ CMOS 集積回路の設計 基礎編,” 丸善, 2003.
- 9) R. Gray, S.H. Lewis, P.J. Hurst, and R.G. Meyer, “システム LSI のためのアナログ集積回路設計技術,” 培風館, 2003.

1群-7編-2章

2-6 電力増幅回路

(執筆者：山路隆文)[2008年9月受領]

スピーカやアンテナに信号電力を供給する増幅回路を電力増幅回路 (power amplifier) という。電力を受け取る対象によって駆動回路 (driver), 緩衝増幅回路 (buffer amplifier), 出力バッファ (output buffer) ということもある。いずれも信号電力を出力することを目的とし、入力信号電力より大きな出力信号電力を得る電力増幅回路といえる。

本節ではまず電力増幅回路の比較のためのいくつかの評価指標について述べる。次に、直流電力を信号電力に変換する機能に着目し、その効率改善の技術について述べる。

2-6-1 電力増幅回路の評価指標

(1) 電圧利得と電流利得

増幅回路の動作は信号源インピーダンスや負荷のインピーダンスに依存する。高い電圧利得を得るには負荷のインピーダンスを高くする方が有利であるが、大きな電力を取り出すには電流出力も必要である。最大の電力出力を得るには負荷回路と増幅回路の間でインピーダンス整合が必要である¹⁾。インダクタやキャパシタによるインピーダンス整合回路や整合用トランスが用いられる²⁾。増幅回路どうしを接続する場合には消費電流を抑制するためにインピーダンスを比較的高く設定することも可能である。

一方、スピーカやアンテナのインピーダンスは数 Ω から数百 Ω と比較的小さい。このため、電力増幅回路の入出力インピーダンスは異なることも多く、電圧利得と電力利得は一致しない。例えば、図 2・5 のエミッタホロワ回路の場合、電圧利得は 1 より小さくなるが、入力電流に比べて大きな出力電流を得ることができる。その結果電力利得は大きな値とすることができる。高周波信号については測定の都合上、信号源や測定機器の入出力インピーダンス、信号ケーブルの特性インピーダンスを統一した系を前提に利得等が定義される。特性インピーダンスとしては 50 Ω がよく用いられる。

(2) 電力効率と PAE

電力増幅回路は直流電源から供給される電力を信号電力に変換する回路と見ることができる。その変換効率は重要な指標である。負荷に供給される信号電力を P_{OUT} 、電源から供給される直流電力を P_{DC} とすると電力効率 η は $\eta = P_{OUT}/P_{DC}$ と定義される。

直流電力のほとんどが増幅素子の出力側で消費されるので現実的にはコレクタ効率 (またはドレイン効率) を増幅回路の電力効率として扱ってもよい場合が多い。なお、高い電力利得の実現が難しい高周波回路では電力付加効率 (PAE: Power-Added Efficiency) が評価指標として利用される。

入力信号電力を P_{IN} とすると、 $PAE = (P_{OUT} - P_{IN})/P_{DC}$ である。電力利得が大きく出力信号電力が入力信号電力より十分大きい場合には PAE と電力効率がほぼ一致する。

(3) 増幅回路における信号歪み

電力効率がよくても信号の情報が失われるような歪みを発生させる増幅回路は利用できない。音声信号用の回路などでは出力信号の質の評価指標として全高調波歪 (THD: Total Harmonic Distortion) が用いられる。THD は高調波歪みの電力の和と所望信号電力の比である。高周波用増幅回路では高調波が増幅可能な周波数の範囲外となるので 2 波入力による相互変調歪

が利用される．近年は設計や測定に計算機が利用されるので QPSK などのデジタル変調信号を回路評価に用いることもそれほど困難ではなく，変調信号の 3 次，5 次の相互変調歪を隣接チャネル漏洩電力として所望信号との比で示す場合もある．

また，デジタル変調信号は信号波形が特定のパターンを示すので，元の信号波形を推定して誤差成分を算出することも可能である．誤差成分を位相と振幅をもつ誤差ベクトルととらえ，誤差ベクトルと本来の信号の振幅の比を EVM (Error Vector Magnitude) として信号品質の指標として用いる．これらの指標に加え，一定の信号品質を保ちつつ出力可能な最大電力を示す指標として P1dB (Power at 1 dB compression) や IP3 (3rd order Intercept Point) が用いられる．

2-6-2 電力効率改善技術

線形近似が成り立つ場合のように信号電流振幅がバイアス電流より小さい状態での動作が増幅回路の基本の動作である．しかしながら，そのような増幅回路は出力信号振幅が小さい場合にも最大出力より大きなバイアス電流を消費するので電力効率が低い．

高効率を実現するには無信号時のバイアス電流よりも大きな電流信号を出力可能な増幅回路が望ましい．そのような増幅回路では入力信号波形の一部が欠けたような出力信号波形とならざるを得ず，何らかの補正の仕組みが必要である．

(1) 増幅回路の級

図 2・18(a) に示すように無信号時のバイアス電流 (一点鎖線) が最大の信号電流振幅より大きい場合を A 級増幅，図 2・18(b) のように無信号時にはバイアス電流が流れず，交流信号の半サイクルだけを増幅する場合を B 級増幅という．実際には理想的な B 級の動作を実現するのは難しいので，図 2・18(c) のように無信号時にも少ないバイアス電流を流すことが多い，このような場合を AB 級増幅という．

更に，図 2・18(d) のように交流信号の半サイクルより小さい一部だけを増幅する場合を C 級増幅という．更なる高効率を目指し，トランジスタを増幅素子というよりもスイッチング素子として用いて信号を出力する回路も利用されていて，これらは D, E, F 級増幅回路として知られている．

(2) プッシュプル増幅回路

B 級や AB 級のように波形のほぼ半分を増幅する回路を組み合わせ，正負の半サイクルずつ増幅するプッシュプル増幅回路 (Push-pull amplifier) は信号が小さい場合には小さなバイアス電流しか流れず，かつ大きな出力電力を得ることが可能な増幅回路である．

トランスを用いてエミッタ接地増幅回路を組み合わせたものや，npn と pnp のエミッタホロワ回路を組み合わせた相補型プッシュプル増幅回路が知られている³⁾．特に相補型はトランスを利用しないので集積回路でも利用可能である．

(3) フィルタによる歪みの除去

高周波信号の増幅では，増幅素子の非線形性により生じる歪みをフィルタによって除去する手法が利用される．AB 級増幅回路は主に偶数次歪を発生するが，偶数次の相互変調歪みは直流付近や搬送波周波数の偶数倍の周波数となり搬送波信号周波数付近には存在しない．負荷回路として同調回路を用いるなど周波数選択性を持たせることで歪みが少ない出力を得ることができる．

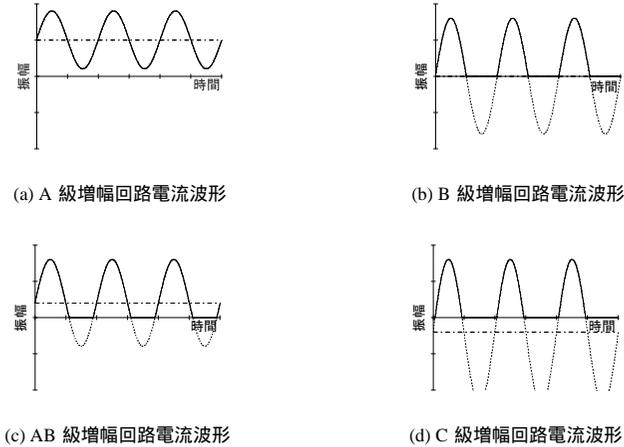


図 2-18 増幅回路の電流波形

前述のプッシュプル増幅回路は 2 組の増幅回路の偶数次歪を互いに打ち消しあうように組み合わせた構成と考えることもできる。

(4) パルス変調の利用

図 2-19 は D 級増幅回路の概念図である。トランジスタはスイッチとして用いられる。入力信号としてパルス幅変調 (PWM) 信号やパルス密度変調 (PDM) 信号を用いる。

信号帯域以外では高いインピーダンスとなるようにフィルタ (LPF) を構成することで不要な電力消費を抑制する。電力効率が高く、デルタシグマ変調方式⁴⁾と組み合わせるとデジタルオーディオとして利用するなど音声用の回路のほか、モータなどの制御機器の出力回路として用いられる。

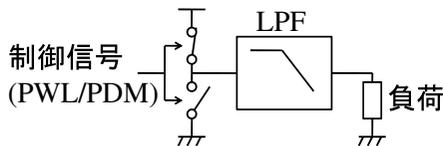


図 2-19 D 級増幅回路

(5) 非線形増幅回路

C 級増幅回路は一定以下の振幅の入力信号は出力されない。入力と出力が比例しない非線形増幅回路である。非線形増幅回路としては E 級や F 級²⁾も知られている。これらは主に周波数変調信号の増幅に用いられる。

参考文献

- 1) 榊米一郎, 大野克郎, 尾崎弘, “大学課程電気回路 (1) (第 2 版),” オーム社, 1980.

- 2) B. Razavi 著, 黒田忠弘 監訳, "RF マイクロエレクトロニクス," 丸善, 2002.
- 3) 浅田邦博, "アナログ電子回路," 昭晃堂, 1998.
- 4) R. Schreier and G. C. Temes 著, 和保孝夫, 安田彰 監訳, " $\Delta\Sigma$ 型アナログ/デジタル変換器入門," 丸善, 2007.