

1群(信号・システム) - 7編(電子回路)

6章 スイッチング回路

(執筆者: 安田 彰・和田和千・江口 啓)[2011年11月受領]

概要

トランジスタの動作は、大きく分けて信号を増幅する増幅動作と信号を流したり切ったりするスイッチング動作がある。トランジスタの増幅動作に関しては1章で述べた。本章では、トランジスタのスイッチング動作とその応用回路について述べる。現在のコンピュータなどのデジタル機器においては、トランジスタはスイッチング動作しており、デジタル信号処理においてスイッチング回路が重要な役目を果たしている。

6-1節では、バイポーラトランジスタとMOSFETのスイッチング動作の原理に関して述べる。6-2節以降の応用回路の動作を理解するためには、トランジスタ単体のスイッチング動作を理解する必要がある。

スイッチング回路の代表例である論理回路においては、以前はバイポーラ論理回路も多く使われていたが、現在ではCMOS論理回路が主流となっている。6-2節では、現在も特定用途を中心に使われているバイポーラ論理回路としてTTL(Transistor Transistor Logic), ECL(Emitter Coupled Logic), I²L(Integrated Injection Logic)の動作原理を述べる。

6-3節では、現在の論理回路の主流になっているCMOS論理回路に関して述べる。CMOSスタティック回路として、インバータ回路、NAND回路、NOR回路の動作を記述し、ダイナミックCMOS回路として、一時データ記憶回路の動作を述べる。さらに、伝送ゲートを用いたラッチ回路やフリップフロップ回路の動作に関して記述する。

6-4節では、矩形波や三角波を生成する弛張発振回路の動作に関して述べる。演算増幅器、論理ゲート、トランジスタを用いた基本増幅回路や負性抵抗を用いた弛張発振回路の動作に関して述べる。

6-5節では、スイッチング電源の分類、回路方式、制御方式に関して述べる。

【本章の構成】

本章では、まずトランジスタのスイッチング動作の原理(6-1節)について述べる。その後、スイッチング動作をする回路例としてバイポーラ論理回路(6-2節)、CMOS論理回路(6-3節)、弛張発振回路(6-4節)、スイッチング電源回路(6-5節)について述べる。

1群-7編-6章

6-1 トランジスタのスイッチング動作

(執筆者：安田 彰)[2008年10月受領]

6-1-1 バイポーラトランジスタのスイッチング動作

図6・1にバイポーラトランジスタをスイッチング素子として用いる場合の基本回路を示す。

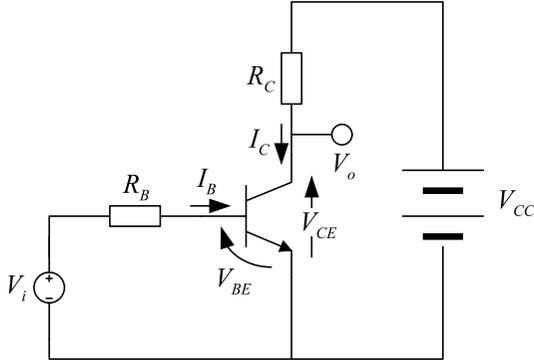


図6・1 バイポーラトランジスタによるスイッチング回路

ここで、 V_i は入力電圧、 V_o は出力電圧、 I_B はベース電流、 I_C はコレクタ電流、 V_{CC} は電源電圧、 V_{BE} はベース—エミッタ間電圧、 V_{CE} はコレクタ—エミッタ間電圧である。このとき、次の関係が成り立ち、

$$V_{CC} = I_C R_C + V_{CE}$$

$$V_i = I_B R_B + V_{BE}$$

I_C は、

$$I_C = \frac{V_{CC} - V_{CE}}{R_C}$$

となる。

この関係とトランジスタの $I_C - V_{CE}$ 特性とを図6・2にプロットする。図中(A)-(B)の直線は負荷線と呼ばれている。ベース電流 I_B を変化させると、負荷線とベース電流に対応する特性曲線の交点(動作点)が、(A)-(C)-(B)と移動する。入力電圧 V_i の変化により、 I_B は大きく変化し、これにより動作点が移動する。この動作点の位置によりトランジスタの動作は、以下の状態に分類される。

(1) 遮断状態(動作点が(A)点)

$I_B = 0, I_C = 0$ の状態、トランジスタはオフ状態である。このとき、 $V_{CE} = V_{CC}$ である。この状態を遮断状態という。

(2) 飽和状態(動作点が(B)点)

ベース電流が十分大きい場合、コレクタ電流は一定の値

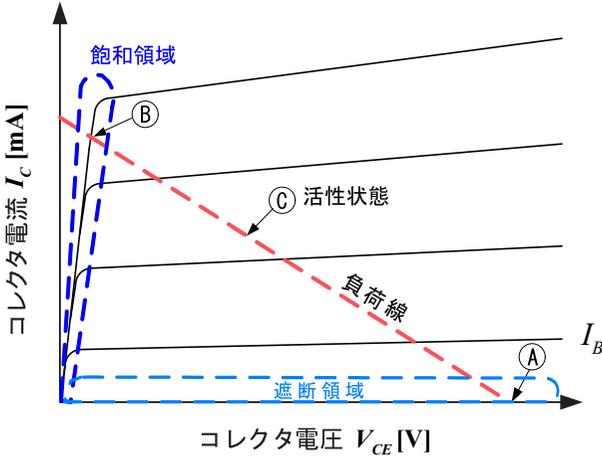


図 6・2 バイポーラトランジスタの静特性と動作領域

$$I_C = I_{CSAT} = \frac{V_{CC} - V_{CESAT}}{R_C}$$

で飽和し、このとき $V_{CE} = V_{CESAT}$ となる。この V_{CESAT} をトランジスタの飽和電圧といい、0.1~0.2 V 程度である。この状態を飽和状態という。この状態では、シリコントランジスタのベース—エミッタ間電圧が 0.6~0.7 V であることから、コレクタ—ベース間電圧 $V_{CESAT} - V_{BE}$ は負となり、コレクタ—ベース間接合は順方向バイアスされていることになる。

(3) 活性状態（動作点が(A)点から(B)点）

動作点が(A)点から(B)点にある状態を、活性状態もしくは能動状態という。アナログ信号の増幅では、動作点が活性状態である(A)点から(B)点になるように設計する。このとき、

$$I_C = \beta I_B \quad (\beta: \text{エミッタ接地電流増幅率})$$

$$V_{CE} = V_{CC} - R_C I_C$$

である。

デジタル回路においては、トランジスタを(1)の遮断状態もしくは(2)の飽和状態のいずれかの状態のみで動作させる。これをスイッチング動作と呼ぶ。

6-1-2 バイポーラトランジスタのパルス応答

入力に図 6・3(a) に示したパルス電圧を印可した場合を考える。時刻 $t = 0$ では、トランジスタはオフしており、パルス電圧の印可によりベース電流 I_B は、図 6・3(b) に示したように変化する。しかし、コレクタ電流 I_C は、トランジスタの周波数特性のためすぐには立ち上

がらず図 6・3(c) のように変化する．このとき，コレクタ電流 I_C が飽和電流 I_{CSAT} に変化する．また，電流が 10 % から 90 % になるのに要する時間を立ち上がり時間 (rise time) t_r といい，10 % になるまでの時間を遅れ時間 (delay time) t_d という．

その後トランジスタは飽和状態になり，飽和コレクタ電流 I_{CSAT} が流れる．コレクタ—エミッタ間電圧は $V_{CESAT} = 0.2 \sim 0.3 \text{ V}$ となり，コレクタ—ベース間は，順方向バイアス状態となる．飽和状態においては，コレクタ電流は I_{CSAT} の一定値となり，さらにエミッタから注入された過剰な少数キャリアはベース領域に蓄積され，これに見合った多数キャリアがベース端子より注入されベース領域に蓄積される．

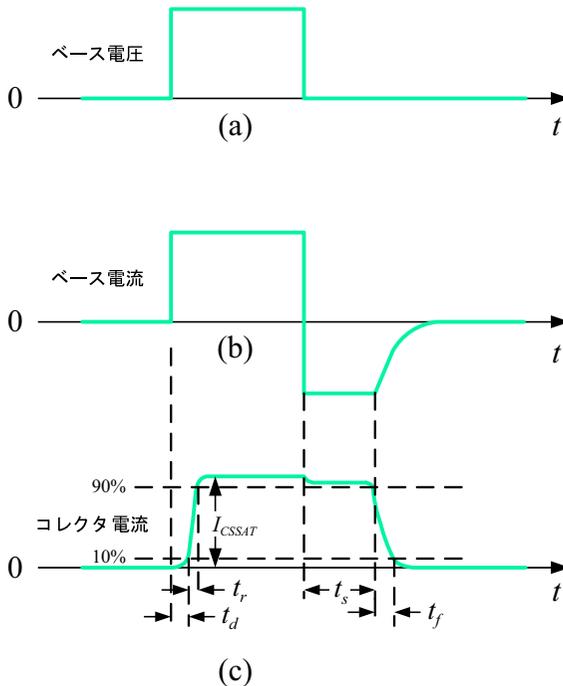


図 6・3 トランジスタのスイッチング波形

次に入力電圧が 0 に変化したあと，しばらくの間トランジスタは，ベース領域に蓄積された過剰キャリアのため，順方向に電流が流れ続ける．入力電圧が 0 になってからベース領域の過剰キャリアが引き出され，能動状態に移行して I_C が減少し始めるまでの時間を蓄積時間 (storage time) t_s という． I_C が I_{CSAT} の 90 % から 10 % まで減少するのに要する時間を立ち下がり時間 (fall time) t_f という．

スイッチング動作を高速化するには，立ち上がり時間，蓄積時間，立ち下がり時間を小さくする必要がある．図 6・4 に示したように，立ち上がり時にベース電流を大きくし (オーバー

ドライブ), 飽和状態では蓄積時間を小さくするためにベース電流を飽和する限界近くに小さくする。立ち上がり時は, ベースに逆方向電流を流し, ベース領域の過剰キャリアを引き出し, 蓄積時間を短くさせる。

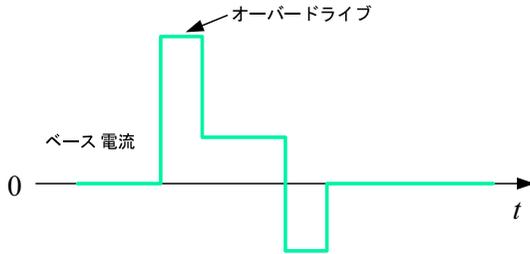


図 6・4 スイッチングスピードを向上させる理想的なベース電流波形

6-1-3 MOS トランジスタのスイッチング動作

図 6・5 に MOS トランジスタをスイッチング素子として用いる場合の基本回路を示す。

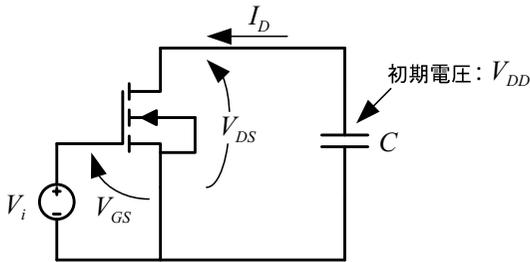


図 6・5 MOS トランジスタによるスイッチング回路

MOS トランジスタ論理回路の場合, NMOS と PMOS を組み合わせた CMOS 回路が広く用いられており, その特徴は定常状態では電流をトランジスタに流さない点にある。このため, MOS ではキャパシタを負荷とした場合について考える。初期状態では, キャパシタは V_{DD} にチャージされているものとする。 $V_{GS} = 0$ の場合トランジスタはオフし, ドレイン電流 $I_D = 0$ である。次に $V_{GS} = V_{DD}$ になると, MOS トランジスタはオンとなり, トランジスタの動作点は, 図 6・6 パイボラトランジスタの静特性と動作領域の (A) 点から (B) 点に移る。このときトランジスタは飽和領域に入りドレイン電流は,

$$I_{DS} = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) (V_{DD} - V_{TH})^2$$

となる。ここで、 μ はキャリアの移動度、 C_{ox} は単位面積当たりのゲート容量、 W はチャネル幅、 L はチャネル長である。この後トランジスタの動作点は、(B)点から矢印のように $I_D = 0$ の(C)点に推移する。この過程はMOS トランジスタを次のオン抵抗でモデル化することができる。

$$R = \frac{V_{DD}}{I_{DS}} = \frac{V_{DD}}{\frac{1}{2}\mu C_{ox}\left(\frac{W}{L}\right)(V_{DD} - V_{TH})^2}$$

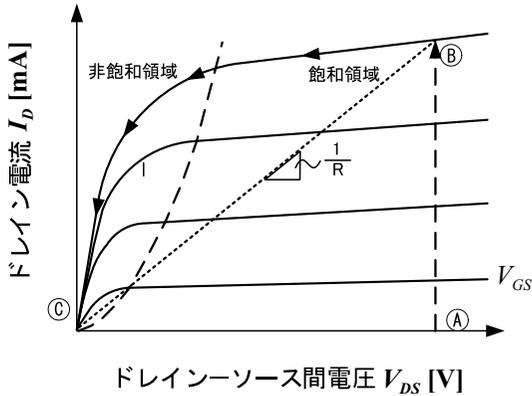


図 6.6 バイポーラトランジスタの静特性と動作領域

このオン抵抗と MOS トランジスタのゲートドレイン容量、ゲートソース容量を考慮したトランジスタモデルを図 6.7 に示す。ここで、ミラー効果により $C_{in} = 3/2C_{ox}$ 、 $C_{out} = C_{ox}$ となっている。

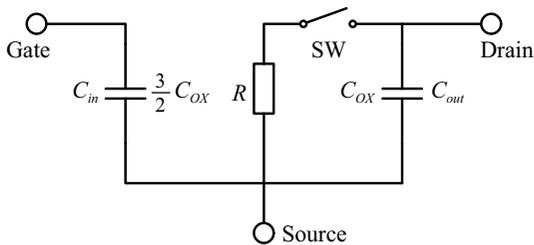


図 6.7 MOS トランジスタのスイッチング動作モデル

6-1-4 MOS トランジスタのパルス応答

MOS トランジスタにはバイポーラトランジスタのような少数キャリアの蓄積がなく、蓄積時間による動作速度の低下は発生しない。動作速度は、トランジスタのオン抵抗および寄生容量により生じる時定数により制限される。ショートチャネル効果が顕著でないロングチャネルプロセスの場合、時定数は

$$\tau = RC_{ox} = \frac{2L \cdot V_{DD}}{\mu C_{ox} W (V_{DD} - V_{TH})^2} C_{ox} WL = \frac{2L^2 \cdot V_{DD}}{\mu (V_{DD} - V_{TH})^2}$$

となる。これから、時定数はチャネル幅 L の 2 乗に比例しチャネル長 W には依存せず、 V_{DD} が高いと高速であることが分かる。

1群-7編-6章

6-2 バイポーラ論理回路

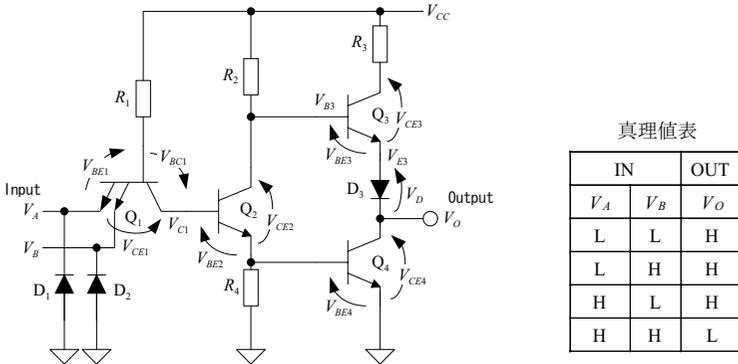
(執筆: 安田 彰) [2008年10月受領]

バイポーラトランジスタを用いた論理回路として、DTL (Diode Transistor Logic), TTL (Transistor Transistor Logic), ECL (Emitter Coupled Logic), I²L (Integrated Injection Logic) などが用途に応じて用いられてきた。ここでは、現在でも用いられている TTL, ECL, I²L について説明する。

6-2-1 TTL

(1) NAND 回路

NAND 回路を図 6・8 に示す。V_A, V_B は入力端子, V_O は出力端子である。V_A, V_B いずれかが L レベル (0.8 V 以下) の場合, R₁ を流れる電流は Q₁ のエミッタから入力側に流れ込み, Q₁ のコレクタ電位 V_{C1} が低下し Q₂ がオフする。これにより, R₄ に流れる電流は 0 となり V_{BE4} = 0 となって, Q₄ はオフする。一方, Q₃ のベース電位 V_{B3} は V_{CC} となり Q₃ がオンし, 出力端子電圧 V_O = V_{CC} - V_{BE3} - V_{D3} となって, 出力ノードを H レベルに駆動する。



真理値表

IN		OUT
V _A	V _B	V _O
L	L	H
L	H	H
H	L	H
H	H	L

入力レベル		出力レベル	
L	0.8 V 以下	L	0.4 V 以下
H	2.0 V 以上	H	2.4 V 以上

図 6・8 2 入力 NAND ゲート (TTL)

V_A, V_B いずれもが次の関係を満たすとき Q₁ のベース電流は Q₂ のベースに流れ込み Q₂ がオンする。

$$V_A, V_B > -V_{BE1} + V_{BC1} + V_{BE2} + V_{BE4} \approx 2V_{BE}$$

ここで、 $V_{BE1} = V_{BE2} = V_{BE4} = V_{BC1} = V_{BE}$ とした。この結果、 R_4 の電圧降下により Q_4 がオンする。このとき、 Q_3 のベース電位 V_{B3} 及びエミッタ電位 V_{E3} は、それぞれ $V_{B3} = V_{BE4} + V_{CE2}$ 、 $V_{E3} = V_{CE4} + V_{D3}$ となり、 $V_{BE4} = V_{D3}$ 、 $V_{CE2} = V_{CE4}$ を仮定すると、 Q_3 のベース—エミッタ間電圧 V_{BE3} は、 $V_{BE3} = V_{B3} - V_{E3} = V_{BE4} + V_{CE2} - V_{CE4} - V_{D3} \approx 0$ となつて、L レベルとなる。このように、 D_3 は Q_3 が完全にオフさせるように挿入されている。 Q_3 、 Q_4 による出力回路をトータムポール回路という。

Q_2 のベース蓄積キャリアは、 Q_1 のコレクタ電流により引き抜かれるためその影響は小さいが、 Q_4 のベース蓄積キャリアは、抵抗 R_4 を介して流れ出るため、蓄積時間はやや長い。

Q_4 がオンからオフ、 Q_3 がオフからオンする際に、 Q_4 の蓄積時間のため、 Q_3 、 Q_4 が同時にオンする状態が生じる。これにより、 R_4 、 Q_3 、 D_3 、 Q_4 を通り大きな電流が流れ（貫通電流）、回路に雑音が発生する。入力に接続された D_1 、 D_2 は、雑音による入力電圧への影響を低減させる。

(2) NOT (インバータ)

NOT 回路は、NAND の入力の一つ用いることで実現され、図 6・8 の Q_1 のマルチエミッタの一つのエミッタにすればよい。従つて、動作は NAND 回路と同様である。

(3) NOR 回路

図 6・9 に NOR 回路を示す。NOR 回路では、 Q_1 及び Q_3 、 Q_2 及び Q_4 で構成される 2 組の入力回路を用意し、 Q_3 と Q_4 のコレクタ、エミッタを並列接続することにより、NOR 回路演算を実現し、これをトータムポール出力回路に接続した構成としている。

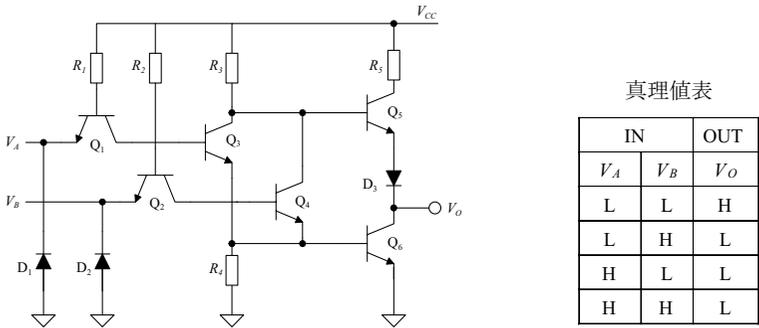


図 6・9 2 入力 NOR ゲート (TTL)

V_A 、 V_B いずれも L レベルの場合、 Q_1 、 Q_2 のベース電流は、入力端子側に流れ、 Q_3 、 Q_4 はオフする。このため、 Q_5 のベース電位は V_{CC} 、 Q_6 のベース電位は 0 となり、 Q_5 がオン、 Q_6 がオフし、 V_O は H レベルになる。 V_A 、 V_B いずれかが H レベルの場合、 Q_3 もしくは Q_4 がオンし、 R_4 に電流が流れ Q_6 をオンし出力 V_O は L レベルとなる。

6-2-2 ECL

TTL 回路は、トランジスタが遮断領域と飽和領域の間で動作するため、トランジスタがオ

ンからオフする際に生じるベース領域での小数キャリアの蓄積効果により、スイッチング動作速度が低下し、高速動作ができない。これを改善する方法として、トランジスタを活性領域内のみで動作させ、高速スイッチング動作をさせる方法が考えられる。その一つの実現方法として、電流モード型論理回路があり ECL (Emitter Coupled Logic) や CML (Current Mode Logic) と呼ばれている。図 6・10 に ECL で実現した OR/NOR 回路を示す。

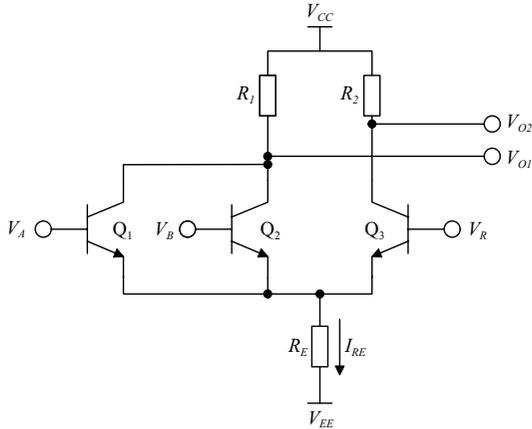


図 6・10 2 入力 OR/NOR ゲート原理図 (ECL)

$V_B < V_R$ の場合について考えると、図 6・10 の回路は図 6・11 に示した Q_1 及び Q_2 で構成されたアナログ回路における差動増幅器として動作する。 $V_A < V_R$ の場合、 Q_1 がオフ、 Q_3 がオンする。従って、 V_{O1} は H レベル、 V_{O2} は L レベルとなる。このとき、 R_E を流れる I_{RE} は、

$$I_{RE} = \frac{V_E - V_{EE}}{R_E} = \frac{V_R - V_{EE3} - V_{EE}}{R_E}$$

となり、この電流はすべて R_2 を流れるので、 Q_3 のコレクタ電位は、 $V_{O2} = V_{CC} - I_{RE}R_2$ となる。そこで、 Q_3 のベース—コレクタ電圧 $V_{BC3} = V_R - V_{O2}$ が、逆方向バイアスが保たれるように設計しておくことにより、トランジスタを飽和させず活性領域内で動作させることが可能となる。

$V_A > V_R$ の場合、 Q_1 がオンし、 Q_3 がオフする。このとき、 R_E を流れる I_{RE} は、

$$I_{RE} = \frac{V_E - V_{EE}}{R_E} = \frac{V_A - V_{BE1} - V_{EE}}{R_E}$$

となり、この電流は Q_1 を流れ V_A の上昇とともに増加する。 Q_1 のコレクタ電位は $V_{O1} = V_{CC} - I_{RE}R_1$ となり、 Q_1 は $V_{O1} - (V_A - V_{BE1}) > V_{CESAT}$ (V_{CESAT} は Q_1 の飽和電圧) の範囲であれば飽和しない。

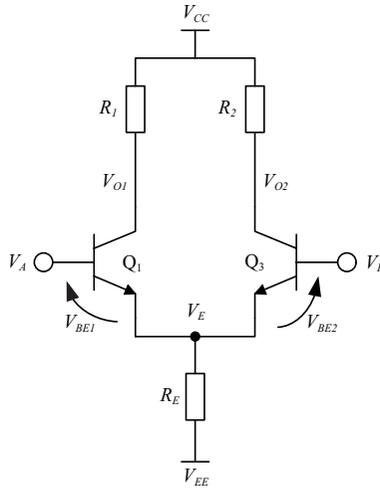


図 6-11 差動回路

図 6-10 において $V_A, V_B \leq V_R$ の場合，トランジスタ Q_1, Q_2 はともにオフし， Q_3 がオンする．このため，出力 V_{O1} は H レベルとなり， V_{O2} は L レベルとなる． V_A あるいは $V_B \geq V_R$ の場合，トランジスタ Q_1, Q_2 のいずれかがオンし， Q_3 がオフする．従って，出力 V_{O1} は L レベルとなり， V_{O2} は H レベルとなる．出力 V_{O1} は，入力 V_A, V_B の NOR 出力となり，

$$V_{O1} = \overline{V_A + V_B}$$

である．

一方， V_{O2} は入力 V_A, V_B の OR 出力となり，

$$V_{O2} = A + B$$

となる．

図 6-12 に実際の ECL 回路を示す．出力段にエミッタフォロワ Q_4 及び Q_5 を用い，出力負荷への電流が十分とれるようになっている．また，出力が V_1, V_2 よりも V_{BE} だけ低い電位となっており，これらの端子を次段に接続した場合，次段の入力トランジスタが飽和しないようになっている．一方， Q_3 のベースは， $R_5, R_6, D_1, D_2, Q_6, R_7$ による温度補償基準電圧源に接続され， R_E に流れる電流がほぼ一定になるようになっている．

6-2-3 I2L (IIL)

I2L (Integrated Injection Logic) は，アイソレーション領域を必要とせず，パイポーラプロセスで比較的大規模な論理回路を実現できる回路構成法である．TTL や ECL 回路では，集

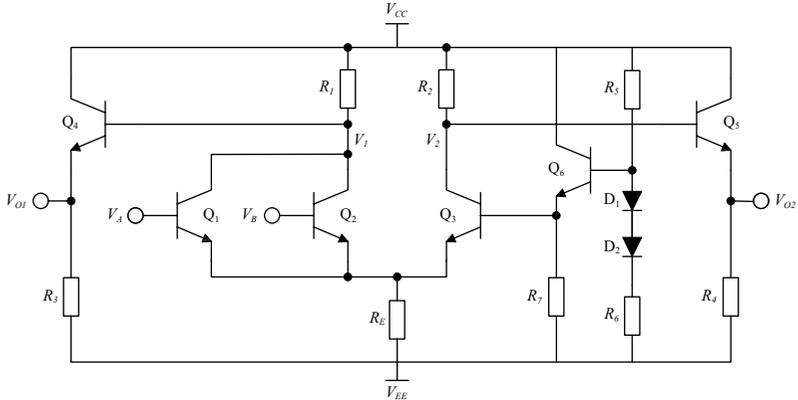


図 6・12 2 入力 OR/NOR ECL ゲート回路

積化する場合、各トランジスタ間を分離するために、逆方向バイアスした pn 接合によるアイソレーション領域が必要になる。このアイソレーション領域がチップに占める割合は無視できず、大規模集積化の際に問題となる。

I²L の基本回路及び断面構造を図 6・13、図 6・14 に示す。図に示されるように、nnp トランジスタ Q₁、Q₂ のエミッタ及び pnp トランジスタ Q₃ のベースがすべて接地されており、これらを共通の n 基板で実現できる。トランジスタ Q₃ はラテラル pnp トランジスタ（横型 pnp トランジスタ）で、Q₃ のコレクタと Q₁、Q₂ のベース領域は共通となっており、チップサイズを低減できる。また、nnp トランジスタのエミッタも共通の n 基板で接地されており、素子間のアイソレーション領域が不要である。

Q₁、Q₂ は「マルチコレクタトランジスタ」と呼ばれ、複数のコレクタをベース領域上に形成してある。I²L は、Q₁、Q₂ のオープンコレクタ・インパタと、Q₃ による電流源回路から構成されている。このため、I²L の出力電圧は、L レベルの場合 $V_{CS} \approx 0.1\text{V}$ （飽和電圧）、H レベル（ハイ・インピーダンス）の場合、 V_{BE} に等しく 0.7V 程度となり、入力信号 A、B は、L レベルもしくはハイ・インピーダンスである。入力信号 A もしくは B が L レベルの場合、Q₁ もしくは Q₂ はオフし、コレクタ端子はハイ・インピーダンス（H レベル）となる。一方、入力信号がハイ・インピーダンス（H レベルに対応）の場合、Q₃ からの電流は Q₁ もしくは Q₂ のベースに流れ込みこれらのトランジスタをオンし、コレクタは L レベルとなる。Q₁、Q₂ はオープンコレクタとなっているため、コレクタ端子同士を接続することでワイヤード NOR 回路が構成されている。また、Q₁、Q₂ は、マルチコレクタトランジスタのため、複数のノードに出力することが可能である。このように、Q₃ の電流源から Q₁、Q₂ に電流が注入されるため、“Integrated Injection Logic”と命名されている。

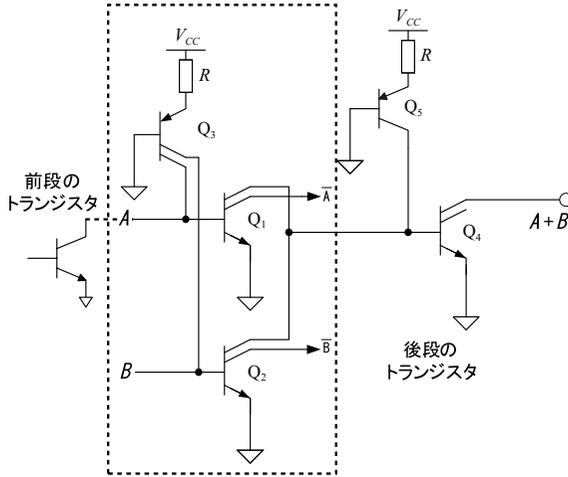


図 6・13 I2L の基本回路

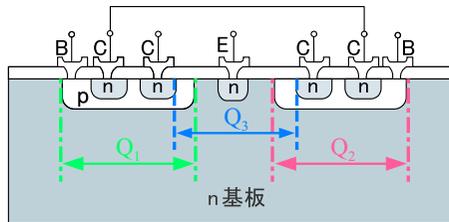


図 6・14 I2L の断面構造

1群-7編-6章

6-3 CMOS 論理回路

(執筆: 安田 彰) [2008年10月受領]

6-3-1 CMOS スタティック回路

MOS トランジスタは、構造が単純で高集積化に適しており、微細加工技術の進展と共に動作速度も高速化され、CMOS (Complementary MOS) 論理回路は現在の論理回路の主流になっている。

(1) CMOS インバータ回路

CMOS 回路を用いたインバータを図 6・15 に示す。

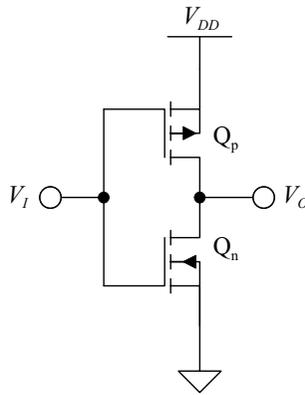


図 6・15 CMOS インバータ回路

この CMOS インバータ回路は、nMOS トランジスタと pMOS トランジスタが直列に接続された回路構成となっており、同一半導体基板上に構成されている。このような構成にすることにより、出力が H レベル、L レベルいずれの場合も定常的に流れる直流電流が 0 となり、直流消費電力を大幅に低減させている。

入力電圧を V_I 、出力電圧を V_O 、ゲート—ソース電圧を V_{GS} とする。 V_I が H レベル ($V_I = V_{DD}$) の場合、 Q_n はオンし Q_p はオフし、出力 V_O は L レベルとなる。このとき、 Q_p がオフしているため Q_n 、 Q_p には電流が流れない。 V_I が L レベル ($V_I = 0$) の場合、 Q_n はオフし Q_p はオンし、出力 V_O は H レベルとなる。この場合も、 Q_n 、 Q_p には電流が流れない。

(2) CMOS NAND 回路

図 6・16 に NAND 回路を示す。 A 及び B が共に H レベルの場合、 Q_{n1} 、 Q_{n2} がオンし、出力 V_O は L レベルになる。このとき、 Q_{p1} 、 Q_{p2} はオフしているため、トランジスタには電流が流れない。 A もしくは B が L レベルの場合、 Q_{n1} もしくは Q_{n2} はオフし、 Q_{p1} もしくは Q_{p2} がオンするため、出力 V_O は H レベルになる。この場合も、電源から接地点へ電流は流れないため、定常的な電力の消費はない。

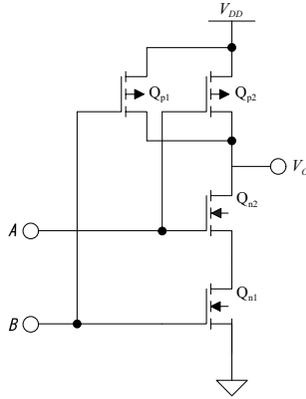


図 6・16 NAND 回路

(3) CMOS NOR 回路

図 6・17 に NOR 回路を示す。A もしくは B の一方が H レベルの場合、 Q_{n1} もしくは Q_{n2} がオンし、出力 V_o は L レベルになる。このとき、 Q_{p1} もしくは Q_{p2} はオフしているため、トランジスタには電流が流れない。A 及び B がともに L レベルの場合、 Q_{n1} 及び Q_{n2} はオフし、 Q_{p1} 及び Q_{p2} がオンするため、出力 V_o は H レベルになる。この場合も、電源から接地点へ電流は流れないため、定常的な電力の消費はない。

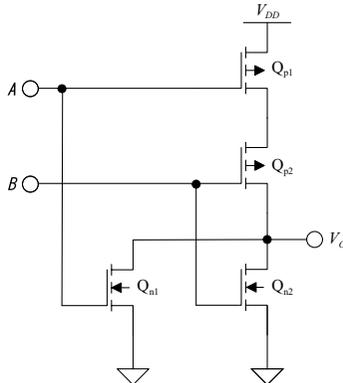


図 6・17 NOR 回路

6-3-2 ダイナミック型論理回路

CMOS による論理回路の入力部分には MOS トランジスタのゲートが接続されており、直流入力インピーダンスは非常に高い。このため、図 6・18 に示したように CMOS 論理回路の入力段にスイッチ SW を接続し、このスイッチをオンした後にオフすると、入力電圧により MOS トランジスタのゲート寄生容量に電荷が蓄えられ、その電位が保存される。図において、入力が L レベルの場合、SW をオンした状態で出力は H レベルであり、SW をオフした後も、入力電圧が C_G に保存され、出力は H レベルを保持する。入力が H レベルの場合も同様である。この回路は「一時データ記憶回路」と呼ばれ、このような記憶作用を用いた論理回路は「ダイナミック型論理回路」と呼ばれている。図 6・19 に詳細な回路図を示す。

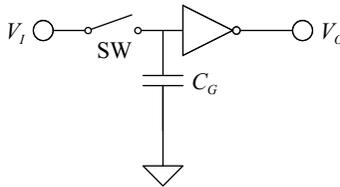


図 6・18 スイッチを用いた一時記憶回路

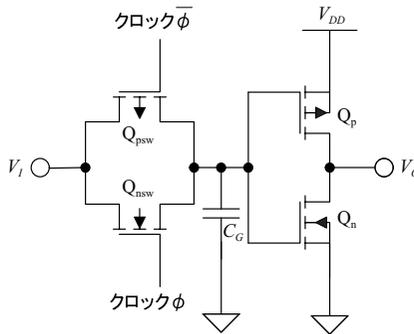


図 6・19 伝送ゲートを用いた一時記憶回路

nMOS トランジスタと pMOS トランジスタ、それぞれのドレイン、ソースどうしを接続し、スイッチを構成している。このスイッチを「伝送ゲート (Transfer Gate)」もしくは「アナログスイッチ (Analog Switch)」と呼ぶ。この伝送ゲートを用いた一時データ記憶回路の論理記号を図 6・20 に示す。

この回路とほぼ同様な動作をする回路として図 6・21 に示したクロック CMOS インバータ回路がある。この回路においては、クロック信号に接続された Q_{n1} 及び Q_{p1} をオフすることで、ゲート容量 C_G に蓄えられた電荷を保存する。

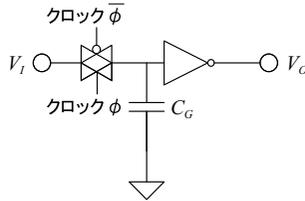


図 6・20 伝送ゲートを用いた一時記憶回路の論理記号

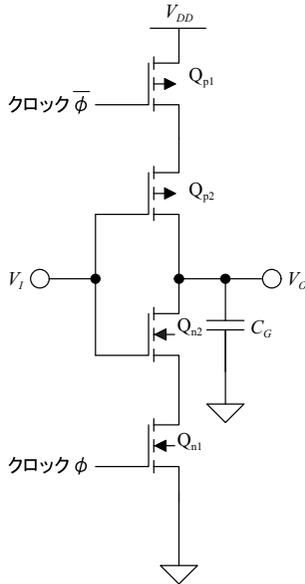


図 6・21 クロックドインバータによる一時記憶回路

この回路の論理記号を図 6・22 に，真理値表を表 6・1 示す．

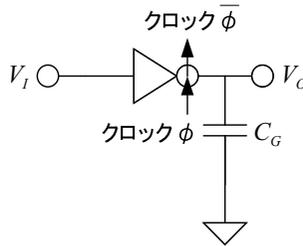


図 6・22 クロックドインバータによる一時記憶回路の論理回路

表 6・1 真理値表

D	クロック ϕ	Q
0	0 → 1	0
1	0 → 1	1
任意	1 → 0	Q_{n-1}

6-3-3 伝送ゲートを用いたラッチ回路

図 6・23 に伝送ゲートを用いた D ラッチ回路を示す．スイッチ SW1 がオンの状態では，入力 D は 2 段のインバータ回路に接続され，出力 Q には入力 D の状態がそのまま出力される．次に SW1 がオフすると，ゲート容量 C_G に各ノードの状態が保持され，SW2 がオンすることにより出力 Q が 2 段のインバータに入力に帰還され，出力状態が保持される．これら一連の動作で，ラッチ機能が実現される．この回路においては，SW2 をオンすることで 2 段のインバータと帰還経路によりデータを保持することから「スタティック型回路」と呼ばれている．この回路の真理値表を表 6・2 に示す．

表 6・2 真理値表

D	クロック ϕ	Q
0	1	0
1	1	1
任意	0	保持

図 6・24 に示したように，クロックドインバータ回路を用いても同様の動作をするラッチ回路を構成できる．

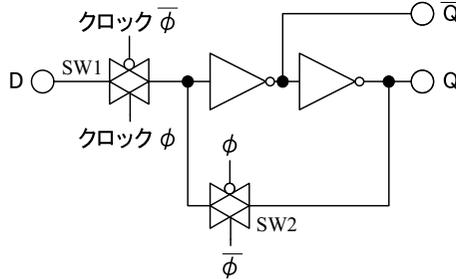


図 6-23 伝送ゲートを用いたラッチ回路

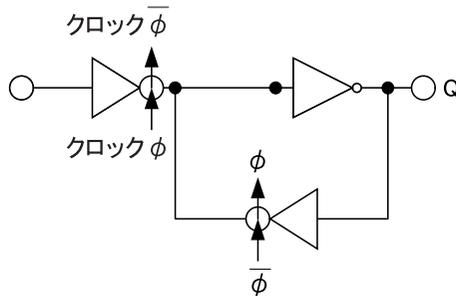


図 6-24 クロックドインバータを用いたラッチ回路

6-3-4 伝送ゲートを用いた D フリップフロップ回路

伝送ゲートを用いた D フリップフロップ回路を図 6-25 に示す。D フリップフロップ機能を実現するために、伝送ゲートを用いたラッチ回路を 2 段直列に接続し、それぞれの段のクロックを逆位相としている。クロック ϕ が L レベルであると、SW1 はオンし D ラッチ 1 段目はサンプリングモードとなり、X 点は入力 D と等しい状態になっている。次にクロック ϕ が H レベルとなると SW1 はオフし、SW2 がオンするため、1 段目は保持モードとなり、それまでの状態を保持する。このとき、SW3 がオンするため、2 段目の D ラッチはサンプリングモードとなり、出力 Q は、クロック ϕ が L レベルから H レベルに変化したときの状態を保持する。再びクロック ϕ が L レベルとなると、SW4 がオンし、2 段目の D ラッチは保持モードとなり、クロック ϕ が L レベルから H レベルに変化したときの入力 D の状態 Q_{n-1} を保持し続ける。このとき、1 段目の D ラッチは、サンプリングモードとなり、以後同様の動作を続ける。以上の動作をまとめた真理値表を表 6-3 に示す。

同様の動作をするクロックドインバータを用いた D フリップフロップ回路を図 6-26 に示す。

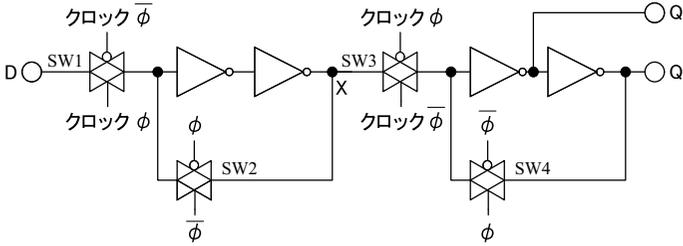


図 6・25 伝送ゲートによる D フリップフロップ回路

表 6・3 真理値表

D	クロック ϕ	Q
0	$0 \rightarrow 1$	0
1	$0 \rightarrow 1$	1
任意	$1 \rightarrow 0$	Q_{n-1}

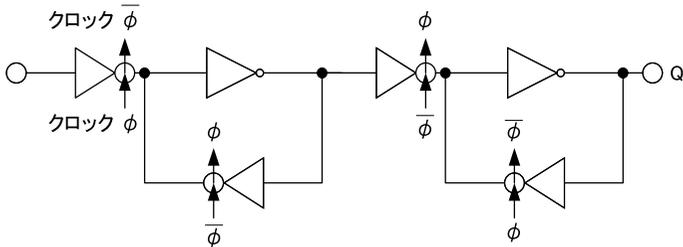


図 6・26 クロックインバータによる D フリップフロップ回路

1群-7編-6章

6-4 弛張発振回路

(執筆者: 和田和千)[2009年12月受領]

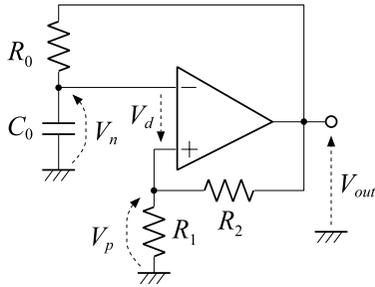
抵抗と容量で構成された単調波形を生成する回路と、2値を出力する回路を用いることで、矩形波や三角波を出力する。出力が2値となる回路には、スイッチを明示的に使用している前節までのゲート回路のみならず、多くの増幅回路も使用できる。

6-4-1 演算増幅器を用いた構成

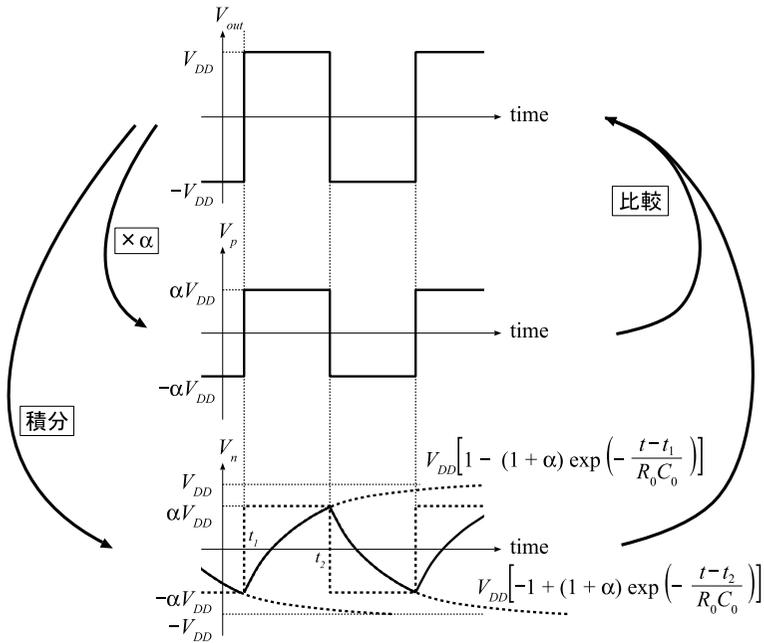
図6・27は高利得差動増幅回路である演算増幅器1個を使用した発振回路である。差動入力 $V_d = V_p - V_n$ が0に非常に近いときは、演算増幅器をA倍 ($A \gg 1$)の増幅回路と考えることで、極が原点から遠い正の実軸近辺に存在することが分かるので、出力 V_{out} は急速に電源電位 $\pm V_{DD}$ のいずれかとなる。一方、 $|V_d|$ が線形動作範囲 ΔV_{MAX} (1 mV程度) を越えたときにも、出力はこれらの値で飽和する。従って、この回路は常に、2値のいずれか一方を出力する。まず、出力が最高電位 $V_{out} = V_{DD}$ のときを考えると、 $\alpha = R_1 / (R_1 + R_2)$ とおけば非反転入力端子電圧は $V_p = \alpha V_{DD}$ である。また上述の考察から必ず $V_n < V_p - \Delta V_{MAX}$ である。時間の経過と共に V_n は、 R_0 と C_0 によって $V_{out} = V_{DD}$ へ漸近するように増加し、 $V_p - V_n = \Delta V_{MAX} \approx 0$ すなわち $V_n = \alpha V_{DD}$ となったときに出力は最低電位 $-V_{DD}$ へと反転する。次に、 $V_{out} = -V_{DD}$ のときは、 $V_p = -\alpha V_{DD}$ 、 $V_n > V_p + \Delta V_{MAX}$ である。 V_n は $V_{out} = -V_{DD}$ へ向けて減少し、 $V_n \approx -R_1 / (R_1 + R_2) V_{DD}$ になると再び出力を反転する。以上の動作を繰り返す周期 T_{osc} は $T_{osc} = 2R_0C_0 \ln(1 + 2R_1/R_2)$ 、発振周波数は $1/T_{osc}$ である。

なお、演算増幅器と R_1 、 R_2 で構成される (R_0 と C_0 を取り除いて得られる) 部分回路は、 α が小さいとき V_n の正負を判定し、 $\pm V_{DD}$ という2値のいずれかを出力する回路である。入出力の符号が逆となるものの、 $\pm \alpha V_{DD}$ のヒステリシスを有する比較器と考えることができる。

図6・28は三角波を出力する回路である。先に述べた図6・27の回路中の V_n は R_0 、 C_0 からなる近似的な積分回路によって指数関数的に増減する波形であったため、演算増幅器を用いた逆相積分器に置換して直線的な増減波形を生成する。積分器を逆相としたことから、比較器の出力を反転するために R_1 の一端に積分器出力を接続している。発振周期 T_{osc} は $T_{osc} = 4R_0R_1C_0/R_2$ 、発振周波数は $1/T_{osc}$ である。

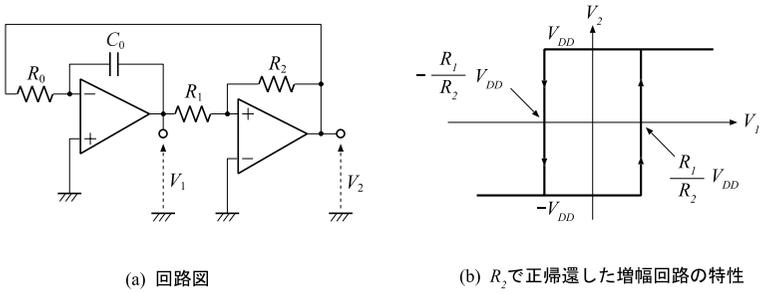


(a) 回路図



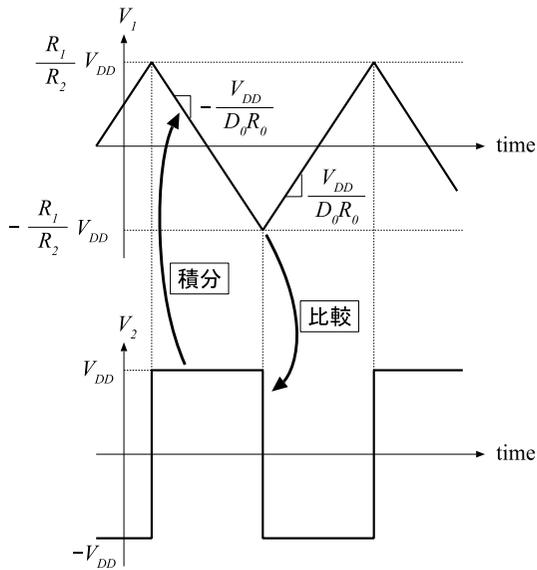
(b) 波形

図 6・27 基本構成



(a) 回路図

(b) R_2 で正帰還した増幅回路の特性



(c) 波形

図 6・28 三角波出力を有する構成

6-4-2 論理ゲートを用いた構成

一般に NOT ゲートの入出力電圧の直流特性の概形は逆相比較器とほぼ同一であり、同一視できる。ただし、入力を比較する基準はゲート回路の論理しきい電圧である。弛張発振回路の NOT ゲートによる構成を図 6・29～6・31 に示す。三つのいずれの構成においても、図 6・27 の回路に含まれていた逆相比較器をゲート回路 NOT₁ に置き換えている。NOT₁ の入力電圧 V_n が論理しきい電圧 V_{TH} より大きいか小さいかにより、その出力電圧は $-V_{DD}$ または V_{DD} となる。よって、NOT₁ は $V_n - V_{TH}$ の正負により出力が変わる比較器として振る舞う。しかしながら、図 6・27 の回路の V_p のようには論理しきい電圧 V_{TH} を出力の高低に連動して変化させることができない。この問題への対処として、次の二つの方法がある。

図 6・29 の回路では、NOT_{*i*} ($i = 2, 3$) と R_{i-1} , C_{i-1} からなる遅延回路により、 $V_n = V_{TH}$ となつてから R_0 の上端電位 V_z を反転させるまでに時間差を設けている。 V_n が V_{TH} を越えてしばらく増減し続け、ある程度上回ったり下回ってから V_z が反転する。この時間差による V_n の V_{TH} からの差を ΔV と書けば、増加のときは $V_n = V_{TH} + \Delta V$ となる時刻で V_z が $-V_{DD}$ に変化し、減少のときは $V_n = V_{TH} - \Delta V$ となつたら V_z が $+V_{DD}$ に変化する。これは、 R_0 と C_0 を除いた回路がまるで V_n の比較器として働き、比較電圧 V_p を $V_{TH} \pm \Delta V$ の 2 値で変化させているのと区別がつかず、図 6・27 と同様に発振回路となる。この発振回路は NOT ゲートと遅延回路三つを縦続接続で環状にした構造であり、リング発振回路と呼ばれている。図 6・29 の三つの抵抗 R_i として NOT ゲートの出力抵抗を、容量 C_i として次段ゲートの入力容量を利用して、集積回路上の高周波発振回路が実現されている。発振周期 T_{osc} は、各段の立上りならびに立下がり遅延時間をそれぞれ τ_{ui} , τ_{di} ($i = 1, 2, 3$) と書けば、 $T_{osc} = \sum_i \tau_{ui} + \tau_{di}$ である。リング発振回路の NOT ゲートは三つである必要はなく、任意の奇数個の NOT ゲート、遅延回路でも同様に実現できる。

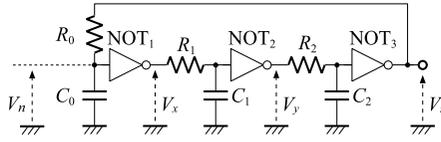
図 6・30 の回路は、NOT₂ と C_0 により、 V_{out} の反転と同時に V_n を急速に増減させる構成である。 V_n が増加して $V_n = V_{TH}$ となつたら $V_{out} = -V_{DD}$ となつて、NOT₂ の出力は $-V_{DD}$ から $+V_{DD}$ に変化し、 V_n は瞬時に V_{TH} から $V_{TH} + 2V_{DD}$ になる。 V_n はこの値から $V_{out} = -V_{DD}$ へと漸近する指数関数に従って減少をする。 V_n が減少して $V_n = V_{TH}$ となつたら $V_{out} = +V_{DD}$ となつて、NOT₂ の出力は $+V_{DD}$ から $-V_{DD}$ に変化し、 V_n は V_{TH} から $V_{TH} - 2V_{DD}$ へ急に下がった後、 $V_{out} = +V_{DD}$ へと漸近するように増加する。以上の動作を繰り返すことで、発振周期は $T_{osc} = 2R_0C_0 \ln[(3V_{DD} - V_{TH})/(V_{DD} - V_{TH})]$ となる。

図 6・31 は、図 6・30 の回路を対称的な構造に変更した回路である。二つの NOT ゲートはそれぞれ、抵抗と容量の接続節点電位が V_{TH} へ到達したことの判定と、その電位を $\pm 2V_{DD}$ だけ急速に増減するという二つの役割を担っている。

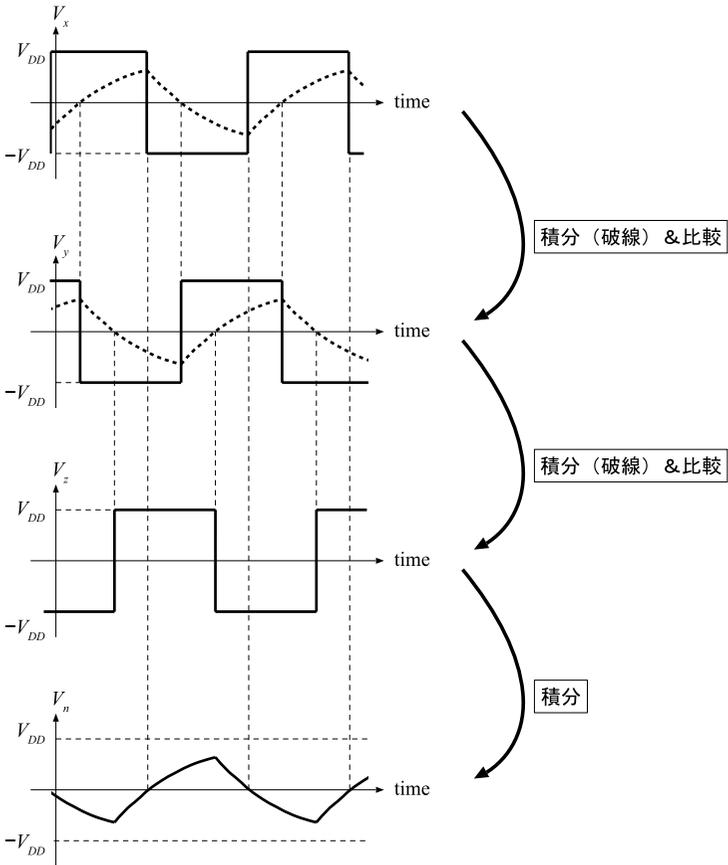
6-4-3 トランジスタによる構成

(1) 基本増幅回路による構成

NOT ゲートはしきい電圧付近の小信号に対して逆相増幅回路として振る舞い、エミッタ接地 (EG) 増幅回路やソース接地 (SG) 増幅回路と類似している。更に、これら高入力抵抗・高利得の基本接地増幅回路の直流入出力特性は曲線の概形が NOT ゲートとそれと似ていることから、EG・SG 増幅回路を NOT ゲートと同一視できることが多い。前節で述べた回路の NOT ゲートをこれら増幅回路に置き換えても、多少の特性の差異が生じるものの、発

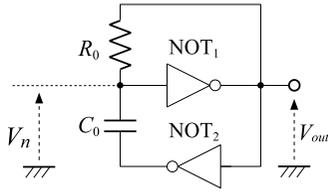


(a) 回路図

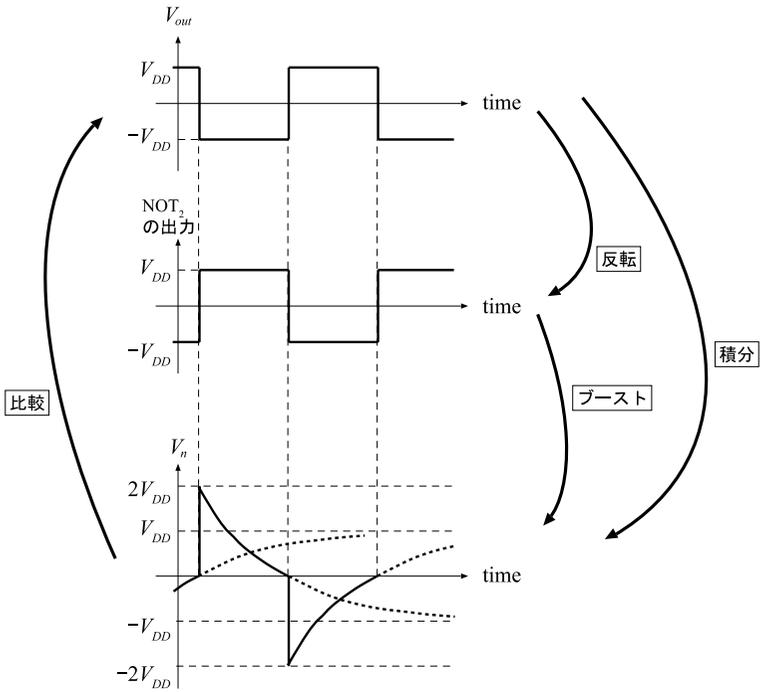


(b) 波形 ($V_{TH} = 0$ のとき)

図 6・29 リング発振回路



(a) 回路図



(b) 波形 ($V_{TH} = 0$ のとき)

図 6・30 CMOS NOT ゲート

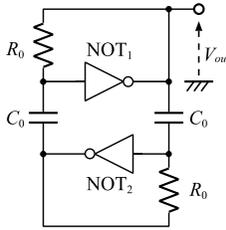


図 6・31 TTL NAND ゲート

振回路としての機能や特徴は失われることはあまりない。

図 6・32 は、図 6・31 を基に逆相増幅回路で構成した発振回路の原理図である。図 6・31 の回路で直流平衡（安定）点を動作点としたときに見られた正帰還作用は、抵抗の一端を小信号的に接地しても継承されるため、抵抗は増幅回路から切り離し、直流電圧源に接続している。直流電圧 V_B は直流平衡点を決定する要因となるので、発振回路として使用するために正帰還閉路の一巡利得が 1 を越えるように、適切な値でなければならない。

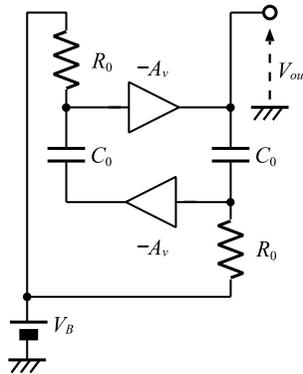


図 6・32 逆相増幅回路による構成

図 6・33 の回路は、図 6・32 をソース接地増幅回路で実現したものである。 V_B を電源間の適切な値に設定するために、テブナンの定理を利用して、電源電圧 V_{DD} と二つの抵抗 R_{0A} 、 R_{0B} によって等価的に実現している。

(2) 負性抵抗による構成

正弦波発振回路の中には、負性抵抗と容量が並列接続されて構成されていると考えることができるものがあつた。抵抗による損失を負性抵抗で補い、極を虚軸上に配置していた。この考えを拡張して、実部が正で大きい極を実現して、十分な正帰還作用を得ることでトランジスタをスイッチングさせれば、弛張発振回路となる。

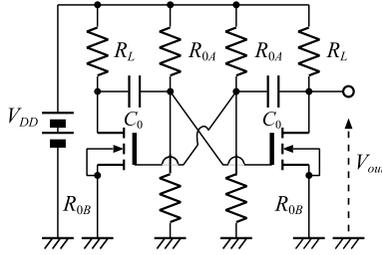


図 6・33 ソース接地増幅回路に基づく構成

図 6・34 は、左右が平衡した動作点で差動小信号に対して等価的に負の値を有する浮遊抵抗と、容量を並列接続した発振回路の原理図である。現実的には、電流源として動作する下部の二つの MOSFET の電圧を圧迫しないように、抵抗の値を適切に選ぶか、並列にダイオードが付加される。

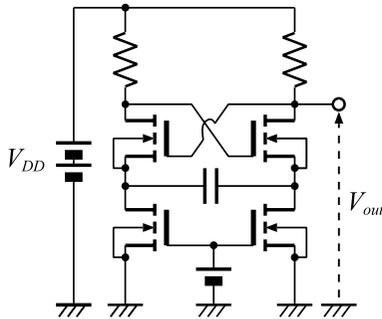


図 6・34 負性抵抗による構成

参考文献

- 1) 藤井信生, 関根慶太郎, 高木茂孝, 兵庫明, “電子回路ハンドブック,” 朝倉書店, 2006.
- 2) 田丸啓吉, “パルス・デジタル回路,” 昭晃堂, 1989.
- 3) 鈴木康夫, 樋口武尚 編, “特許パルス回路技術事典,” オーム社, 1980.

1群-7編-6章

6-5 スイッチング電源回路

(執筆: 江口 啓) [2008年9月受領]

電子機器においては入力電圧の変動や、出力側で要求される電圧が変化する場合があるため、出力電圧を安定に制御する回路が必要である。安定した出力電圧(または電流)を供給するために使用される回路は、総称して、直流安定化電源回路と呼ばれている。この電源回路には様々な方式が存在するが、その中でも半導体スイッチを数 kHz ~ 数 MHz の周波数で高速スイッチングすることで一定の出力電圧を得るものがスイッチング電源回路である。

スイッチング電源回路はリアレギュレータと比較して、スイッチングにより発生するノイズが大きいことや、回路構成が複雑であるために設計が難しいなどの欠点がある。しかしながら、スイッチング電源回路は、(1) 小形・軽量に設計できる、(2) 高効率を実現できる、(3) 広入力電圧範囲に対応できるなどの特長をもつため、現在では情報機器や通信機器をはじめとするほとんどの電子機器の電源回路として利用されている。

本節では、スイッチング電源回路の基本構成とその種類並びに、制御方法について説明する。

6-5-1 スイッチング電源回路の基本構成

図 6-35 に、スイッチング電源回路の基本構成を示す。スイッチング電源回路は、スイッチングパルスの周波数や時比率を変化させることで電力調整を行う DC/DC コンバータに、高周波ノイズやリップルノイズなどを除去するためのノイズフィルタ回路、突入電流などによる過電流や故障時の過電圧から電源回路や負荷を保護するための保護回路、電圧の平滑化や整流動作を行う整流平滑回路などを組み合わせることで構成される。

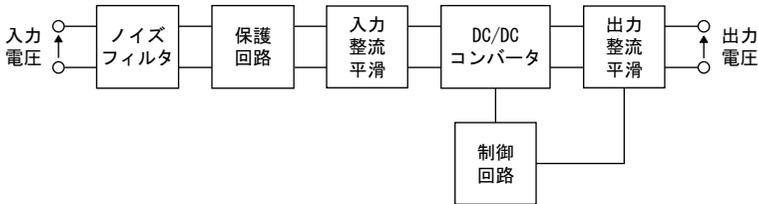


図 6-35 スイッチング電源回路の基本構成

スイッチング電源回路における基本的な動作は、まず整流・平滑化された直流入力電圧が DC/DC コンバータにより任意の直流出力電圧に変換される。具体的には、半導体スイッチを高速スイッチングすることで直流入力電圧をパルス波に変換した後、そのパルス波を平滑化することで任意の直流出力電圧を得る。その後、出力電圧と基準電圧とを比較し、制御回路によってその誤差電圧を抑えるように調整することで所望の電圧を出力する。

6-5-2 スイッチング電源回路の分類

スイッチング電源回路の種類は、図 6-35 中の DC/DC コンバータの種類により、表 6-4 に示すように分類される。まず、変換方式によっては、入力電圧からより低い電圧に変換する降

圧形，入力電圧からより高い電圧に変換する昇圧形，それら2種類の変換を実現できる昇降圧形，さらに，入力電圧と逆極性の出力電圧に変換する反転形の四つに分類される．これらの変換方式を実現するスイッチング電源回路の具体例としては，降圧形の Buck コンバータ，昇圧形の Boost コンバータ，昇降圧形の Buck-boost コンバータ，反転形の Zeta コンバータなどがあげられる．

表 6・4 スwitching電源回路の分類

分類方法	種類
変換方式	昇圧形，降圧形，昇降圧形，反転形
駆動方式	自励式，他励式
エネルギー伝達方式	フォワード方式，フライバック方式
絶縁方式	絶縁形，非絶縁形

また，駆動方式によっては自励式と他励式に分類される．自励式とは，トランスと電源回路内の半導体スイッチによって発振回路を構成し，その発振回路によって半導体スイッチを駆動する方式である．一方，他励式とは半導体スイッチが外部回路によって駆動される方式である．他励式は外部回路から与えられるスイッチングパルスによって駆動されるため一定周波数で動作するが，自励式は入力電圧や負荷変動によって動作周波数が変化する．

エネルギー伝達方式によっては，フォワード方式とフライバック方式に分類される．フォワード方式とは半導体スイッチがオン状態になった時に，入力側から出力側にエネルギーを伝達する方式である．一方，フライバック方式とは半導体スイッチがオフ状態になった時にエネルギー伝達を行う方式である．

絶縁方式によっては，絶縁形と非絶縁形に分類される．絶縁形とは，入力側と出力側がトランスによって絶縁されている方式である．絶縁形コンバータは，入力側において発生した異常電圧によって，出力側に接続されている電気機器が誤動作や破損することを防止することができる反面，絶縁トランスを用いるために体積が大きくなり，回路が重くなるという欠点がある．一方，非絶縁形は入力側と出力側が電気的につながっている方式である．

6-5-3 回路方式

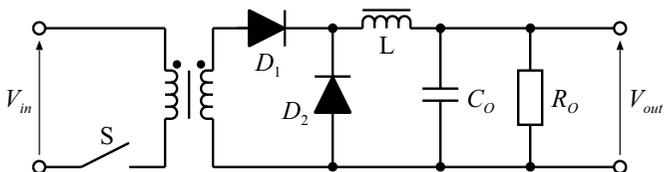


図 6・36 シングルエンドフォワード方式

DC/DC コンバータの代表的なものとしては，図 6・36 のシングルエンドフォワード方式，図 6・37 のリングチョーク方式，図 6・38 のシングルエンドフライバック方式，図 6・39

のチョップ方式，図 6・40 のスイッチトキャパシタ方式などがあげられる．各回路方式における特徴は，表 6・5 に示すとおりである．

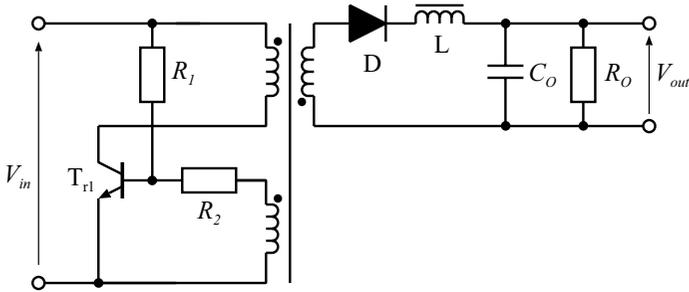


図 6・37 リンギングチョーク方式

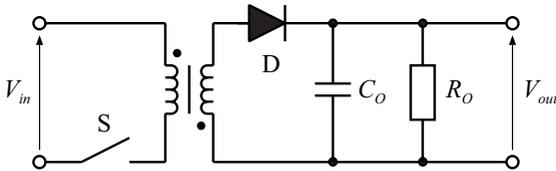


図 6・38 シングルエンドフライバック方式

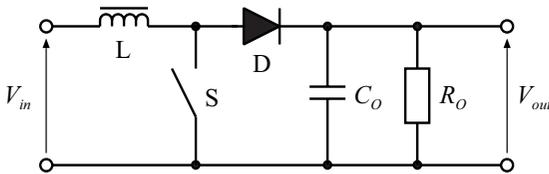


図 6・39 昇圧形チョップ方式

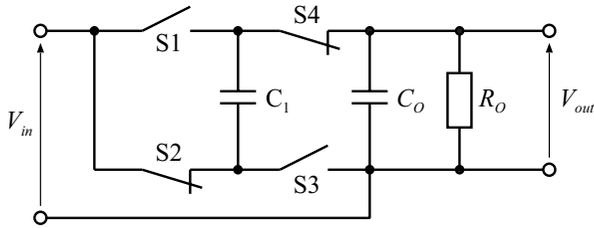


図 6・40 昇圧形スイッチトキャパシタ方式

表 6・5 スイッチング電源回路の回路方式

回路方式	特徴
シングルエンド フォワード方式	他励式の絶縁形電源回路であり、構成の簡単さと安定性の高さから小電力から大電力まで利用されている。
リングングチョーク方式	自励式の絶縁形電源回路であり、制御回路が不要であることから安価で小電力の電子機器に使用される。
シングルエンド フライバック方式	他励式の絶縁形電源回路であり、部品点数が最少ないことから小電力の電気機器に利用される。
チョッパ方式	他励式の非絶縁形電源回路であり、チョークコイルから発生する逆起電力を利用することでエネルギー変換を行う。
スイッチトキャパシタ方式 (チャージポンプ方式)	他励式の非絶縁形電源回路であり、半導体スイッチとコンデンサのみで構成できる。主に微小電力の電子機器に利用される。

ここで紹介した以外にも、プッシュプル方式やマグアンプ方式などの様々なタイプのスイッチング電源回路が存在する。各回路方式の詳細な説明については、文献 1) を参照されたい。

6-5-4 制御方式

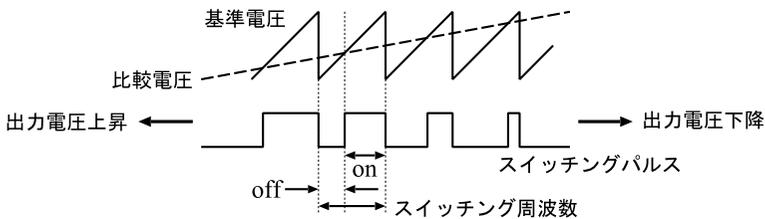


図 6・41 パルス幅変調方式の動作原理

スイッチング電源回路のほとんどは他励式であり、スイッチングパルスの変調方式としてはパルス幅変調 (PWM: Pulse Width Modulation) 方式が主に利用されている。パルス幅変調方式では、図 6・41 に示すように、出力電圧を基に生成した比較電圧と基準電圧である三角波とを比較し、比較電圧が基準電圧よりも高い期間に半導体スイッチをオン状態にする。な

お, スイッチング周波数が高いほど, 電源回路の高速応答と受動素子の小形化が可能になる. しかしながら, スイッチング操作によって伝導ノイズや放射ノイズが発生するため, 設計においては電磁環境適合性 (EMC: Electromagnetic Compatibility) を十分考慮し, 回路を設計する必要がある. 制御方式の詳細な説明については, 文献 1) を参照されたい.

参考文献

- 1) 原田耕介, “スイッチング電源ハンドブック,” pp.1-549, 日刊工業新聞社, 平 12-01.