

■10 群 (集積回路) - 2 編 (集積回路製造技術)

1 章 集積回路プロセス技術概論

(執筆著者：大見俊一郎) [2010 年 4 月 受領]

■概要■

シリコンを用いた半導体集積回路は、ムーアの法則を基軸とした微細化により発展してきた。ムーアの法則とは、Gordon Moore 博士が 1965 年に経験則として提唱した、「半導体の集積度は 1 年で 2 倍、もしくは 3 年で 4 倍に向上する」というものである。集積回路は、まさにムーアの法則に従って CMOS (Complementary Metal Oxide Semiconductor Field Effect Transistor) を極微細化・高集積化することにより高性能化してきた。このムーアの法則が現在破綻しようとしている。Intel 社のマイクロプロセッサの動作速度でみると、1990 年の i486 から 2005 年の Pentium 4EE まで、クロック周波数は 33 MHz から 3.8 GHz へと、100 倍以上の高速化を実現してきた。しかし、1.2 nm まで極薄膜化されたゲート絶縁膜には 1000 A/cm² のリーク電流が流れてしまい、もはや絶縁膜としての役割を果たせなくなっており、マイクロプロセッサの動作速度は 3.8 GHz で全く停滞してしまっている現状にある。

このような現状を打破し、集積回路の更なる高性能化を図るためには、新規なプロセス技術やデバイス構造の導入が必須である。現在の集積回路は、プレーナ型の MOSFET を用いて、シリコンの(100)基板上に形成されている。これは、MOSFET の要となる SiO₂ ゲート絶縁膜を、分子反応のみを用いた熱酸化法で形成しており、(100)基板上にのみ良好な界面特性を有する SiO₂ 膜が形成可能なためである。シリコン結晶が有するすべての性能を完全に活用するためには、ラジカル反応を用いた新しい半導体製造技術を導入することにより、任意のシリコン基板表面上に 3 次元構造を有する MOSFET を実現することが必要である。また、シリコン基板表面の原子オーダーでの平坦化や、製造装置としては、生産性が高く、汚染やダメージを全く与えないプラズマ装置の開発が重要となる。

以上の新しいプロセス技術を用いて、現状の(100)面上に形成された Inversion Mode MOSFET から、(551)面 SOI (Silicon on Insulator) 基板上に形成した Accumulation Mode MOSFET を導入することにより、同じサイズの n 型 MOSFET と p 型 MOSFET で同レベルの電流値が得られる超高速バランスド CMOS が実現され、シリコン集積回路の動作速度が 100 GHz 以上の高速動作が可能となる。

【本章の構成】

本章では、半導体集積回路のプロセス技術の発展の歴史と将来展望について述べる。1-1 節では、集積回路プロセス技術の発展と課題について概説し、1-2 節において、デバイス作製プロセスの概要と将来技術の展望について説明する。

■10 群 - 2 編 - 1 章

1-1 集積回路プロセス技術の発展

(執筆: 大見忠弘) [2010年5月 受領]

1-1-1 集積回路の発展と課題

現状の集積回路は、2次元平面形状のMOSトランジスタを用いて(100)表面シリコン基板上にだけ形成されている。そのため、シリコン結晶が有する全性能のうちごく限定された性能しか活用できていないのが実情である。MOSトランジスタの要となるゲート絶縁膜を、反応力を全くもたない酸素(O₂)分子や水(H₂O)分子を酸化種とする1000°C程度の高温熱酸化で形成しているため、(100)シリコン表面上にだけ程々の品質のSiO₂膜が形成され、そのほかの面方位のシリコン表面上には極めて劣悪な酸化膜しか形成されないからである(1964年、日立製作所、大野稔氏の発見)¹⁾。シリコン集積回路(LSI)のこれまでの進歩は、集積度が1年で2倍あるいは3年で4倍向上すると予言したムーアの法則に基づいて²⁾、MOSトランジスタのゲート絶縁膜の薄膜化とデバイス寸法の微細化だけで達成された。そのシリコン集積回路技術の進歩が現在完全に停滞し、完全な行き詰まり状況に落ち入っている様子をIntel社のマイクロプロセッサの動作速度の年次変化で示す(図1・1)。

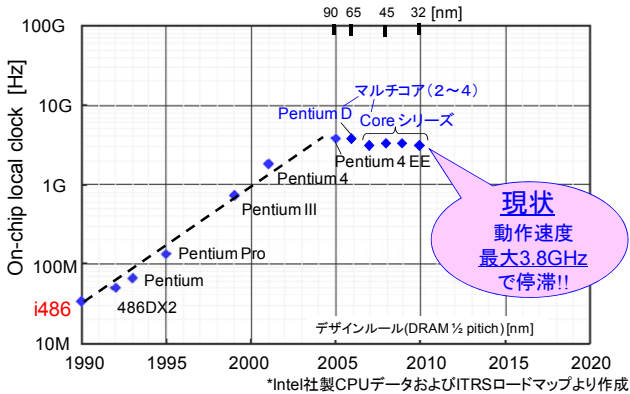


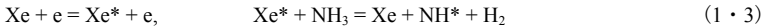
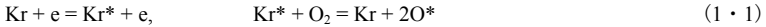
図1・1 Intel社マイクロプロセッサの動作速度の年次変化

1990年のi486から2005年のPentium 4 EEまでの動作速度:クロック周波数の進歩は、33 MHzから3.8 GHzであり、たった15年で動作速度は実に115倍以上に向上したのである。世界の全産業の進歩発展を支えたのが、シリコン集積回路であることを明確に物語る動作速度の劇的な向上である。そのシリコン集積回路の性能向上がこの時点で全く停滞してしまったのである。1.2 nmまで薄くなされたゲート絶縁膜には、1000 A/cm²程度のリーク電流が流れてしまい、もはや絶縁膜としての役割を果せなくなっており、これ以上の薄膜化が全く不可能となったからである。“シリコン技術もはやこれまで”との大合唱が世界中で聞こえる。シリコン集積回路の進歩が止まると情報通信技術(ICT)の進歩も止まり、世界の全産業の進歩発展の停滞を誘発する。そんなことを起こすわけには絶対にかない。

1-1-2 新しいプロセス技術の必要性

本当に“シリコン技術もはやこれまで”なのであろうか。前述したように、現状のシリコン技術では、2次元平面形状のMOSトランジスタを用いて(100)シリコン基板表面上だけにしかLSIは形成できないのであるから、シリコン結晶の有する全性能のうち極めて限定された性能しか現状では活用できていないのである。シリコン結晶の有する全性能を完全に活用するためには、任意の面方位のシリコン基板表面上に3次元立体構造のMOSトランジスタを駆使したLSIが自由自在に形成できる新しい製造技術の創出が必要なのである。それが筆者が提唱し続けている、ラジカル反応新半導体製造技術である³⁾。

ラジカル酸化・ラジカル窒化の反応過程は次のように記述される。



ラジカル酸化を行うときは、KrとO₂ガスを汚染やダメージを一切与えない、新たに開発されたプラズマプロセス装置のプラズマ励起空間に供給する。電子と衝突して中間励起状態に励起されたKr*がO₂分子と衝突して、極めて効率良く2個の酸素ラジカル(O*)を形成し、酸素ラジカルがSi表面と反応して低温で超高品質のSiO₂膜を形成する。ラジカル窒化の場合は、XeとNH₃ガスをプラズマ励起空間に供給する。中間励起状態に励起されたXe*がNH₃分子と衝突してNH*ラジカルを効率良く形成する。NH*ラジカルがSiと反応して低温で超高品質のSi₃N₄膜を形成するのである。いずれの反応も、ラジカルの反応力で反応が進むため、すべての面方位のシリコン表面に同じ成膜速度で文字どおり超高品質のSiO₂膜、Si₃N₄膜が形成されるのである。超高品質SiO₂、Si₃N₄膜を得るためには、酸化・窒化開始前に、シリコン基板表面のシリコンのダングリングボンドを末端している水素原子をKr⁺イオン照射やXe⁺イオン照射で完全に除去しておく必要がある。

等価絶縁膜厚EOTを3nm、2nm、1nmと薄くしたときの1V電圧印加時のゲート絶縁膜のリーク電流密度を図1・2に示す³⁾。一番上の点線が現状の熱酸化膜のリーク電流であり、400℃で形成されたラジカルSiO₂膜、ラジカルSi₃N₄膜のリーク電流は、熱酸化膜に比べて実に1/1000以下に激減している³⁾。1nm程度の極薄ゲート絶縁膜であれば、ラジカルSi₃N₄膜で十分実現可能であり、リーク電流密度は1A/cm²程度に抑えられている。更なるゲート絶縁膜の薄膜化は比誘電率が30程度のPr₃Si₆N₁₁とSi₃N₄膜の積層構造で0.5nm以下まで進められる。“シリコン技術もはやこれまで”では全くないのである。

更に、ラジカル窒化膜の信頼性・寿命の評価を行った結果を図1・3に示す³⁾。等価絶縁膜厚2.4nmの熱酸化膜とラジカル窒化膜の50%の試料が破壊されるまでの寿命(T_{bd})のゲート電圧依存性が図1・3には示されている。特に、Xe/NH₃ガスで形成されたラジカル窒化膜の寿命は熱酸化膜に比べて実に30000倍以上長くなっており、その信頼性の高さはまさに驚異的である。

リーク電流を5桁(従来酸化膜比)低減へ!!
Pr₃Si₆N₁₁/Si₃N₄スタック構造(比誘電率: 30)
→0.5nm以下の厚さのゲート絶縁膜に道を拓く

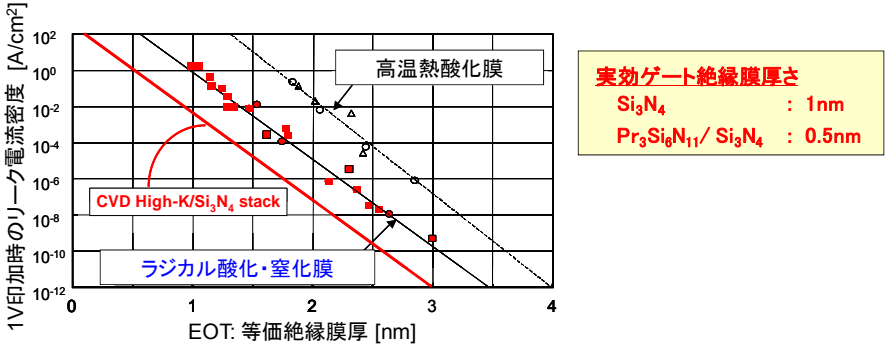


図 1・2 1V 印加時の熱酸化膜とラジカル酸化・窒化膜のリーク電流密度の等価絶縁膜厚 (EOT) 依存性

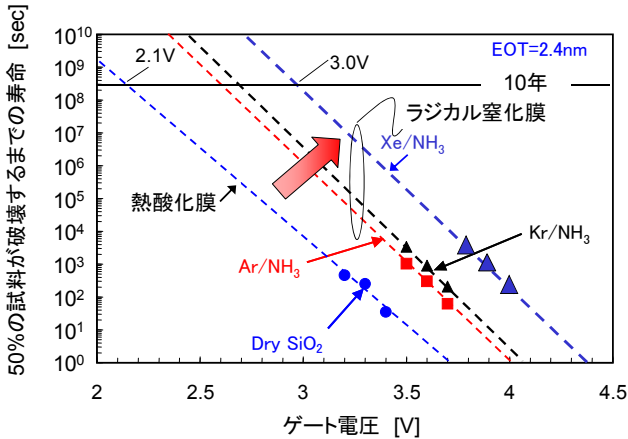


図 1・3 従来の熱酸化膜とラジカル窒化膜の TDDB 信頼性評価

ラジカル酸化・ラジカル窒化と熱酸化の決定的な違いをもう一つ紹介しておく。Just<100>方向に限りなく正確に切り出された(100)表面シリコン基板を、文字どおり超高純度 Ar 雰囲気中で 850 °C 以上の温度で熱処理するとシリコン基板表面はすべて原子オーダーで平坦化する (図 1・4) 4)。図 1・4 には、原子オーダーで表面が平坦化された 200 mm ウェーハの代表的な場所の AFM 像 (3 μm 角) が示されている。

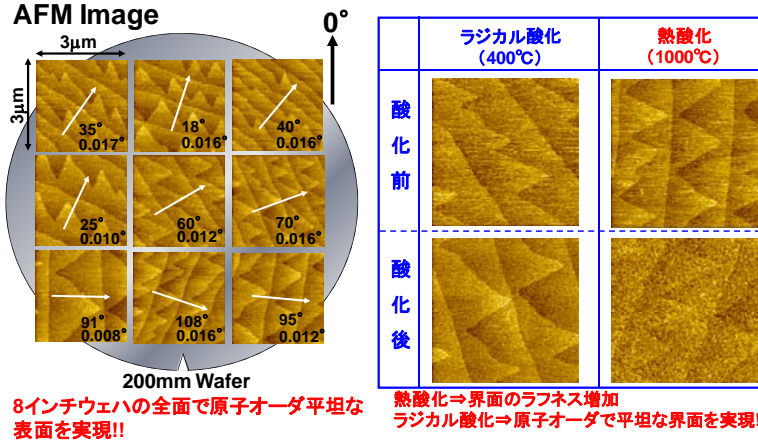


図 1・4 原子オーダーで平坦な(100)Si 表面, 及び SiO₂/Si 界面

原子オーダーで平坦化された(100)面シリコン基板をラジカル酸化, 熱酸化したその界面の原子間力顕微鏡像も図 1・4 には示されているが, ラジカル酸化では原子オーダー平坦界面が完全に維持されているが, 熱酸化では界面は激しく粗れてしまっている。その様子を, 5.4 nm 厚さの SiO₂ 膜の MOS ダイオードの絶縁破壊電界強度 E_{bd} のダイオード面積依存性で一層明確に示すことにする。図 1・5 に, 原子オーダー平坦表面のラジカル酸化膜 (図 1・5(1)), 従来平坦表面の熱酸化膜 (図 1・5(2)), 従来平坦表面のラジカル酸化膜 (図 1・5(3)) の E_{bd} のダイオード面積を $1 \times 10^{-6} \text{ cm}^2$, $1 \times 10^{-5} \text{ cm}^2$, $1 \times 10^{-4} \text{ cm}^2$ と 100 倍変化させた結果を示している。原子オーダー平坦表面のラジカル酸化膜はダイオード面積を 100 倍変化させても E_{bd} は 14.5 MV/cm 程度でほとんど完全に一定であり, ゆらぎ, ばらつきが全くなくなっているのである。一方, 従来平坦表面を熱酸化した場合は, ダイオード面積が大きくなるにつれて, E_{bd} は 14.0 MV/cm, 13.5 MV/cm, 13.0 MV/cm と小さくなっている。界面の凹凸による電界集中が面積が大きくなるにつれて起こりやすくなっているからである。ゆらぎ, ばらつきが面積拡大と共に大きくなっているのである。

一方従来平坦表面をラジカル酸化した場合の E_{bd} は, 14.2 MV/cm から 14.3 MV/cm のところに集中している。図 1・5(3)はラジカル酸化には酸化膜とシリコンの界面を平坦にする効果があることを実証するまさに劇的な結果である。ラジカル酸化・ラジカル窒化では, 極めて複雑な形状の表面構造のすべての表面に同じ膜厚で同じ膜質の SiO₂ 膜, Si₃N₄ 膜が形成できるのである。ラジカル酸化・ラジカル窒化であれば, 文字どおり超高品質の SiO₂ 膜, Si₃N₄ 膜がすべての面方位のシリコン表面上に, 同じ成膜速度で形成できるため, 3次元立体構造の MOS トランジスタが任意の面方位のシリコン表面上に自在に製造できることになり, シリコン結晶の全性能を自由自在に駆使する LSI 製造について道が拓けたのである。

ラジカル酸化・ラジカル窒化を具現化するためには, 汚染やダメージをシリコン基板表面に全く与えないプラズマ装置が必須である。現状のプラズマ装置は大量の汚染やダメージを基板表面に与えるため, トランジスタ製造には全く使用できず, 配線形成工程でだけ

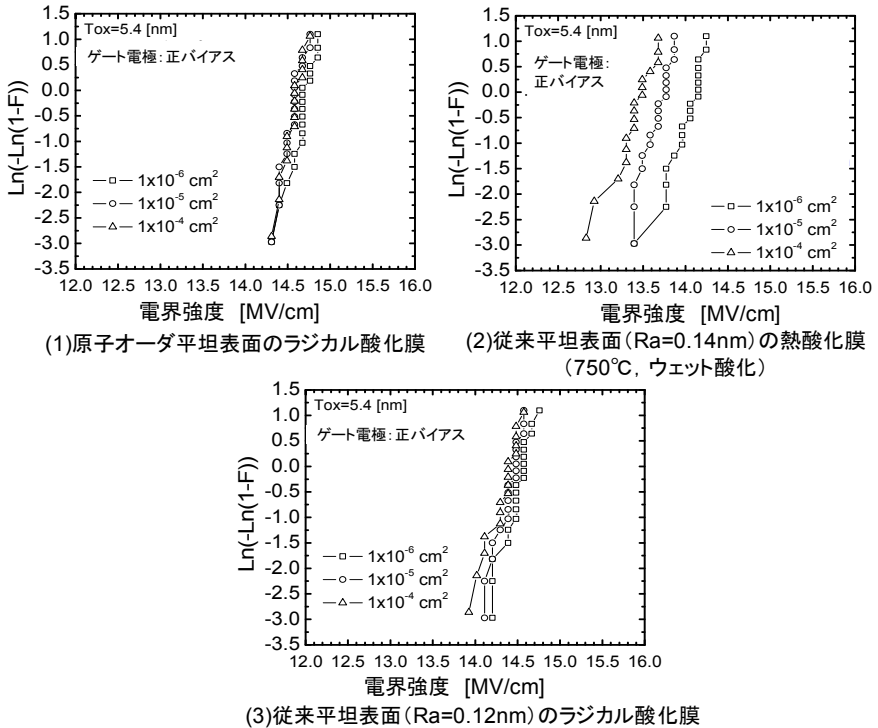


図 1・5 ラジカル酸化と熱酸化の酸化前シリコン基板表面状態依存性：
Tox=5.4nm の MOS ダイオードの絶縁破壊特性のダイオード面積依存性

使われているのが実情である。プラズマ装置内では、ダメージや汚染が次のような機構により発生する。

シリコン基板表面を照射するイオンのエネルギーが、 Ar^+ イオンの場合 25 eV, 13 eV, 7 eV 以上になるとそれぞれ単結晶 Si の Si-Si 結合を破壊し、 Si_3N_4 膜、 SiO_2 膜を破壊する。したがって、シリコン表面を照射するイオンのエネルギーをこの臨界イオンエネルギー以下にすることが求められる。シリコン基板がプラズマ励起空間に設置されると、照射イオンエネルギーが極めて大きくなるとともに、通常高周波放電によりプラズマは励起されるから、負電荷をもつ電子電流と、正電荷をもつイオン電流が交互に流れ込んで基板表面に電荷が残留し、この電荷によって MOS トランジスタの薄いゲート絶縁膜に大きな電圧が印加され、ゲート絶縁膜が破壊される（チャージアップダメージ）。シリコン基板はプラズマ励起空間に絶対に設置すべきではなく、プラズマ励起空間から離れた拡散プラズマ領域に設置すべきなのである。拡散プラズマ領域では、電子温度 T_e が十分に低くできるため、次式で与えられる照射イオンエネルギー

$$\varepsilon_{ion} = \frac{kT_e}{2} \ln(0.43 \frac{m_i}{m_e}) \quad (1 \cdot 5)$$

を極めて小さくできるうえに、基板表面に流れ込む電子電流とイオン電流が常時等しいことから、いかなる瞬間にプラズマを消しても、基板表面に電荷が残留することはなく、チャージアップダメージが原理的に発生しないのである。式(1・5)で、 k はボルツマン定数、 m_i 、 m_e はイオンと電子の質量である。

500 MHz 程度以上の高い周波数の電磁波で励起されるプラズマや水平方向の直流磁界強度が 500 ガウスを越えるような強い直流磁界のあるところで励起されるプラズマの電子温度は極めて低く、プラズマ励起領域から離れた拡散プラズマ領域の電子温度は極めて低く、プラズマ電位は 10 V 程度以下となる。接地状態にあるチャンバ内表面を照射するイオンエネルギーは常に 10 eV 程度以下となり、チャンバ内表面がスパッタされて汚染源になることが完全に排除されるのである。各種金属材料がイオン照射によりスパッタされ始める臨界照射エネルギーが、12~13 eV 程度だからである。

ここで、現状の半導体技術、半導体製造技術の重要なこれ以外の三つの問題点を明確にしておく。第一の問題点は、エッチング速度や穴埋めの成膜速度といったプロセス速度が、パターンサイズに激しく依存し、パターンサイズが小さくなるにつれてプロセス速度は遅くなり、あるサイズまでパターンが小さくなるとエッチングも穴埋めもできなくなり、新規装置導入のための大規模設備投資が繰り返し行われてきたのである。現状装置では、プラズマ励起空間や電子温度の非常に高い拡散プラズマ領域にエッチングや薄膜形成用の原料ガスが供給されているため、原料ガス分子が電子との衝突により過剰に解離され結合の手を備えるために、細くて深い穴の入口付近の壁に吸着してしまい、穴の底まで到達しないためにプロセス速度のパターン依存性が起こっていたのである。電子温度が十分低くてプラズマ電位も十分に低い拡散プラズマ領域では、イオン照射によるスパッタで表面が削られることがないため、新たに開発されたプラズマの装置ではこの拡散プラズマ領域に、原料ガスを供給する下段のシャワープレート进行^{3,5)}。電子温度の十分低い拡散プラズマ領域に供給された原料ガス分子は過剰に解離されることがなく、どんなに細くて深い穴の底にも確実に到達することから、プロセス速度はパターンサイズに依存しなくなり(図 1・6)、すべての微細化世代に共通して使える装置がついに実現されたのである。

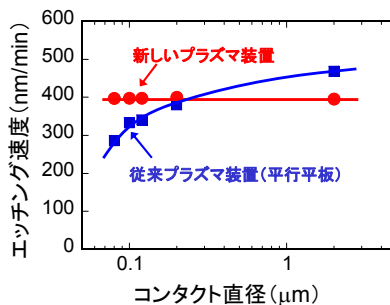


図 1・6 従来の平行平板プラズマ装置と新しいプラズマ装置のエッチング速度のコンタクト直径依存性

図 1・6 には、同一シリコン基板上に形成された SiO_2 膜の $2 \mu\text{m}$ から 80 nm のパターンを、 $\text{Ar}/\text{C}_3\text{F}_8/\text{O}_2$ ガスでエッチングした結果が示されている。現状の平行平板エッチング装置では、エッチング速度が急激に低下しているが、新しい装置 (2.45 GHz RLSA : Radial Line Slot Antenna エッチング装置) では完全に一定のエッチング速度が $2 \mu\text{m}$ から 80 nm のサイズまで具現化されている³⁾。

第二の問題点は、現状の半導体製造のそのあまりの生産性の低さである。現状のプラズマ装置は、ほとんど唯一のガス種の組合せ、唯一のガス圧力に対してプラズマの空間的均一性が維持されており、これらのプロセス条件が少しでも変わると、プラズマの空間的均一性が維持できず、シリコン基板上の MOS トランジスタのゲート絶縁膜が直ちに破壊される。更に、平行平板プラズマのようにプラズマ励起空間にシリコン基板が設置されている装置では、シリコン基板表面をイオン照射することにより発生する 2 次電子がプラズマの励起源となっているため、シリコン基板 (表面のパターン形状・パターンサイズ、表面の材料など) が変わるとイオン照射により発生する 2 次電子の空間分布が変わるためプラズマの空間的均一性が維持できない。すなわち、異なるシリコン基板ごとにプラズマの空間的均一性を維持した装置を用意しなければならない。すなわち、現状の半導体装置はたった一つのプロセスしか行えないため、シリコン基板を次から次へと装置間を搬送せざるを得ず、まさに膨大な基板搬送回数となり膨大な装置台数となるのである。こんな貧困な生産性の産業はほかに全く存在しないのではないかと思える程である。

当然実現すべきは、同一装置内でガス種を次々と切り替えプロセス条件をその都度瞬時に最適化し、異なる薄膜の連続成膜・連続エッチングを行うことなのである。そのためには、すべてのガス種に対してすべてのプロセス条件でプラズマが空間的に完全に均一に励起でき、装置内をガスが均一かつ層流状に流れていて (現状はほとんど乱流状態)、反応生成物が装置内表面やポンプ内表面、排気ダクト内表面に吸着堆積しないようになさなければならない。こうした目的を実現するためには、まさに膨大な量の新しい要素技術の開発が必要となるが、そのすべてが今仕上がってきている。

その中で最も重要なすべてのガス種に対しすべてのプロセス条件で空間的に均一なプラズマ励起が行える新しいプラズマ装置についてだけ述べておくことにする。筆者らは、広い面積で空間的に均一な電子温度の十分に低い高密度プラズマを励起させるため、これまで 2.45 GHz RLSA を用いたプラズマ装置を開発し続けてきた。安定なプラズマ励起を行うためには、励起されたプラズマの電子密度が次式で与えられるカットオフ電子密度 n_c

$$n_c = \frac{m_e \epsilon_0 \omega^2}{e^2} \quad (1 \cdot 6)$$

よりも十分高くなっていて、励起に使われる電磁波をプラズマ表面で完全に反射しなければならない。 ϵ_0 は真空の誘電率、 e は電子電荷、 ω は角周波数である。このカットオフ密度は、2.45 GHz では $7.45 \times 10^{10} \text{ cm}^{-3}$ となり、電気陰性度が大きく電子を吸着して負のイオンを作る酸素 (O_2 : 3.5) やフッ素 (F_2 : 4.0) ガス 100% の雰囲気では電子密度がこの値より小さくなってしまい安定なプラズマ励起が行えない。すべてのガス種に対して安定なプラズマ励起を実現するため、筆者らは 915 MHz 金属表面波励起高密度プラズマ装置 (Metal Surfacewave Excitation Plasma : MSEP)⁵⁾ (915 MHz のカットオフ電子密度: $1.0 \times 10^{10} \text{ cm}^{-3}$) を開発し、その実用化を急いでいる。プラズマ励起用周波数を低くすればカットオフ電子

密度が低くなり、電気陰性度が大きく電子を吸着して負のイオンを大量に生成する酸素ガスやフッ素ガス 100%の雰囲気でも、安定なプラズマ励起が行えることは周知のことである。

しかし、不用意にプラズマを励起する電磁波の周波数を低くすると電磁波の波長が長くなって、空間的に均一なプラズマ励起が行えなくなってしまう。励起されるプラズマ密度の濃淡は電磁波の半波長ごとに変化するのである。2.45 GHzの波長は12.2 cmであるから、プラズマ励起領域から少し離れた(5~10 cm)拡散プラズマ領域では十分に均一なプラズマが得られるが、波長が32.8 cmとなる915 MHzでは到底空間的に均一なプラズマは実現されない。この困難を克服したのが、金属表面とプラズマの界面に沿って伝搬する新しい電磁波の伝搬モードである金属表面波の発見とその有効活用である。金属表面波(Metal Surfacewave)の伝搬速度は、自由空間を伝搬する電磁波の伝搬速度(3×10^8 m/sec)に比べて1/10程度に遅くなり、その波長はプラズマ密度等により32.8 cmではなく2.0 cmから7.0 cmと短くなるため、あらゆるガス条件で空間的に完全に均一なプラズマが励起できるのである⁵⁾。ついに、同一の装置でガス種を切り替えるだけで次から次へと異なる薄膜の連続成膜・連続エッチングが行える文字どおり超高生産性半導体製造に見通しが立ったのである。

第三の問題点は、(100)面に形成されるCMOSでは、nMOSに比べpMOSのチャネル幅が3倍程度大きいアンバランスドCMOSとなっている。ホールの移動度が電子に比べて1/3しかないからである。結果として、スイッチング時に大きなオフセット雑音が発生し、(100)面アンバランスドCMOSはアナログや高周波には使えず、遅いデジタル処理にしか使えない。その上、pMOSが3倍大きいためpMOSが直列に接続されるNORゲートなどでは入力数が増えるにつれて論理ゲートの面積が大きくなり動作速度も劣化する。(100)面アンバランスドCMOSでは、pMOSが直列接続されるNORゲートなどは使わずに、pMOSが並列接続されるNANDゲートなどを優先して使えといった設計上の制約が発生し、設計の負荷が極めて大きくなって、最適回路の設計に長い時間を必要としている。nMOS、pMOSの電流駆動能力を大きくするとともに、nMOS、pMOSの寸法が実効的に同じで、同じ電流が流れるバランスドCMOSが開発されれば、こうした問題点は一挙に克服される。最適回路の設計が極めて短時間で行えるうえに、バランスドCMOSを用いれば、デジタル・アナログ・高周波混載システムLSIがフルCMOSで具現化されるのである。汎用のプロセスをソフトウェアで動作させる場合に比べて、システムLSIが実現されれば、その性能は同じ技術世代であるにもかかわらず、1000倍以上に向上する。電流駆動能力が極めて大きいバランスドCMOSの実現こそが、新しいプロセス技術の最大の開発課題である。

学問に基づいた新しいシリコン技術・半導体技術の時代がまさにこれから始まろうとしているのである。

■10 群 - 2 編 - 1 章

1-2 デバイス作製プロセス

(執筆者：大見忠弘) [2010年5月 受領]

1-2-1 CMOS 作製プロセスの概要

図 1・7 に示す CMOS 作製プロセスを参照しながら、その概要を説明する。

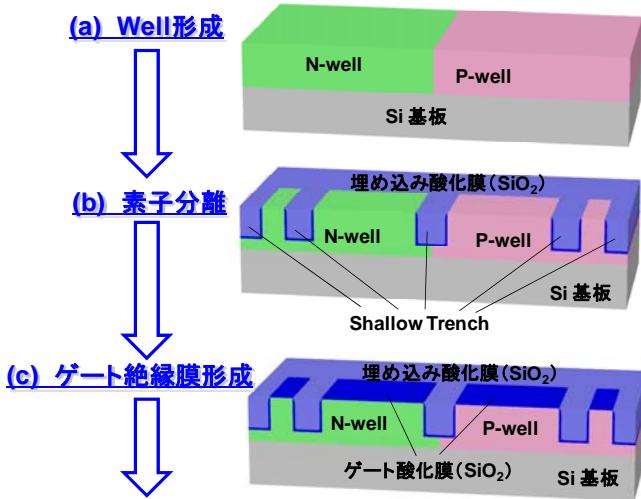


図 1・7 CMOS トランジスタの作製プロセス (1)

(1) Well 形成

同一シリコン基板上に nMOS と pMOS を直列接続した CMOS を形成するために、nMOS になる部分に p-well を、pMOS になる部分に n-well を形成する。露光工程によりレジストをパターニングして well 部分を作りわけ、n-well には P⁺ (リンイオン) を、p-well には B⁺ (ホウ素イオン) をイオン注入機によって注入する。注入したイオン種を活性化するとともに、基板深さ方向の濃度プロファイルを制御するために、1000 °C 程度の高温熱処理を行う。

(2) 素子分離

トランジスタ間を電気的に分離するため、活性層領域以外に酸化膜を形成する。

Local Oxidation of Silicon (LOCOS) プロセスの場合、シリコン表面に薄い酸化膜と窒化膜を堆積し、トランジスタ形成部となる Active 領域以外の窒化膜をドライエッチングにより除去する。その後、高温の水分酸化を施すと、窒化膜がない部分にのみ酸化膜が成長する。この酸化膜を分離層として用いる。最後に窒化膜をホットリン酸液により除去する。

Shallow Trench Isolation (STI) プロセスの場合、シリコン表面に薄い酸化膜と窒化膜を堆積し、Active 領域以外の窒化膜/酸化膜/シリコンをドライエッチングによりエッチングする。掘り込んだシリコンの内壁を 10 nm 程度直接酸化した後に、酸化膜 (SiO₂ 膜) を

Plasma Enhanced Chemical Vapor Deposition (PECVD) 法により成膜して埋め込む。この酸化膜を分離層として用いる。堆積した酸化膜の表面は STI のパターンが転写され凹凸が残る。この凹凸を Chemical Mechanical Polishing (CMP) プロセスによって平坦にする。CMP のポリッシングストッパーとして、最初に堆積した窒化膜を用いる。最後に窒化膜をホットリン酸薬液により除去する。

(3) ゲート絶縁膜形成

ゲート絶縁膜形成前の洗浄でパーティクル（粒子）汚染，金属汚染，有機物汚染を除去した後，ゲート絶縁膜を形成する。一般的には 750～850 °C 程度の温度における水分酸化が用いられる。動作電圧が大きくなる Input-Output (IO) 部の MOS トランジスタのゲート絶縁膜のみほかの領域と比べて厚くする場合，一度酸化膜を形成した後 IO 部以外の酸化膜を除去し，再度酸化を行うことで，所望の 2 種類の膜厚を有する酸化膜を形成することができる。ゲート絶縁膜が 3 nm 程度以下の世代の場合，ポリシリコンゲートのボロンの突き抜けを防止するために酸化膜の表面をプラズマ窒化処理する工程が用いられる。

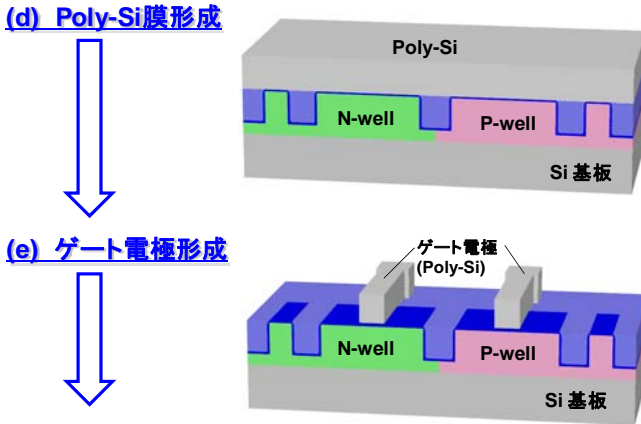


図 1・7 CMOS トランジスタの作製プロセス (2)

(4) Poly-Si 膜形成

ゲート絶縁膜形成後，ゲート電極となるポリシリコンを Low Pressure CVD (LPCVD) 法により 500～700 °C 程度の温度で 100～300 nm 程度成膜する。ロジックアプリケーションでは，MOS トランジスタのしきい値電圧を 0.3～0.5 V 程度に制御するために，nMOS のゲート電極には n^+ -poly-Si を，pMOS のゲート電極には p^+ -poly-Si を用いる。一般的には，ポリシリコンのパターニングの前に，nMOS 上のポリシリコンに P^+ を注入し，活性化のために高温熱処理を施し， n^+ -poly-Si 電極を形成する。

(5) ゲート電極形成

ポリシリコン上にレジストを塗布し露光工程によりパターニングし，ポリシリコンをド

ライエッチングにより加工する。ポリシリコンのエッチングには HBr や Cl_2 などのハロゲン系ガスプラズマが用いられる。ポリシリコンのエッチングを薄いゲート酸化膜で止める必要があるため、ドライエッチングにおけるポリシリコンと酸化膜との高いエッチング選択比が必要である。

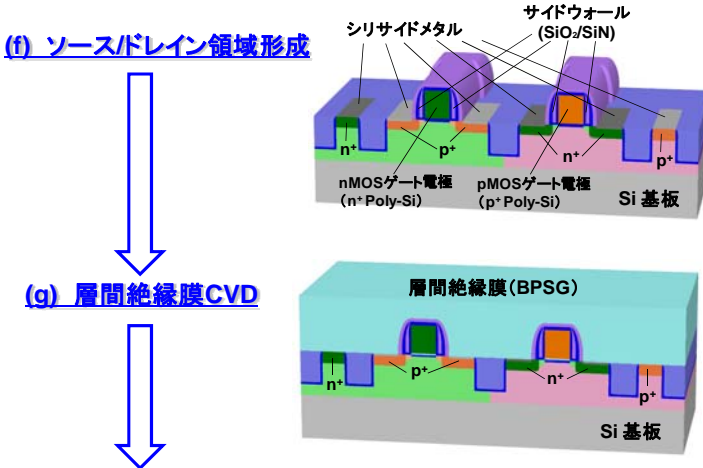


図1・7 CMOSトランジスタの作製プロセス (3)

(6) ソース/ドレイン領域形成

マスクを用いた露光工程により、nMOS 領域、pMOS 領域を作り分け、ソース/ドレイン領域に高濃度シリコン領域を形成する。Lightly Doped Drain (LDD) プロセスを用いる場合、ポリシリコンゲート電極をドライエッチングによりパターニングしたあとに、ドーズ量 $10^{13} \sim 10^{14} \text{ cm}^{-2}$ 台の低ドーズ量のイオン注入を行う。その後、サイドウォール形成後に 10^{15} cm^{-2} 台の高ドーズ量のイオン注入、及び活性化のための高温熱処理を行う。nMOS のソース/ドレイン領域には、 As^+ イオンが用いられ、pMOS のソース/ドレイン領域には B^+ イオンが用いられることが多い。pMOS のゲート電極用の p^+ -poly-Si は、ソース/ドレイン領域形成のための B^+ 注入、及び活性化高温熱処理によって同時に形成する。微細化に伴い n^+ 領域、 p^+ 領域の接合深さを浅くする必要がある。このため、より重いイオン種 (AsF_2^+ , BF_2^+ など) を利用して注入領域を浅くすることや、ランプアニールやフラッシュアニールといった高温・短時間の熱処理が行われている。

ソース/ドレイン領域の高濃度領域を形成後、ソース/ドレイン電極のコンタクト抵抗低減のために、シリサイドの形成を行う。Ta, Ti, Co, Ni などのシリサイドメタルを成膜後、 $500 \text{ }^\circ\text{C}$ 以下程度の熱処理を行うと、シリコンと接触している金属部分だけシリサイド反応が起こる。ここで未反応部分の金属をエッチングにより除去する。その後再度 $700 \sim 900 \text{ }^\circ\text{C}$ 程度の高温熱処理によりシリサイド反応を完了させる。ポリシリコンゲート電極の低抵抗化のために、ポリシリコンのシリサイド化を行う必要があるが、Self Aligned Silicide (SALICIDE) プロセスを用いて、ソース/ドレイン領域とポリシリコンゲート上

部を一度にシリサイド化する工程が広く用いられている。

(7) 層間絶縁膜 CVD

シリサイド形成後、酸化膜と窒化膜を CVD 法により成膜する。その後 Borophosphosilicate glass (BPSG : B と P を添加した SiO_2 膜) 膜を成膜して層間絶縁膜を形成する。BPSG 膜の表面はトランジスタパターンを転写して凹凸が残る。この凹凸は CMP を用いて平坦化する。

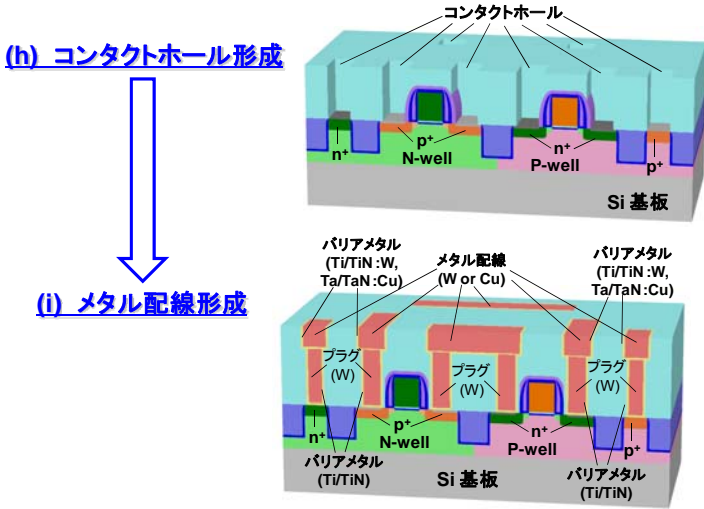


図 1・7 CMOS トランジスタの作製プロセス (4)

(8) コンタクトホール形成

露光工程によりレジストをパターンニングして、BPSG 膜をエッチングする。コンタクトホール形成の前の BPSG 膜平坦化のための CMP により、ポリシリコン部分、ソース/ドレイン領域部分の BPSG 膜の膜厚に高低差が存在するので、先に成膜した窒化膜をポリッシングストッパーとして用いる。その後、窒化膜及び酸化膜をエッチングし、コンタクトホールを形成する。

(9) 配線形成

コンタクトメタルとして、バリアメタルとして Ti/TiN 薄膜、コンタクト埋め込みプラグとして W を成膜する。その後 W を CMP でポリッシングしてコンタクトメタルを形成する。第一メタル配線層としては、Ti/TiN をバリアメタルとした W か、Ta/TaN をバリアメタルとした Cu をメタル配線として用いる。Cu はドライエッチングが困難なため、配線パターンの形成には CMP プロセスを用いたダマシン法が用いられる。具体的には、層間絶縁膜を成膜したあとに配線パターンをドライエッチングによって掘り込み、バリアメタル及び Cu のシード層を成膜した後に電気メッキ法を用いて Cu を成膜する。その後、CMP プロセスを用いて Cu を平坦化するとともに配線部以外の Cu を除去する。第二メタル配線層以降

においては、Ta/TaN をバリアメタルとした Cu を用いて、配線間をつなぐビアコンタクトホールとメタル配線層を一度に作り込むデュアルダマシン法を用いて形成する。配線遅延の低減のため、層間絶縁膜の低誘電率化が進められている。

1-2-2 シリコン集積回路の将来技術

1-1-2 節に述べた 3 次元立体構造 MOS トランジスタを駆使して任意の面方位のシリコン表面上に LSI 製造を可能にする新技術を活用して、下記の新技術を全面導入すると、シリコン LSI の動作速度は劇的に向上し、100 GHz クロックを超えていく^{5,6)}。

- ① ゲート絶縁膜に熱酸化膜に替わるラジカル窒化膜 (Si_3N_4) の導入、
 - ② (100)面バルクシリコン基板に替えて(551)面 SOI (Silicon On Insulator) シリコン基板の導入、
 - ③ ゲート絶縁膜・シリコン界面を現状の凸凹界面から原子オーダー平坦界面へ、
 - ④ MOS トランジスタのソース・ドレイン電極の直列抵抗を現状に比べ 2 桁低減、
 - ⑤ 現状の Inversion Mode MOS トランジスタに替えて Accumulation Mode MOS トランジスタ (図 1・8) の全面導入 { (551) 面 SOI 基板で、nMOS は <100> 方向、pMOS は <110> 方向 }、
 - ⑥ 低誘電率層間絶縁膜として緻密なフロロカーボン膜 (CF_x : $k=1.9$) の導入、
- が、導入すべき代表的新技術である。

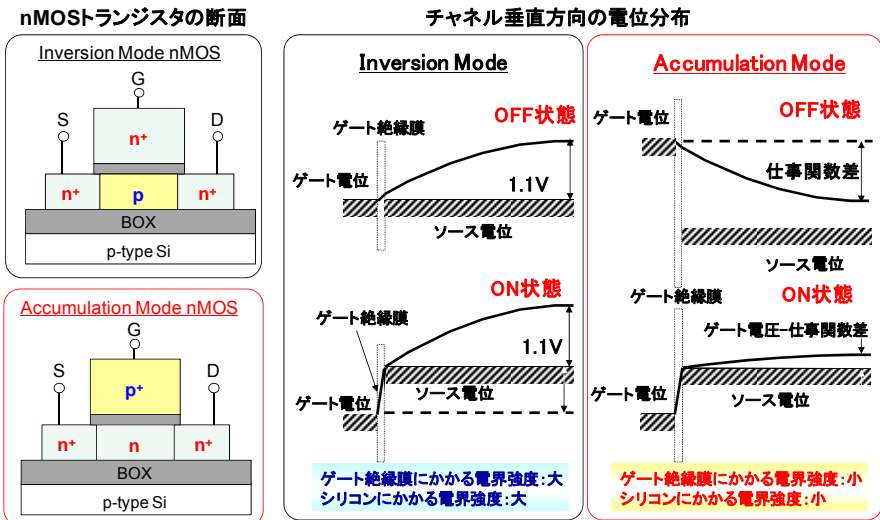
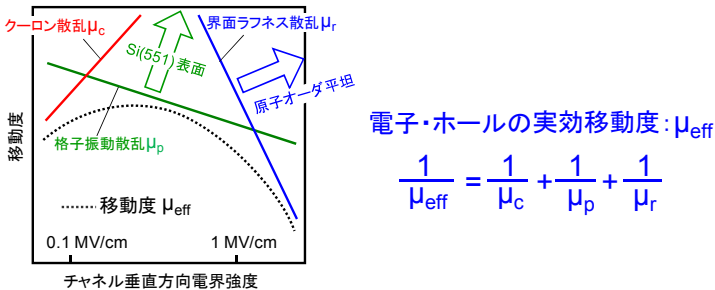


図 1・8 Inversion Mode と Accumulation Mode nMOS の断面構造及び OFF 状態と ON 状態におけるチャネル垂直方向の電位分布

1.0 nm 程度まで薄膜化されたゲート絶縁膜に加わる電界の方向が Accumulation Mode MOS トランジスタでは、Inversion Mode MOS トランジスタと違ってオフ状態とオン状態で逆方向を向いているため (図 1・8), 同じゲート絶縁膜の最大許容電界強度のもとで、Inversion Mode MOS トランジスタに比べて印加できる電圧が 30%程度大きくでき、動作速度向上に大きく寄与する。更に、電子やホールの実効移動度 μ_{eff} は、クーロン散乱による項 μ_c と、格子振動散乱による項 μ_p 、及びゲート絶縁膜・シリコン界面のラフネス散乱の項 μ_r の調和平均で与えられるが (図 1・9) ⁷⁾、Accumulation Mode MOS トランジスタではクーロン散乱 μ_c の項は原理的に存在しない。原子オーダー平坦界面の Accumulation Mode MOS トランジスタでは μ_r が現状のトランジスタに比べて数十倍に向上するため、実効的には格子振動散乱だけが移動度の制限要因となるが、Accumulation Mode MOS トランジスタではチャンネル垂直方向の電界強度が Inversion Mode MOS トランジスタに比べて十分小さくなるため (図 1・10), 格子振動散乱で制限される μ_p も大きくなり (551)面<110>方向に形成された pMOS の電流駆動能力は、(100)面 pMOS に比べて実に 4 倍程度大きくなっているのである (図 1・11)。図 1・11 は、チャンネル長 1 μm , ゲート絶縁膜厚 5 nm のトランジスタの電流電圧特性 ($I_d - V_{ds}$) の実測値である。電流駆動能力は、チャンネル長とゲート絶縁膜厚の積に逆比例して向上するから、微細化したときに非常に大きな電流駆動能力をもったトランジスタが実現されることが示唆されたのである。本節冒頭に示した新技術のシリコン LSI 超高性能化への威力がよく理解できるのではないだろうか。筆者らは、2000 年に (100)面シリコン基板に替えて (110)面シリコン基板の導入を世界に訴えたが、(110)シリコン表面はアルカリ洗浄で表面凹凸が激増するため (図 1・12), (110)面から<001>方向に 8° オフした (551)面を 2007 年に提案した ⁶⁾。図 1・12 から明らかのように、(551)表面は平坦化表面を極めて維持しやすい表面である。

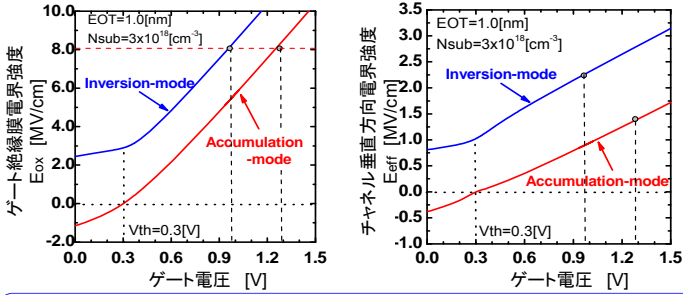


- ☆ μ_c : クーロン散乱の項はAccumulation Mode MOSTランジスタの導入で原理的に存在しない
- ☆ μ_p : 格子振動散乱の項は(551)面<110>方向の導入でホールに対して激減
- ☆ μ_r : 界面ラフネス原子オーダー平坦界面の導入により激減

$$\mu_r \propto \frac{1}{S(q)} \times \frac{1}{E_{\text{eff}}^2} \quad S(q) = \pi \Lambda^2 R_{\text{ms}}^2 \exp\left\{-\frac{(q\Lambda)^2}{4}\right\}$$

$\left\{ \begin{array}{l} \Lambda: \text{ラフネス周期} \\ R_{\text{ms}}: \text{二乗平均粗さ} \end{array} \right.$

図 1・9 クーロン散乱、格子振動散乱、界面ラフネス散乱の調和平均で与えられる電子・ホールの移動度のチャンネル垂直方向電界強度依存性



$E_{ox} = 8 \text{ MV/cm} \Rightarrow$ ゲート絶縁膜リーク電流密度 0.1 A/cm^2
 \rightarrow Accumulation-mode MOS: **1.3 V**、Inversion-mode MOS: **1.0 V**
 $E_{ox} = 10 \text{ MV/cm} \Rightarrow$ ゲート絶縁膜リーク電流密度 1.0 A/cm^2
 \rightarrow Accumulation-mode MOS: **1.45 V**、Inversion-mode MOS: **1.15 V**

チャネル垂直方向電界強度 E_{eff}
 Accumulation-mode MOS $\left\{ \begin{array}{l} 1.25 \text{ MV/cm} : 1.3 \text{ V} \\ 1.65 \text{ MV/cm} : 1.45 \text{ V} \end{array} \right.$ Inversion-mode MOS $\left\{ \begin{array}{l} 2.25 \text{ MV/cm} : 1.0 \text{ V} \\ 3.1 \text{ MV/cm} : 1.15 \text{ V} \end{array} \right.$

図 1・10 45 nm 世代の Inversion Mode MOS トランジスタと Accumulation Mode MOS トランジスタのゲート絶縁膜電界強度 E_{ox} とチャネル垂直方向電界強度 E_{eff} のゲート電圧依存性

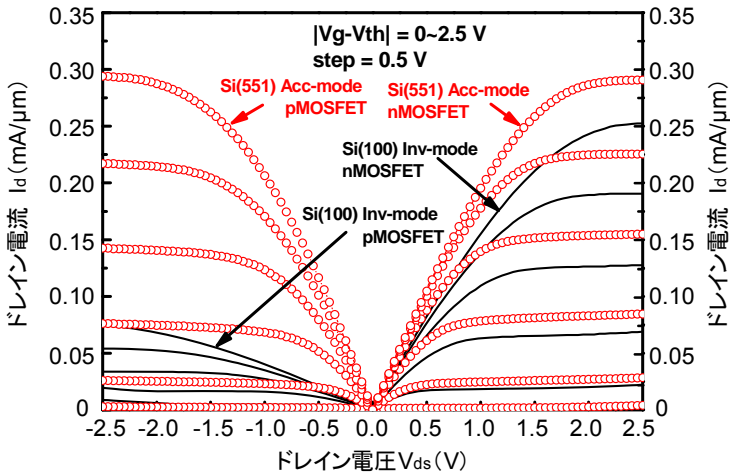


図 1・11 (100)面 Inversion Mode と (551)面 Accumulation Mode の nMOS, pMOS の電流電圧特性 ($I_d - V_{ds}$)

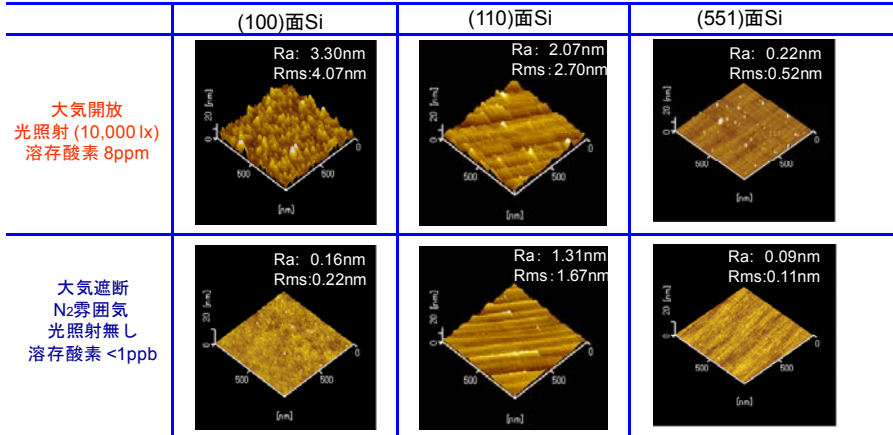


図 1・12 0.3% NH₄OH 溶液に室温で 10 分間、各面方位のシリコン基板を浸漬した後の表面状態

これまでプロセスステップ数を可能な限り減少させたいとの産業界の強い意向で、nMOS、pMOS のソース・ドレイン領域である n⁺ 領域、p⁺ 領域に同じ金属シリサイドを用いて金属電極は形成されてきた。n⁺ 領域、p⁺ 領域両方に小さな接触抵抗を実現する道は、シリコンの伝導帯 (-4.05 eV) と充満帯 (-5.15 eV) の丁度真ん中のミッドギャップ-4.6 eV のエネルギー準位をもつシリサイドの採用である。n⁺ 領域、p⁺ 領域にそれぞれ 0.55 eV のバリアハイトが存在することになり、シリコンの室温における電子密度及びホール密度の最大値が $2 \times 10^{20} \text{cm}^{-3}$ であることからバリア幅は 0.5 nm となり、接触抵抗は $1 \times 10^{-8} \Omega \cdot \text{cm}^2$ 程度と決まってしまう。これ以上接触抵抗を減らすには、n⁺ 領域、p⁺ 領域にそれぞれバリアハイトが最小になる最適の金属シリサイドの導入が不可欠である。筆者らは、n⁺ 領域には ErSi₂ あるいは HoSi₂、p⁺ 領域には Pd₂Si を導入すれば、それぞれバリアハイトは、0.30 eV 程度に減少し、 $10^{-10} \Omega \cdot \text{cm}^2$ 台の極めて小さな接触抵抗が実現され、ソース電極/ドレイン電極の直列抵抗が 2 桁程度低減されることを実証している。

図 1・11 には同じ寸法で形成された nMOS、pMOS の電流電圧特性が示されている。黒の実線は (100) 面 Inversion Mode MOS トランジスタであり、pMOS の電流駆動能力の貧困さが際立っている。図中の ○○○○線は (551) 面に形成された Accumulation Mode nMOS (<100> 方向) と pMOS (<110> 方向) の電流電圧特性である。pMOS の電流駆動能力が 4 倍に向上するとともに、nMOS と pMOS の電流駆動能力が同じ寸法のトランジスタで同じになることが実証されている。すなわち、スイッチング時にオフセット雑音の発生しないバランスド CMOS の実現である。ゲート絶縁膜とシリコンの界面が原子オーダーで平坦な Accumulation Mode MOS トランジスタの 1/f 雑音は現状の界面が凸凹の Inversion Mode MOS トランジスタに比べて 1/1000 以下に低減するため、デジタル・アナログ・高周波混載のシステム LSI がバランスド CMOS で実現される。

バランスド CMOS では最もシンプルな論理回路設計がそのまま最適回路設計になるので、設計が容易化・超短時間化する。更に、著者らはデジタルミラーデバイスを用いた

マスクの超短時間・超低価格製造が可能となる装置の開発を行っているが、65 nm 世代、45 nm 世代のマスクが 10 分以内で描画できる見通しが立ってきている（現状では、20 億円から 30 億円と高価な電子ビーム描画装置で、200 時間、400 時間といった長時間の描画を必要としているため、マスク価格が 1 枚数千万円と極めて高くなっている）。半導体屋の最大の使命であるフル CMOS システム LSI を真の産業に育成できる日が目前に迫っているのである。

(551)面 Accumulation Mode バランスド CMOS であれば、例えば 4 入力論理ゲート・10 段接続のシステムで動作限界を検証してみると、45 nm 世代で 70 GHz クロック、32 nm 世代で 100 GHz クロックを超える。シリコンを用いた超高速・超高性能システムの世界が完全に切り拓かれたのである。

“シリコン技術もはやこれまで” どころではなく、学問に基づく本物のシリコン技術はいよいよこれから始まるのである。

■参考文献

- 1) 大野稔, 川地陽二, 桃井敏光, “半導体装置”, 特許公報, 特許出願公告, 昭 42-21446 (昭和 39 年 2 月 13 日出願)
- 2) G.E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol.38, no.8, pp.114-117, April 1965.
- 3) Tadahiro Ohmi, Masaki Hirayama, and Akinobu Teramoto, “New era of silicon technologies due to radical reaction based semiconductor manufacturing,” *Journal of Physics D: Applied Physics*, vol.39, no.1, pp.R1-R17, Jan. 2006.
- 4) Rihito Kuroda, Tomoyuki Suwa, Akinobu Teramoto, Rui Hasebe, Shigetoshi Sugawa, and Tadahiro Ohmi, “Atomically Flat Silicon Surface and Silicon/Insulator Interface Formation Technologies for (100) Surface Orientation Large-Diameter Wafers Introducing High Performance and Low-Noise Metal-Insulator-Silicon FETs,” *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol.56, no.2, pp.291-298, Feb. 2009.
- 5) Tadahiro Ohmi, Masaki Hirayama, Tetsuya Goto, Hiroshi Imai, Atsutoshi Inokuchi, Masafumi Kitano, and Minoru Tahara, “Science Based New Silicon Technologies Based On New Manufacturing Equipment Completely Free From Contaminations and Damages,” *Proceedings of the 21st International Microelectronics Conference*, Sendai, pp.88-114, Nov. 2009.
- 6) Tadahiro Ohmi, Akinobu Teramoto, Rihito Kuroda, and Naoto Miyamoto, “Revolutional Progress of Silicon Technologies Exhibiting Very High Speed Performance Over a 50-GHz Clock Rate,” *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol.54, no.6, pp.1471-1477, June 2007.
- 7) Shinichi Takagi, Akira Toriumi, Masao Iwase, and Hiroyuki Tango, “On the Universality of Inversion Layer Mobility in Si MOSFETs: Part I-Effects of Substrate Impurity Concentration,” *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol.41, no.12, pp. 2357-2362, Dec. 1994.