

■S2 群 (ナノ・量子・バイオ) -1 編 (デバイスの微細化限界とその物理)**2 章 半導体ロードマップ**

(執筆者：石内秀美) [2015 年 8 月 受領]

■概要■

半導体技術の将来像を描くため、国際半導体技術ロードマップ (ITRS) が編纂されてきた。ITRS は発行年から数えて 15 年後までの未来に開発されるべき半導体技術とその課題について定量的なロードマップを作成しており、半導体技術の動向を知るため基本的文献の一つとして、半導体産業界のみならず、大学、研究機関、各国政府でも活用されてきた。

本章では、ITRS について概説する。

【本章の構成】

本章では ITRS の歴史について述べた後 (2-1 節)、ITRS の最新版である 2013 年版の概要 (2-2 節)、2015 年版以降の ITRS 2.0 の変化 (2-3 節) について解説する。

- 2-1 半導体ロードマップの歴史
- 2-2 ITRS 2013 年版の概要
- 2-3 ITRS 2.0 に向けて

■S2 群-1 編-2 章

2-1 半導体ロードマップの歴史

(執筆者：石内秀美) [2015年8月 受領]

現在の半導体技術ロードマップの起源は 1991 年に開催された“MICRO TECH 2000 Workshop”とその報告書¹⁾ (“Micro Tech 2000 Workshop Report”)である。この報告書を発展させる形で、米国の半導体工業会 (SIA: Semiconductor Industry Association) は NTRS (The National Technology Roadmap for Semiconductors) の 1992 年版, 1994 年版, 1997 年版を作成した。その後、半導体ロードマップを世界の 5 地域 (米国, 欧州, 韓国, 台湾, 日本) の半導体工業会が共同で作成することとなり, NTRS 1997 年版の改訂版を ITRS²⁾ (国際半導体技術ロードマップ: International Technology Roadmap for Semiconductors) の 1998 年改訂版 (1998 Update) として発行した。

日本では ITRS に参加するため、半導体技術ロードマップ専門委員会³⁾ (STRJ) を日本電子機械工業会 (EIAJ) の傘下に組織化し, ITRS の執筆, 編集にあたりとともに, 半導体技術動向の調査を行った。その後, EIAJ と日本電子工業振興協会 (JEIDA) との統合により電子情報技術産業協会 (JEITA) が 2000 年に設立されたため, STRJ は, 以後, JEITA 傘下で活動している。

ITRS は, 発行年から数えて 15 年後までの半導体集積回路の技術ロードマップ (工程表, Roadmap) を作成している。半導体の集積度向上についてのムーアの法則⁴⁾ (Moore's Law) が将来にわたって成立するためにはどのような技術的要求 (Requirement) があり, その実現のためにはどのような技術課題を解決しないといけないか, という観点に基づいてロードマップを作成してきた。この意味で ITRS は技術動向の予想をするものではないが, 産業界や研究機関が ITRS を研究開発のペースメーカーとして利用してきたこともあって, 結果的に, ITRS に書かれた内容が実現されてきたという面もある。ITRS に記載されていて, その後に半導体集積回路に適用された技術として, MOS トランジスタにおける金属ゲート電極と高誘電率のゲート絶縁膜の組合せ (High-k/Metal Gate), 歪シリコン技術, 多重ゲート (Multi-Gate) 構造などがあげられる。また, 金属配線技術における低誘電率層間絶縁膜, ArF エキシマレーザの液浸露光装置, EUV 露光装置の実用化などもその典型例である。

一方, ITRS は, 半導体集積回路技術の発展のために, 集積度の向上 (“More Moore”) だけでなく, 多様化 (“More than Moore”) や CMOS を超えた素子の研究開発 (“Beyond CMOS”) の重要性を指摘してきた。

ITRS は, 1999 年から 2013 年までの間, 奇数年に全面改訂版 (Edition) を, 偶数年に部分改訂版 (Update) を発行してきた。近年, シリコン CMOS 技術の微細化限界が ITRS の 15 年のスコープ内に入ってきたこと, 半導体の用途の多様化が今後更に進むことなどを考慮して, ITRS 2015 年版では, 従来のロードマップの編集方針を大きく変更し, 半導体集積回路の用途という観点から技術ロードマップを作成することになった。本稿の執筆時点 (2015 年 8 月) で, その編集作業が進行中である。ITRS 2015 年版は 2016 年 3 月にウェブ上で公開される予定である。

■参考文献

- 1) “Micro Tech 2000 Workshop Report: Semiconductor Technology Roadmaps” (1991)

- 2) ITRS のホームページ : <http://www.itrs.net/> または <http://www.itrs2.net/>
- 3) JEITA 半導体部会 半導体技術ロードマップ専門委員会のホームページ :
<http://semicon.jeita.or.jp/STRJ/>
- 4) G. E. Moore : “Cramming More components onto Integrated Circuits,” Electronics, vol.38, no.8,
pp.114-117, 1965.

■S2 群-1 編-2 章

2-2 ITRS 2013 年版の概要

(執筆者：石内秀美) [2015 年 8 月 受領]

ITRS 2013 年版では 2013 年から 2028 年までの 15 年間にわたる微細化ロードマップ作成している (表 2・1 を参照)。

マイクロプロセッサを含むロジック LSI では、産業界が通称として使っているテクノロジーノードの名称 (Industry Node Name) と配線パターンの実際の寸法とは必ずしも一致しない。表 2・1 の “Logic 1/2 pitch” の欄に金属配線層の最小ハーフピッチを記載している。ロジック LSI においては寸法の微細化が今後 15 年間は続くとしている。

寸法の微細化という点では、NAND Flash メモリが最も小さい寸法を使っている。微細化は今後も続くが、2022 年にハーフピッチ (配線ピッチの 1/2 の寸法) が 8 nm に到達するとそこで微細化が止まるとしている。NAND Flash メモリは従来のメモリセルのほかに 3 次元積層型のメモリセルの生産が始まっている。ITRS ではこのようなメモリセルの 3 次元化についてもロードマップを作成している。メモリセルの積層化によりチップ当たりのビット数を多くできるため、3 次元メモリでは、パターンハーフピッチは 2 次元メモリに比べて大きい。

DRAM においても微細化が続き、2028 年にはハーフピッチが 7.7 nm に達するとしている。

素子と配線寸法の微細化 (“More Moore”) とともに、半導体集積回路の多様化が進んでいる。ITRS では多様化 (“More than Moore”) についても記載している。製造プロセスの異なる多様なチップを一つのモジュールに統合するためには、高度なアセンブリ・パッケージング技術が必要となる。また、携帯電話、自動車など多様なシステムで MEMS (Micro Electro Mechanical System) が使われていることを受けて、ITRS では MEMS の章を設けている。

半導体素子の微細化は当面続くが、いずれ、シリコン CMOS 技術の微細化は基本的限界に到達すると考えられている。このため、ITRS ではシリコン CMOS を超えた技術 (“Beyond CMOS”) について ERD (Emerging Research Devices, 新探究素子) の章を設け、有望な新規素子の探索結果をまとめている。ERD への適用も含め、ERM (Emerging Research Materials, 新探究材料) についても独立の章を設けている。ERD, ERM の章には詳細な参考文献リストが掲載されていて、この分野の半導体研究者にとっても有用な資料となっている。

表 2・1 ITRS による技術トレンド (ITRS 2013 Edition, Executive Summary, Table ORTC1 より抜粋)

生産開始年	2013	2015	2017	2019	2021	2023	2025	2028
Logic Industry Node Name	“16/14”	“10”	“7”	“5”	“3.5”	“2.5”	“1.8”	-
Logic 1/2 pitch [nm]	40	32	25	20	16	13	10	7
Flash 1/2 pitch [nm]	18	15	13	11	9	8	8	8
DRAM 1/2 pitch [nm]	28	24	20	17	14	12	10	7.7
FinFET Fin 1/2 pitch [nm]	30	24	19	15	12	9.5	7.5	5.3
FinFET Fin width [nm]	7.6	7.2	6.8	6.4	6.1	5.7	5.4	5.0
Physical Gate Length* [nm]	20	17	14	12	10	8	7	5

* マイクロプロセッサと高性能ロジックにおける平面型トランジスタの物理ゲート長

■S2 群-1 編-2 章

2-3 ITRS 2.0 に向けて

(執筆者：石内秀美) [2015年8月受領]

ITRS はその発足以来、ムーアの法則を継続するために何が必要かという観点で編集してきた。半導体集積回路の典型的製品は、マイクロプロセッサとメモリであり、それらの製品の微細化ロードマップを作成することがその主目的の一つであった。しかし、微細化限界が近づいたこと、半導体集積回路の応用分野としてスマートフォンやデータセンターの重要性が増したことを考慮し、2015年版のロードマップ以降は、ムーアの法則でなく、応用分野（アプリケーション）を起点にロードマップを編集することにした。従来の ITRS と区別するため、2015年以後は ITRS 2.0 という名称を使う。

ITRS 2.0 の編集にあたり、以下の7つの Focus Team を組織化した。

- System Integration (SI)：産業界の需要を満たすため、どのようなシステムが必要かを述べる。
- Outside System Connectivity (OSC)：異なるシステムを物理的に、または、無線通信技術によって接続する技術に関する。
- Heterogeneous Integration (HI)：それぞれの製造プロセスで作成されたチップを統合する技術に関する。アセンブリ・パッケージ技術について述べる。
- Heterogeneous Components (HC)：HI で統合されるべき個々のチップに関する。
- Beyond CMOS (BC)：シリコン CMOS を越える技術に関する。
- More Moore (MM)：微細化ロードマップに関する。
- Factory Integration (FI)：製造技術に関する。

ITRS 2015年版では、上記の Focus Team の報告書に加え、従来のワーキンググループによる章も改訂される予定である。ITRS 2017年版では、ITRS 2.0 への移行を完了する予定である。