

■S2 群 (ナノ・量子・バイオ) - 2 編 (ナノエレクトロニクス)**1 章 シリコンナノエレクトロニクス**

(執筆者：田部道晴) [2009 年 3 月 受領]

■概要■

シリコン集積回路は、これまでロードマップに従って進展し、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) は微細化の一途をたどってきた。その結果、生産レベルでゲート長が 100nm を大きく切り、また研究試作品レベルでは 10~20nm 付近のデバイスが報告されるに及んで MOSFET は文字どおりナノ領域に突入した。ナノ領域での MOSFET は従来とは質的に大きく異なるとともに、巨大な特性揺らぎなどの難問が待ち構えていることが明らかになってきており、その解決に向けて多くの努力がなされている。また、これらの技術上の壁を克服する動作原理の異なるデバイスの開発が望まれている。本章では、これまでの延長上にある MOSFET がナノ領域でどのような工夫でその働きを維持しようとしているか、という観点と同時に、ナノ領域独特の電子物性やプロセスを利用した従来の延長線上にない、あるいはこれまで集積回路で対象としてこなかった新しいシリコンナノデバイスについても紹介する。

従来型の FET を微細化していったときの最大の問題は、短チャネル効果であり、微細化にともなってソース・ドレイン間の電界がゲート電界と干渉しあうため、ゲートによるチャネル電流のオンオフ制御が甘くなる。これを避けるために、よりゲートの制御性を高めた構造などが提案されており、これらについては 1-1 節で詳しく述べる。

1-2 節ではナノ領域で特徴的なメモリデバイスについて述べる。メモリデバイスも、ナノ領域に特有の様々な工夫がなされている。特に、フローティングドットメモリとして微細メタルドットや半導体ドットを多数ゲート絶縁膜に埋め込んだ構造が研究されており、また、中空型チャネルの機械的凹凸状態を 1 と 0 の状態に対応付けた MEMS (Micro Electro Mechanical Systems) 型メモリも研究対象となっている。

微小デバイスとして原理的に従来型のトランジスタと大きく異なるものに単電子デバイスがある。これは、等価回路として微小トンネル容量の組合せから成るもので、1 個の電子の動きがデバイス各部の電位を大きく変動させ、それがキャリア移動の動作原理を支配する。集積回路の消費電力の飛躍的増大が問題となっている状況で、次第にその期待が高まるものと思われる。これについては 1-3 節で述べる。

共鳴トンネルデバイスは、1970 年代半ばに提案されたヘテロ接合系のデバイスで、量子力学的ミニバンドの特徴を生かした興味深いデバイスである。これまで、主に化合物半導体で研究が進められてきたが、Si 系でも研究が進み、電流のオンオフ比の大きな室温動作デバイスが作製されるようになってきている。今後、高周波デバイスやその他の応用を目指して新しい展開の可能性があり、1-4 節で詳しく述べる。

我々がナノデバイスを作製しようとするとき、製法上の最大の困難はリソグラフィの分解能を越えた数 nm のパターン寸法をどのように描画するか、しかも集積回路をにらんだ生産性を満足しつつ細かなパターンをどのようにウェハ全面に作るのかという問題に常に行き当たる。1-5 節では、生体超分子の代表であるタンパク質を用いて自己整合的に、大面積にわたって微細金属ドットを形成する斬新なプロセスを解説する。

ナノメータ領域では、半導体デバイスは、ミクロン領域では遭遇しなかった新しい物理と現象に出会うことになる。電子物性としては、走行キャリアのバリスティック性（無散乱で弾丸のように走行する性質）や電子のクーロンブロッケイド（電子1個の存在が近傍の電位を大きく変化させ、次の電子の出入りを禁止する現象）が顕在化してくる。また、これまで統計平均的にのみ扱ってきたドナーやアクセプタの個数や位置揺らぎも無視できない現象として現れてくる。これらは、しばしば従来技術の進展を阻む問題点ととらえられるが、新しいデバイス原理に挑戦する絶好のチャンスとも考えられる。スピンや光などの新しい自由度をシリコンデバイスに取り込む研究も始まっており、今後大きな進展が期待できる。

■S2 群-2 編-1 章

1-1 超微細 MOSFET

(執筆者：鈴木英一) [2009年3月 受領]

情報通信機器や情報家電に代表される高度 IT 社会をハードウェア面で支えるシリコン (Si) LSI は、ほとんどが MOSFET (金属-酸化膜-シリコン電界効果トランジスタ) で構成されている。Si LSI の驚異的な発展は、主に MOSFET の微細化によってなされてきた。微細化には MOSFET の各寸法を比例的に縮小していくのが簡便であり、事実、スケーリング則 (比例縮小則) に従って微細化がなされてきた。表 1・1 は、最も基本的な電界一定比例縮小則の一部を示している。デバイス寸法をすべて $1/K$ ($K>1$) にすると、速度は K 倍、集積密度は K^2 になるのに、回路当たりの消費電力は $1/K^2$ となるので、消費電力密度は変わらないことになり、スケーリングによって大きなアドバンテージを得ることになる。実際には、電圧などはそのまま $1/K$ にしていくことは困難であり、適当な修正を加えるものの、基本的にはスケーリングの考え方に従って MOSFET の微細化が進められてきた。

表 1・1 MOSFET の比例縮小則 (電界一定)

(I) デバイスパラメータのスケーリング		(II) 回路パラメータのスケーリング	
パラメータ	スケーリング比	パラメータ	スケーリング比
チャネル長 L	$1/K$	電流 I	$1/K$
チャネル幅 W	$1/K$	容量 $C = \epsilon A/t$	$1/K$
ゲート酸化膜厚 t_{ox}	$1/K$	回路あたりの遅延時間 VC/I	$1/K$
接合深さ x_j	$1/K$	回路あたりの消費電力 $V I$	$1/K^2$
空乏層厚さ x_d	$1/K$	デバイス面積 A	$1/K^2$
基板不純物濃度 N_A	K	消費電力密度 $V I/A$	1
電圧 V	$1/K$	線抵抗 $R_l = \rho l/A$	K
		相対的な電圧降下 IR_l/V	K
		応答時間 $R_l C$	1
		電流密度 I/A	K
		電界 E	1

注 $K > 1$

しかしながら、すでに 65 nm の技術世代 (テクノロジーノード) に入っており、次の 45 nm 世代もうかがおうとしている Si デバイスの微細化を更に進めていくことには、大きな障害が立ちはだかっている。すなわち、スケーリングによる超微細化を更に進めることもない、

- ① 短チャネル効果が顕在化し、微細化を進めるにもかかわらず素子性能が上がらないばかりでなく、むしろ劣化してくる
- ② 短チャネル効果に伴うソース・ドレイン間のリーク電流、ゲート絶縁膜を通したゲートリーク電流が顕在化し、無効電力が急激に増加する
- ③ 微細加工プロセスにおける精度、活性領域における不純物の分布などに起因する素子性能のばらつきが増大する

などの、困難な課題に直面することになる。図 1・1 は、超微細化に伴う本質的な課題である短チャネル効果を模式的に示したものである。短チャネル効果は、極微細化に伴ってドレイ

ンの影響がソースにまで及ぶようになり、本来、ゲートだけで制御することを基本とする 3 端子素子である MOSFET の性能を劣化させるものである。すなわち、ドレインとソースの干渉によりチャネルをオフしにくくなるために、しきい値電圧のシフト (n チャネルの場合は負方向)、サブスレッショルド・スロープ (S スロープ: ドレイン電流を 1 桁上げるのに必要なゲート電圧) の増大、オフ時のドレインリーク (GIDL: Gate Induced Drain Leakage) などを引き起こし、結果として、無効電力、及び、ばらつき増大という深刻な問題を起こす。

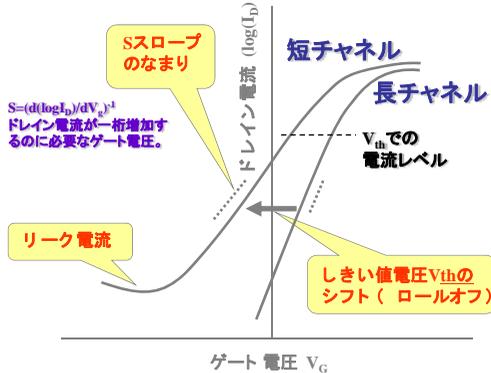


図 1・1 MOSFET の微細化に伴って顕在化する短チャネル効果

この MOSFET の微細化限界につながる問題を解決する、デバイス構造面からアプローチとして、ソース・ドレイン間リークパスを断ち切ることで、及び、ゲートでチャネルを強固にガードすることが考えられる。前者は、完全空亡型 SOI (Silicon on Insulator) MOSFET、後者はダブルゲート MOSFET (DGFET) として開発が進められている。完全空亡型 SOI MOSFET では、リークパスは絶縁膜で断ち切られているもののドレインからの電界遮断には不完全さを残しているため、短チャネル効果耐性の観点からは、極薄チャネルを 2 重ゲートで挟んだ構造の DGFET の方が優れている。

DGFET のコンセプトは、1984 年 (特許的には 1980 年) に電総研 (現在の産総研) から提案されたもので、当時その断面形状のギリシャ文字 Ξ (英文字 X) との類似性から XMOS と呼ばれた。DGFET は、極薄チャネルを 2 重のゲートで挟んでシールドするので、ドレインの影響を極微細になっても抑制できる構造をもっており、ITRS ロードマップでも、究極の MOSFET と呼ばれている。DGFET の利点の本質は、極薄のチャネルを対向する 2 重のゲートによって同時にポテンシャルを引加するので、ほぼ理想的にチャネル電位を制御できることにある。事実、バルク MOSFET では実現が不可能な、室温での S スロープの理論値である 60 mV/桁に極めて近い値が DGFET で得られている。

DGFET の中で最も開発が進んでいるものは、魚のひれ (fin) に似た起立した極薄チャネル構造をもつ FinFET である。また、DGFET のデバイスコンセプトは、トリ (3 重) ゲートやオールアラウンドゲートにも用いられており、多重ゲートを総称してマルチゲート MOSFET と呼ばれることがある。

FinFET に代表される DGFET は、通常ダブルゲートは共通化されており同一のゲート電圧

しか引加できない。したがって、DGFET のスイッチング特性を決めるしきい値電圧はただ一つの値に固定される。ただし、ダブルゲートを分離独立化すると、新たな機能が付加できる。すなわち、二つのゲートのうちの一方に適当なバイアスを引加することによって、他方のロジックゲートに対するしきい値電圧を自在に制御することが可能となる。このデバイスを、独立ダブルゲートをもつゆえに 4 端子駆動型 DGFET (4T-DGFET) と呼ぶならば、4T-DGFET は、S スロープや短チャネル効果耐性はしきい値電圧制御ゲート電圧の固定化によって若干犠牲になるが、そのしきい値電圧制御性によって、最適にパワー制御をすることを可能にする大きな機能を新たに得ることができる。

図 1・2 は、究極の MOSFET といわれる DGFET の今後の発展方向を示したものである。構造面ではチャネルのナノワイヤ化であり、性能面ではバルク MOSFET ですでに検討が進められている新材料、ひずみの導入であり、機能面では分離ゲート 4 端子化であろう。

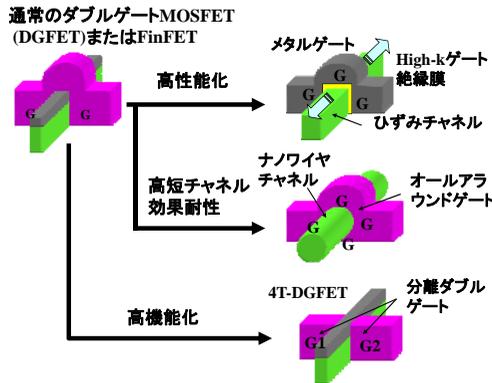


図 1・2 ダブルゲート MOSFET (DGFET) の今後の発展方向

一方、MOSFET 構造の変更ではなく材料面からスケーリングを延命させるアプローチも精力的になされている。その一つは、ゲート絶縁膜に従来の SiO_2 に替わって誘電率の高い High-K 材料を用いることである。スケーリングによるゲート酸化膜の過度な薄膜化がゲートリーク電流の増加をもたらすわけであるが、適当な High-K 材料を導入することにより、等価ゲート酸化膜厚をスケーリングしつつ、物理的な膜厚は増加できるので、ゲートリーク電流を抑制できることになる。具体的な High-K ゲート絶縁膜材料として、Hf, Al, La 系酸化膜、及び、それらの多元系膜や窒化物混合が検討されている。ただし、Si 界面での不完全性、分極電荷によるキャリア散乱などの解決すべき問題は多い。

他方、チャネル移動度の向上のために、チャネルに最適なひずみを導入する技術開発が進められ、実際の微細 MOSFET に利用されるようになってきている。電子に対しては引っ張りひずみが、正孔に対しては圧縮ひずみが移動度向上に有効であり、ひずみを与える適当な材料の選択とパターン化により、電子に対して 50%、正孔に対しては 100%もの向上が実現されている。

また、移動度には Si 面方位依存性があり、電子では(100)面、正孔では(110)面で最大の値をとるため、同一 Si 基板の場合には NMOS, PMOS でチャネル方向を変えたり、張り合わせ

基板を用いて、NMOS, PMOS で Si 面方位を変える技術開発も進められている。これらの新電子材料や最適なひずみの導入は、DGFET にも有効であることはもちろんである。

超微細 MOSFET の開発は、駆動電流 I_{on} の最大化と待機時リーク電流 I_{off} の最小化のせめぎあいである。単純なスケールリングでは上記の二つの要件を同時に満たすことがすでに困難になってきており、可能な方策を複合的に用いて、性能と消費電力のバランスをはかることが、今後の超微細化 MOSFET の開発に要求される。

■S2 群-2 編-1 章

1-2 メモリデバイス

(執筆者：小田俊理) [2009年5月 受領]

コンピュータや情報通信端末にメモリは欠かせない。主なメモリには、コンピュータのワーキングメモリである DRAM や SRAM、大容量記録用のハードディスク、デジタルカメラや携帯電話、非接触 IC カードに使用される不揮発性メモリがある。DRAM や SRAM の開発は主として、前節で述べた MOSFET の微細化が牽引している。不揮発性メモリは MOSFET のゲート酸化膜中に電荷蓄積層を設けたフラッシュメモリが主役である。

本節では、新型不揮発性メモリの研究動向について解説する。新型不揮発性メモリは、フラッシュメモリを置き換えるだけでなく、ハードディスクを置き換えてコンピュータを瞬時に立ち上げることができるようにするほか、将来は DRAM や SRAM を置き換えるユニバーサルメモリを目指す。

1-2-1 フラッシュメモリの進展

フラッシュメモリは不揮発性メモリの主役であるが、動作電圧が高い、書込み速度が遅い、書込み回数に限りがあるなどの欠点があり、容量カップリング効果などの問題からスケーリングには限界があると言われている。次世代フラッシュメモリは多層化、多値化により集積度を向上するほか、発展系として、電荷蓄積層をポリシリコンから窒化膜に代えて微細スケールでも電荷保持特性を向上させた SONOS メモリ¹⁾、電荷蓄積層にナノ結晶を用いてクーロンブロッケイド効果を利用し、更に高スケーリングを目指すナノドットメモリ^{2), 3)}が提案されている。

1-2-2 新原理メモリ⁴⁾

(1) FeRAM (強誘電体メモリ)

【原理】DRAM のキャパシタに強誘電体を用いて自発分極が電源を切っても消えないことを利用。【特長】2V 以下の低電圧動作、高速書込み、高書込み回数。【材料】PZT ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$) (大きな残留分極 P_r をもち高集積化に有利)、SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) (小さい抗電界 E_c をもち低電圧動作に有利)。【課題】MOSFET のゲート酸化膜に強誘電体を用いるトランジスタ型は、キャパシタが不要で高集積化が可能であるが、メモリ保持時間が短い⁵⁾。【応用】非接触型 IC メモリで実用化。

(2) MRAM (磁気抵抗メモリ)

【原理】2層の強磁性体が薄いトンネル絶縁膜を挟んだ構造、2層の強磁性体の磁化の方向が平行か反平行かによって抵抗が大きく異なることを利用。【特長】高速動作、高書込み回数、高温動作、ユニバーサルメモリとして期待大。【材料】CoFe などの強磁性体薄膜の間のトンネル絶縁膜に MgO 単結晶膜を用いて磁気抵抗特性が格段に向上した⁶⁾。【課題】微細化にともない電流密度が大きくなり、高集積化には課題。【応用】車載向けに一部量産。

(3) PRAM (相変化メモリ) ⁷⁾

【原理】カルコゲナイド材料のアモルファス相と結晶相の抵抗が異なることを利用。【特長】2 V 以下の低電圧動作，高書き込み回数，高集積化が可能。【材料】GST (Ga-Sb-Te)。【課題】ジュール熱を利用して書き込みを行うので消費電力は課題。

(4) ReRAM (抵抗変化型メモリ)

【原理】酸化物や固体電解質中に電圧を加えて絶縁体中に電流経路を形成する。【特長】低消費電力，高速動作，高集積化。【材料】PCMO (PrCaMnO) (バイポーラ型で界面型，高速動作) ⁸⁾，NiO (ユニポーラ型でフィラメント型，超高集積に向く) ⁹⁾，Ag/Ag₂Se+GeSe/W 系固体電解質 (バイポーラ型，高速動作) ¹⁰⁾。【課題】動作機構が完全には解明されておらず，特性改善，微細化の方針が不明。

(5) 有機メモリ

【原理】分子レベルでの化学反応により電流経路を形成する。【特長】高集積化。【材料】CuTCNQ (Cu-tetracyanoquinodimethane) (酸化還元反応を利用した抵抗変化型) ¹¹⁾，VDF (vinylidene fluoride) + TrFE (trifluoroethylene) (強誘電性ランダムコポリマー) ¹²⁾。【課題】耐熱性が低いなど半導体プロセスとの整合性は不明。

(6) ナノギャップメモリ ¹³⁾

【原理】極微細間隔金属電極間の金属原子移動による抵抗変化。【特長】高速動作，高集積化可能。【材料】ナノスケールの空隙で隔てられた Au 電極。【課題】再現性，極微細電極製造技術の開発。

(7) MEMS/NEMS メモリ

【原理】機械的変位を電流変化で読み出す。【特長】低消費電力，ナノスケールでは機械的変位も高速，高耐久性。【材料】Si チップ内に MEMS 技術を応用して機械的可動梁を形成 ¹⁴⁾，カーボンナノチューブ ¹⁵⁾。【課題】微細化，高集積技術の開発。

■参考文献

- 1) M. H. White, D. A. Adams, and J. Bu, "On the go with SONOS," IEEE Circuits Devices Mag., vol. 16, no. 4, pp.22-31, 2000.
- 2) S. Tiwari, F. Rona, K. Chan, L. Shi, and H. Hanafi, "A silicon nanocrystals based memory," Appl. Phys. Lett. vol.68, 1377, 1996.
- 3) S-Y. Huang, H. Mizuta, S. Oda, "Nanocrystalline Silicon Memory Devices," Handbook of Semiconductor Nanostructures and Nanodevices Edited by A. A. Balandin and K. L. Wang, American Scientific Publishers, vol.5, pp.131-194, 2006.
- 4) 藤崎芳久, "不揮発性半導体メモリ技術の現状," 応用物理, vol.77, no.9, pp.1060-1071, 2008.
- 5) 石原 宏, "トランジスタ型強誘電体メモリの現状と展望," 応用物理, vol.75, no.5, pp.546-552, 2006.
- 6) S. Yuasa, T. Nagahama, A. Fukushima, Y. Suzuki and K. Ando, "Giant room-temperature magnetoresistance in single-crystal Fe/MgO/Fe magnetic tunnel junctions," Nature Materials vol.3, no.12, pp.868-871, 2004.
- 7) A. Pirovano, A. Redaelli, F. Pellizzer, F. Ottogalli, M. Tosi, D. Ielmini, A.L. Lacaia, R. Bez, "Reliability study of phase-change nonvolatile memories." IEEE Transactions on Device and Materials Reliability, vol.4, issue 3, pp.422-427, 2004.

- 8) W.W. Zhuang et al., "Novell Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RPAM)," IEDM Tech. Digest (IEEE), p.193, 2002.
- 9) I. G. Baek, D. C. Kim, M. J. Lee, H.-J. Kim, E. K. Yim, M. S. Lee, S. E. Ahn, S. Seo, J. H. Lee, J. C. Park, Y. K. Cha, S. O. Park, H. S. Kim, I. K. Yoo, U-In Chung, J. T. Moon, and B. I. Ryu, "Multi-layer cross-point binary oxide resistive memory (OxRRAM) for post-NAND storage application," IEDM Tech. Dig., 750-753, 2005.
- 10) M. Kund, G. Beitel, C. Pinnow, T. Rohr, J. Schumann, R. Symanczyk, K. Ufert, G. Muller, "Conductive bridging RAM (CBRAM): an emerging non-volatile memory technology scalable to sub 20nm," IEDM Tech. Dig., pp.754-757, 2005.
- 11) R. Müller, J. Genoe, and P. Heremans, "Nonvolatile Cu/CuTCNQ/Al memory prepared by current controlled oxidation of a Cu anode in LiTCNQ saturated acetonitrile," Appl. Phys. Lett., vol.88, 242105, 2006.
- 12) T. Sekitani, Y. Noguchi, S. Nakano, K. Zaito, Y. Kato, M. Takamiya, T. Sakurai, and T. Someya, "Communication Sheets Using Printed Organic Nonvolatile Memories," IEDM Tech. Dig., pp.221-224, 2007.
- 13) Y. Naitoh, M. Horikawa, H. Abe and T. Shimizu, "Resistance switch employing a simple metal nanogap junction," Nanotechnology, vol.17, pp.5669-5674, 2006.
- 14) Y. Tsuchiya, K. Takai, N. Momo, T. Nagami, S. Yamaguchi, T. Shimada, H. Mizuta and S. Oda, "Nano-electro-mechanical nonvolatile memory device incorporating nanocrystalline Si dots," J. Appl. Phys., vol.100, 094306, 2006.
- 15) J-E. Jang, S. Cha, Y. Choi, D. Kang, T. Butler, D. Hasko, J. Jung, J. Kim and G. A. J. Amaratinga, "Nanoscale memory cell based on a nanoelectromechanical switched capacitor," Nature Nanotechnology, vol.3, pp.26-30, 2008.

■S2 群-2 編-1 章

1-3 単電子デバイス

(執筆者：高橋庸夫) [2009年3月 受領]

シリコンナノエレクトロニクスの単電子デバイスの位置づけは、主にメモリ応用と論理回路応用に分かれる。メモリ応用に関しては、1-2 節で述べたので、ここでは、単電子デバイスの機能を概説し、論理回路を中心とした応用について述べる。

単電子デバイスの動作原理やその機能は、最も単純な単電子トランジスタ (Single Electron Transistor: SET と略す) の動作を通して理解するのが分かりやすい。SET は、導体 (金属あるいは半導体) のナノドットの両端に、トンネル障壁 (トンネルキャパシタという) を介して電極 (ソースとドレインと呼ぶ) を取り付けられた構造を有する。したがって、電子はナノドットをソース、あるいはドレインの間をトンネルにより出入りすることができる。更にナノドットには、通常容量 (トンネルできない) を介してゲート電極が取り付けられる。ゲートに印加する電圧により電子のトンネルを制御できるので、3 端子のデバイスとしてトランジスタの名がある。模式的な断面図と等価回路を描くと **図 1-3(a), (b)** のようになる。SET の動作機構は、ゲートとナノドットの電荷のバランスで動作する点では、1-1 節で説明した MOSFET と同じである。ナノドットを半導体である Si で作製すると、微細な MOSFET と極めてよく似た構造となる。

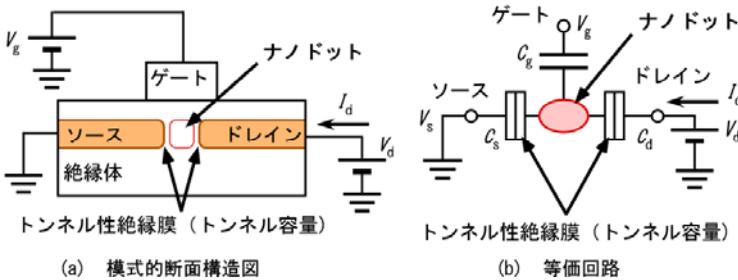


図 1-3 単電子トランジスタ (SET)

SET の特性は、ゲートとナノドット間の電荷のバランスに加え、ナノドット内の電荷が電子 1 個の単位でしか増減できないことで説明でき、これらの効果によりほかには見られない独特な特性となる。簡単のため、ソースを接地し、小さな電圧をドレインに印加したとすると、ナノドットの電位はほぼゼロ電位となる。ここで、ゲートに電圧 V_g を印加すると、 V_g はゲート容量 C_g にかかり、ゲート電極に励起される電荷は $Q = C_g V_g$ で表される。当然、ナノドット側にも $-Q$ の電荷が現れるはずであるが、ドット内の電子数は整数値 n をとるので、電子 1 個の電荷を $-e$ とすると、 Q は必ずしも ne とは一致できない。すなわち、ゲート容量を挟んで、電荷が不釣り合いな状態ができることになる。ゲート電圧 V_g を調整して、 $C_g V_g = ne$ となる条件とすると、電荷はバランスしているので安定な状態となり、ドット内の電子数 n は変化しない。すなわち、ドットを介した電子の移動が生じないので、電流が流れない。この状態をクーロンブロッケイド状態という。ところが、この状態からゲート電圧を増やして

いき、 $C_g V_g = (n + 1/2)e$ となるようにすると、電子数は n と $n + 1$ のどちらをとってもよいことになる。したがって、ドット内の電子が最初 n であったとすると、ソース側から電子が 1 個ドットにトンネルし、電子数が $n + 1$ 個となり、次いで、電子が 1 個ドットからドレインにトンネルし n 個に戻る。これを繰り返して、電子が 1 個ずつソースからドットを介してドレインに流れることになる。これに、熱エネルギーによる揺らぎが加わるので、トンネルが生じるゲート電圧には幅が生じ、**図 1・4** のような、ゲート電圧に対して電流が振動するという、ほかの電子デバイスでは得られない独特な特性が得られる。

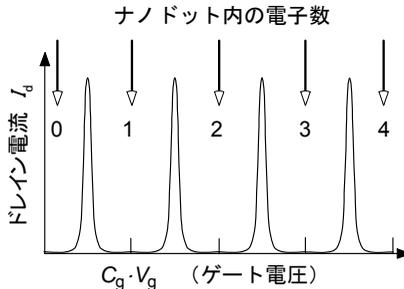


図 1・4 単電子トランジスタ (SET) の特性

1-3-1 単電子ロジック

単電子デバイスのほかのデバイスにない特徴は、電子 1 個を転送できる機能（後述）と、上述した**図 1・3**の構造と**図 1・4**の特性に起因するものである。図 1・3 の構造は、ナノドットに 1 個のゲートが取り付けられているが、ドットと容量的に接続した多数のゲート（マルチゲート）を取り付けることが可能である。ゲートをたくさん取り付けても動作の原理は単純で、 i 番目のゲート容量を C_i 、ゲート電圧を V_i とすると、それぞれのゲートに励起される電荷の総量は、 $\sum C_i V_i$ となるだけで、これとドット内の電荷のバランスで考えればよい。したがって、得られる特性は**図 1・4**の横軸を、 $\sum C_i V_i / e$ に置き換えればよい。このように、多数の入力ゲートを取り付け可能なデバイスは少ない。また、**図 1・4** のような、入力に対して電流が振動する特性もほかにはない。単調に入力を増やしていくと、一旦オンになったものが再びオフに戻り、更に増やすとオンになるという稀有な特性を示す。すでに、この機能を利用したインバータや加算回路などが実証されている。同時に、これはナノドット内の電子数を、1, 2, 3... と増やしていくことに対応し、この電子数を用いれば、人間が 10 進数を使うように、コンピュータにも 2 進数ではなく 10 進数を使わせることも可能となる。多進数の利用が可能となれば、計算の効率が上がることが知られている。単電子デバイスは、省エネ性だけでなく、高い機能をも実現してくれるデバイスであるといえる。

1-3-2 単電子転送

SET で電子を 1 個だけ確実に送ることができるかという点、そうではない。これはトンネルがいつ生じるかを人為的に制御できないことによる。電子を 1 個だけ送ることができる代表的デバイスとして、単電子ポンプがあり、**図 1・5** の等価回路に示すような SET を二つ連結

したような構造をもつ。それぞれのゲート電圧を調節して、二つのドットともに電子がトンネルできないクーロンブロッケイド状態にしておくと、電子は通り抜けられない。ここで、例えば左のゲートにプラスの電圧を印加すると、電子はソース側から左のドットに1個だけ引き込む。次いで、右のゲートにプラスの電圧を印加しながら左のゲート電圧をマイナス側に戻していくと電子は左のドットから右のドットに移ることになる。右のゲート電圧をマイナスに戻していくと、左のドットはすでにクーロンブロッケイド状態に戻っているのに、右のドットの電子は、ドレイン側に出ていくしかない。結果として、ソースから電子が1個引き抜かれて、ドレインに送られたことになる。このような、ナノドットの電子1個を捕まえる特性を利用した電子1個を転送するデバイスには各種のバリエーションがあり、すでに室温での電子1個の転送と転送されたことの検出が可能になっている。これは、電子1個に1ビットを乗せて処理するという、究極的な省電力情報処理の道具立てとなる可能性を秘めている。

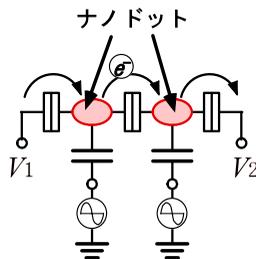


図 1・5 単電子ポンプ

■S2 群-2 編-1 章

1-4 共鳴トンネルデバイス

(執筆者：須田良幸) [2009年4月 受領]

ポテンシャル障壁に挟まれた量子井戸の量子準位に等しいエネルギー (E_ℓ) をもつ電子または正孔のキャリアがその量子井戸をトンネルする現象が共鳴トンネル現象である。図 1・6 左に示すように量子井戸のポテンシャル形状がキャリアの進行方向 (z 方向) で対称であると、量子準位に等しいエネルギーをもつキャリアの透過率 $|T(E_\ell)|^2$ は 1 となる。量子井戸の両端に電圧が印加されると入射エネルギーと量子準位が一致する近傍の印加電圧で電流が極大となり、図 1・6 右に示すように負性抵抗領域のある静特性となる。ここで、 I - V 特性は自由電子の質量を m_0 、図中の量子井戸構造と $0.07 m_0$ の有効質量で Tsu と Esaki の式¹⁾ で近似的に計算した。実際には量子井戸を通過するキャリアの電荷量を考慮してポテンシャルを自己無撞着に解く必要がある。量子力学的な電子の井戸の通過時間は量子準位に対応する透過率のエネルギー幅を Γ とすると \hbar/Γ 程度と高速で、高速デバイスが期待される。共鳴トンネル現象を利用したトンネルダイオード (TD) を RTD* と呼ぶ。TD の直列抵抗を R_s 、容量を C 、負性抵抗領域の微分負性抵抗を R_d 、とすると発振周波数は $(2\pi R_d C)^{-1} \{(R_d/R_s) - 1\}^{0.5}$ と見積もられる。

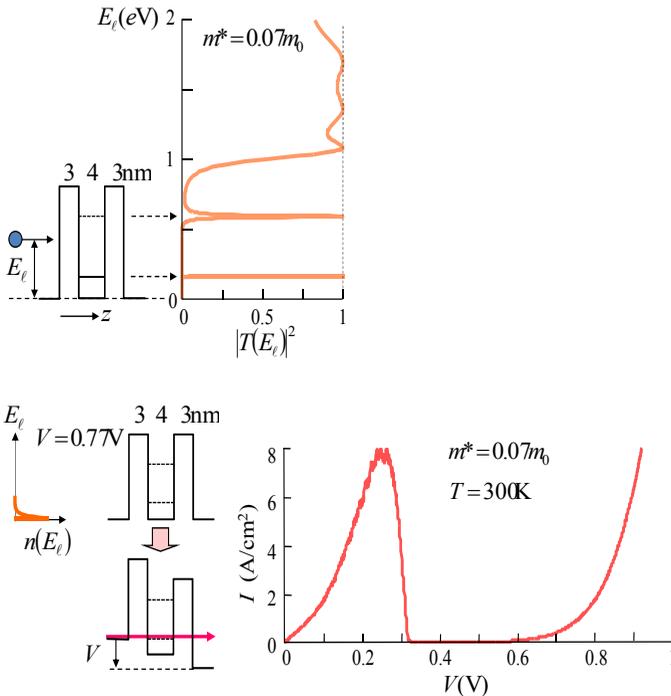


図 1・6 有効質量の電子の量子井戸の透過率 (左) と量子井戸に電圧が印加されたときの I - V 特性 (右)

TD には RTD のほか、ITD^{*1}、RITD^{*1} があり (図 1・7)、図 1・6 に示すような負性抵抗特性をもつ $I-V$ 特性を示す。ITD はエサキダイオード²⁾ であり、RITD は高濃度 δ -ドープした領域に形成される量子準位を介した共鳴型の TD³⁾ である。ITD は高い濃度のキャリアが薄い禁止帯を挟むため容量が大きく、ITD より RTD や RITD の方が速度の点で有利であると予測される。

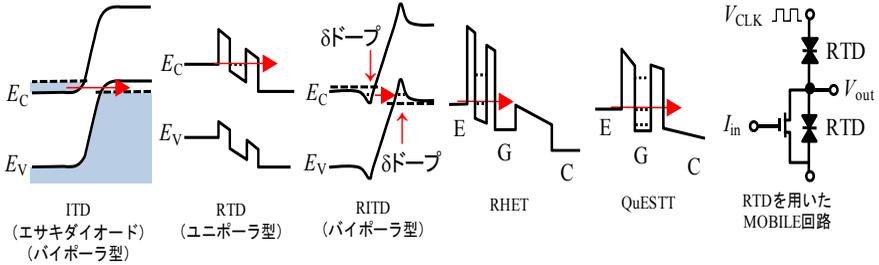


図 1・7 各種トンネルダイオードと共鳴トンネル型トランジスタとこれらを利用した MOBILE 回路

トンネルデバイスは、はじめに障壁形成が容易な III-V 系で進展したが、Si 系では、Si 系の ITD のほか、Si 基板を用いた Al_2O_3 (障壁)/Si (井戸)/ Al_2O_3 (障壁)、 $\text{SiO}_2/\text{Si}/\text{SiO}_2$ 、 $\text{CaF}_2/\text{CoF}_2/\text{CaF}_2$ 、 $\text{CaF}_2/\text{CdF}_2/\text{CaF}_2$ 、 $\text{SiC}/\text{Si}/\text{SiC}$ 、 $\text{Si}_3\text{N}_4/\text{Si}/\text{Si}_3\text{N}_4$ 材料構成の量子井戸を用いた RTD が作製されている。また、SiGe 系で RTD、RITD が作製されている。

SiGe 系 RTD では、主に Type II バンドオフセット構造を利用した量子井戸 ($\text{Si}_{1-x}\text{Ge}_x/\text{Si}/\text{Si}_{1-x}\text{Ge}_x$) を用いた電子キャリア型 RTD (n-RTD) と Type I バンドオフセット構造を利用した量子井戸 ($\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$) を用いた正孔キャリア型 RTD (p-RTD) がある⁴⁾。単一量子井戸と二重量子井戸の RTD が作製され、二重量子井戸 n-RTD (図 1・8) で室温で発振が観測されている⁵⁾。また、 δ -ドープを用いた RITD (図 1・8) で 20.2 GHz の発振が観測されている⁶⁾。

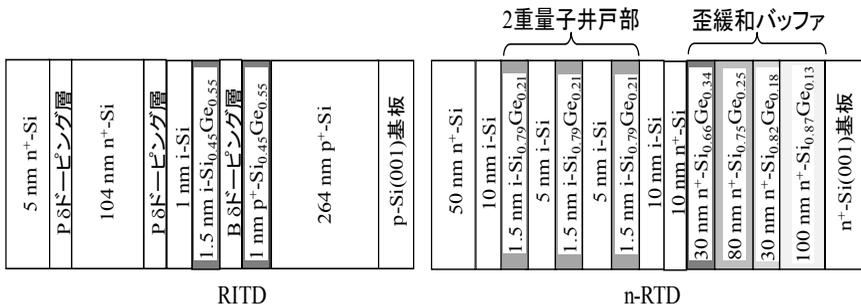


図 1・8 Si/SiGe 系の RITD (左) と電子キャリア型 RTD (n-RTD) (右)

*1 RTD は Resonant Tunneling Diode の略称で共鳴トンネルダイオード、ITD は Interband Tunneling Diode の略称でバンド間トンネルダイオード、RITD は Resonant Interband Tunneling Diode の略称で共鳴バンド間トンネルダイオード。

3 端子共鳴トンネルトランジスタ (RTT) として (図 1・7 参照), III-V 系では RHET^{*1}, QuESTT^{*1} やゲートで量子井戸部のチャネル幅を制御する電界効果型 RTT, TD と HEMT^{*1}, MOSFET^{*1}, HBT^{*1} を集積したトランジスタが作製されている. TD と RTT を組み合わせた, 双安定動作を利用した回路 (MOBILE1^{*1} 回路⁷⁾) が多種作製されている. Si 系では, Si/SiGe 系の RITD と MOS を集積した SRAM や, RITD と HBT を集積したトランジスタが作製されている.

■参考文献

- 1) R. Tsu and L. Esaki, "Tunneling in a finite superlattice," Appl. Phys. Lett., vol.22, no.11, pp.562-564, 1973.
- 2) L. Esaki and R.Tsu, "Superlattice and negative differential conductivity," IBM J Res. Dev., vol.14, pp.61-65, 1970.
- 3) M. Sweeny and J. Xu, "Resonant interband tunnel diodes," Appl. Phys. Lett., vol.54, no.6, pp.546-548, 1989.
- 4) 須田良幸, "Si1-xGex 混晶半導体," 実験化学講座(日本化学会), vol.27, 2-1-2 節, pp.68-79, 丸善, 2004.
- 5) Y. Suda, H. Maekawa, N. Asaoka, and M. Suhara, "Room temperature oscillation in Si/Si1-xGex resonant tunneling diode," Ext. Abs. 2007 Int. Conf. on Solid State Devices and Materials, pp.216-217 (The Japan Society of Applied Physics, Tsukuba, 2007).
- 6) S.-Y. Chung, R. Yu, N. Jin, Si-Y. Park, P. R. Berger, P. E. Thompson, "Si/SiGe resonant interband tunnel diode with fro 20.2 GHz and peak current density 218 kA/cm2 for K-band mixed-signal applications," IEEE Electron Device LETT., vol.27, no.5, pp.364-367, 2006.
- 7) K. Maezawa, and T. Mizutani, "A new resonant. tunneling logic gate employing monostable-bistable. transition," Jpn. J. Appl. Phys., vol.32, pp.L42-L44, 1993.

*1 RHET は Resonant Tunneling Hot-Electron Transistor の略称で共鳴トンネルホットエレクトロントランジスタ, QuESTT は Quantum Excited State Transistor の略称で量子励起準位トランジスタ, HEMT は High Electron Mobility Transistor の略称で高電子移動度トランジスタ, MOSFET は Metal Oxide Semiconductor Field Effect Transistor の略称で金属酸化物半導体電界効果トランジスタ, HBT は Heterojunction Bipolar Transistor の略称でヘテロ接合バイポーラトランジスタ, MOBILE は Monostable-Bistable Transition Logic Element の略称で単安定-双安定転移論理素子.

■S2 群-2 編-1 章

1-5 ナノ接合プロセス

(執筆者：浦岡行治) [2009年3月 受領]

1-5-1 はじめに

生体超分子の代表であるタンパク質は、細胞の中で極めて多様なものが相互作用しながら働いているが、特定のタンパク質は体中のどの細胞中でも全く同一のものが合成されている。すなわち、制御が確立された系である生物では、多様性は多量のタンパク質の種類で確保し、同じ機能実現には同じタンパク質を体中で合成している。これを実現しているのは、修復機構を有する安定な遺伝子情報を利用してタンパク質を合成する仕組みである。この仕組みは工業における規格品に似ており、工学的に重要である。すなわち、ある特定のタンパク質は、同じ図面から作られた全く同じ構造をもつ規格品と捉えることができ、この性質を利用すれば、このタンパク質を単位として周期構造を作製することができる。更に、タンパク質は自然界では極めて巧妙なナノ構造を自己集合により作りあげている。このことは、タンパク質を利用したナノ構造構築が、半導体リソグラフィ技術の限界を破るひとつの回答であることを示している。すなわち、ナノ構造を削り出すのではなく、タンパク質のナノブロックを自己集合により積み上げることでナノ構造を作製することが可能と考えられる。この考え方はボトムアップナノ構造作製技術である。

1-5-2 バイオ技術を利用したバイオナノプロセス

このような背景から、バイオテクノロジーを用いたナノスケールの構造物を作製する新規手法の開発を目的とした研究を行っている。しかし、いかにタンパク質がナノブロックとして理想的な単位でありナノ構造を作製する能力があるとしても、現在の工学で要望されているのは主として無機材料のものである。タンパク質のナノ構造も必要とされているが、現時点では半導体に代表されるように圧倒的に無機材料のナノ構造の方が工学的な要求が大きい。そこでタンパク質に何らかの方法で無機材料を担持させてバイオナノブロックとし、これを用いてナノ構造をつくり、その後何らかの方法でタンパク質を除去して無機材料のナノ構造を作製することを目指している。この手法は「バイオナノプロセス」と呼ばれている。

この研究では、フェリチンというタンパク質 (図 1・9) に様々な無機材料を内包し、単分散なナノ粒子を作製する。更に、タンパク質の自己集合能を用いて、基板上にタンパク質の2次元結晶を作製し、タンパク被膜を除去することで基板上に無機材料のナノドット2次元配列を作製する。このナノドットをフローティングゲートとして用いることによるフローティングゲートメモリの作製 (図 1・10) を目指した¹⁾⁻³⁾。

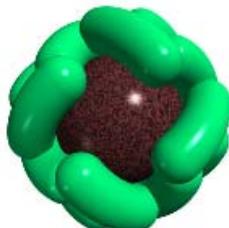


図 1・9 フェリチンタンパク

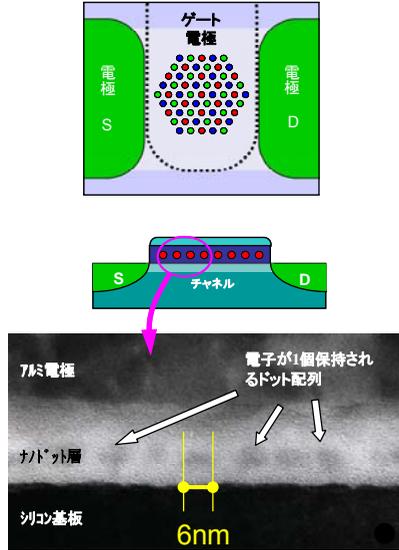


図 1・10 フローティングゲートトランジスタ

1-5-3 電子材料としてのフェリチンタンパク

フェリチンは生物界に広く存在する鉄保存用のタンパク質で、生体内で必須微量元素である鉄の量を調節している。フェリチンは1本のポリペプチド鎖から形成されるサブユニットが非共有結合で24個集まった分子量約46万の球殻状タンパク質である。直径は約12nmで、この球形のタンパク質の中心には直径約7nmの空洞があり、通常のタンパク質に比べて高い熱安定性とpH安定性を示す。生体中の二価鉄イオンは、一部のサブユニット内にある鉄酸化活性部位と呼ばれる場所で酸化された後、空洞内の内側表面の負電荷領域でコア形成し、約4000個の鉄がフェリハイドライト ($5\text{Fe}_2\text{O}_3 \cdot 9\text{H}_2\text{O}$) 結晶のコアを形成する。そして、生体内の鉄が不足すると保持している鉄を取り崩して生体内で利用する。

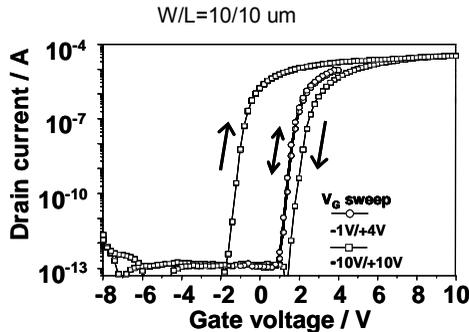


図 1・11 メモリ特性

このフェリチンの酸化鉄のコアは比較的簡単に取り出すことが可能で、内部に金属コアをもたないタンパク質のみのフェリチンをアポフェリチンと呼ぶ。このアポフェリチンに様々な無機化合物を導入しており、これまでに Fe, Co, Ni, CdSe の導入に成功している。このようにいろいろな金属を内包することができれば、フローティングゲートとして用いるコアに仕事関数が異なるものを選べることになり、フローティングゲートメモリ (図 1・11) を作製するにあたり非常に有望である。

1-5-4 まとめ

バイオ技術を利用して、ナノメートルスケールのタンパクのコアを用いた FG 型 MOSFET を試作しその電気的特性を評価した。入力特性には、ゲート電圧に対するヒステリシスが観測され、明確なメモリ効果が示された。電荷保持特性を測定することによりメモリデバイスへの応用を議論した。本研究によって提案したバイオナノプロセスは今後の半導体デバイス作製プロセスにおいて新しい展開を期待させるものである。

■参考文献

- 1) A.Miura et al, "bionadot mmonolayer array fabrication for nonvolatile memory application," Surface Science Letters, 601, L.81-L85, 2007.
- 2) K.Yamada et al, "Effects of Dot Density and Dot Size on Charge Injection Characteristics in Nanodot Array Produced by Protein Supramolecules," Jpn. J. Appl. Phys., vol.46, no.11, 2007.
- 3) A. Miura et al, "Floating Nanodot Gate Memory Devices Based on Biomineralized Inorganic Nanodot Array as A Storage Node," Jpn. J. Appl. Phys., vol.45, no.01, pp.L1-L3, 2006.