

■S2 群 (ナノ・量子・バイオ) - 3 編 (ナノ光エレクトロニクス)

4 章 シリコンフォトンクス

【本章の構成】

本章では以下について解説する.

- 4-1 シリコンフォトンクスの現状と展望
- 4-2 シリコン発光技術の現状と展望
- 4-3 シリコン光検出・光変調技術の現状と展望
- 4-4 フォトンクスとエレクトロニクス融合に向けて

■S2 群-3 編-4 章

4-1 シリコンフォトニクスの現状と展望

(執筆者：馬場俊彦) [2010年10月 受領]

4-1-1 概要

シリコン (Si) は、低発光効率をはじめ、光学機能の点で専用の材料よりも劣るが、高品質・大面積な単結晶ウエハが市販される無害で豊富な材料であり、LSI の発展を支える高度な CMOS プロセス、それを請け負うファウンドリー企業がある。これらの利点を活かして欠点を克服し、様々な光デバイスの開発、低コスト化、大規模・高機能光集積や高度な光電子集積、チップ内光インターコネクションなどを目指す研究が進展しており、多くの LSI メーカーや設計主体のファブレスベンチャーの参入、専門ファウンドリーの開始、バイオセンシングなど異分野への展開など、一大分野を形成しつつある。以下、発展の基盤となった様々な光デバイスを解説し、システム応用やファウンドリー利用の現状を紹介する。なお、近年の進展や拡大が著しいため、文献がすぐに陳腐化する可能性がある。本稿の引用は初期研究をまとめた招待論文や書籍、最新レビュー、会議論文にとどめることをお許しいただきたい^{1)~11)}。

4-1-2 パッシブデバイス

Si フォトニクスは Si 光導波路の開発から始まった。SOI 基板の普及後、当初は大型リブ型導波路が研究されたが、加工技術の進歩とともに厚さ 0.2 μm 、幅 0.5 μm 程度の細線導波路へ移行した。フットプリントが極端に小さいので、大規模・高密度な光配線が可能になる。伝搬損失は、製作不均一による散乱が主原因となる。上のように扁平な断面にすると抑えられ、揺らぎを 1 nm 程度にすれば < 2 dB/cm となる。扁平な断面は大きな偏波依存性を生むので、通常は TE のみで利用され、偏波無依存動作には偏波ダイバーシティーが使われる。また、このような極小導波路をファイバに直結してもほとんど光が結合せず、レンズや先球ファイバを介しても損失 10 dB 以上である。逆テーパ細線型スポットサイズ変換器を使うと、 4-1 に示すように、損失 0.7 dB 以下となる。また、グレーティング結合器を使うと、損失 3 dB 程度で基板上方のファイバから光が結合され、チップ分離前のウエハ状態でのデバイス評価に有効となる。

高屈折率差の細線導波路では 5 μm 以下の微小曲げが許容され、自由に光配線が行える。構造の最適化により、長さ数 μm 、過剰損失 0.3 dB 以下の分岐や合流、2×2 カブラ、方向性結合器、交差が得られている。導波路断面を非対称化すると偏波回転素子も得られるが、逆に細線の意図しない非対称が偏波回転を生む点に注意が必要である。以上の組合せで信号分配用 H ツリー回路、マッハツェンダー干渉計 (MZI)、偏波ダイバーシティー回路が得られる。合分波デバイスでは、細線を用いたアレイ導波路回折格子 (AWG) が、チャンネル間隔 10 nm に対して大きさ 70 μm 角と小型になる。ただし、細線幅の僅かな揺らぎが波面を乱すので、より狭いチャンネル間隔でクロストーク -20 dB 以下は困難である。スラブ端を回折格子加工して AWG のアレイ導波路を置き換えたエッチドグレーティングも開発されており、エッチング精度は要求されるものの、位相揺らぎの問題が解消される。AWG よりも波長アド/ドロップが容易なのがリング共振器アレイである。加熱やキャリア注入による波長チューニング、複数のリングの結合によるフラットトップ化、正負の熱光学効果を相殺させる温度無依存化も検討されている。ま

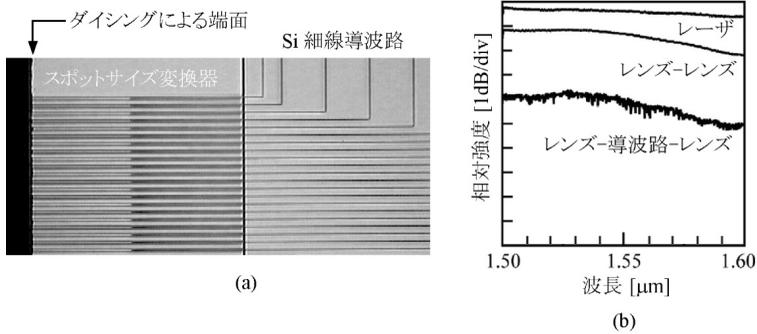


図 1・1 Si 細線導波路

(a) 多くのスポットサイズ変換器付き導波路(幅 $0.4\ \mu\text{m}$)が集積された様子. (b) レンズ付き単一モードファイバを介した長さ $5\ \text{mm}$ の細線導波路の透過スペクトル. 伝搬損失は約 $3\ \text{dB/cm}$, ファイバと導波路の接続損失は $0.7\ \text{dB}$ /接続以下.

た, MZI やその多段従属接続は広いチャネル間隔の合分波に用いられる. 加熱やキャリア注入で MZI の干渉を調整し, 製作誤差が補償される. これを発展させたラティス型では, 任意関数のフィルタ合成がオンチップで可能になりつつある.

4-1-3 光制御デバイス

光変調器はオンチップやチップ間の信号送受信の基幹デバイスである. 開発の主流は Si の pn 接合を用いたキャリア制御型であり, 上下の接合を持つ大きなリブ型導波路もあるが, より広く用いられるのは細線導波路に近い深堀リブ型と横方向の pin 接合へのキャリア注入, または pn 接合からのキャリア引き抜きの組合せである. 一般にキャリア寿命は ns と長い, 導波路が小さいこととプリバイアスなど変調信号の工夫により, $40\ \text{GHz}$ 近い位相変調が得られる. 変調度を深くし, プラズマ吸収を減らすことが課題である. この位相変調は MZI やリング共振器で強度変調に変換される. 高速変調時の屈折率変化が小さいので, MZI では $1\ \text{mm}$ 以上の長尺が必要になるが, 広い波長範囲で動作できる. リングでは共振波長をシフトさせて変調するので, 共振幅が狭ければ小さな屈折率変化での動作や $10\ \mu\text{m}$ 以下の小型デバイスが可能になるが, 波長制限や温度変化に対する不安定が問題となる. また, Si/Ge 多重量子井戸の電界吸収型変調器もある. 量子閉じ込めシュタルク効果により, $30\ \mu\text{m}$ 以下の短尺で $40\ \text{Gbps}$ 動作が得られる. 細線から SiGe 導波路へ光結合させる必要があり, プロセスが複雑で損失が大きい点と, 吸収波長が原理的に温度依存性を持つ点が課題である.

Si 自体の大きな非線形と小さな導波路断面により, 細線導波路はファイバに比べて著しい短尺で非線形を起こす. 一例が誘導ラマン増幅器やラマンレーザーである. ただし, 高強度の励起光は二光子吸収され, キャリアプラズマ吸収を誘発する. これらは単独で光リミッターとして利用することができるが, レーザーには不適である. pn 接合の逆バイアスでキャリアを引き抜き, 連続レーザー発振が得られる. また自己位相変調や四光波混合も手軽に得られる. ただし, 二光子吸収はこれらの目的にとっては障害であり, 根本的な解決策が望まれる.

4-1-4 アクティブデバイス

Si は間接遷移なので、室温での内部量子効率 η_{int} は 10^{-5} 以下である。Si 上で発光素子を得るには発光自体を強める方法と、III-V 族デバイスを Si と融合する方法がある。前者の一つは材料的に発光を強める方法で、ナノ結晶やナノ構造で電子のバンドを変調するか、Er など発光準位を持つ希土類金属を添加する方法がある。もう一つは、光の真空場を変調して発光を強める方法で、微小共振器や金属表面プラズモンによるパーセル効果がある。ただし、何れも効率は数%以下である。最近、Ge 光励起レーザーが注目されている。Ge も間接遷移であるが、Si 上へのエピタキシーが可能で、その際の残留歪みと高濃度 n 型ドーピングにより直接遷移発光が起こるといふ理屈である。電流注入発振が期待される。直近の実用的な発光素子としては、III-V 族の融合が現実味を増している。Si への直接エピタキシーは難しいので、接着剤を使った GaInAsP 系レーザーの貼り付けや、GaInAsP 層の直接貼り付けによるレーザー形成が行われる。後者では GaInAsP 層に電流を注入し、細線を伝搬する光がエバネッセント結合して利得を得る。多波長集積された DFB レーザーで 100°C 以上の連続動作が得られている。

光検出器についても Si 上にエピタキシャル成長された Ge の PIN フォトダイオードや APD が用いられる。この成長では、大きな格子定数差を克服するために干渉層の導入とアニールの組合せが成功し、検出感度、暗電流共に InGaAs 系デバイスに遜色なく、40 GHz を超える応答が達成されている。ただし Si 電子回路の後にこれを形成する場合、成長やアニールの温度を 450°C 以下に抑える必要があり、低温プロセスが課題になっている。

4-1-5 システム応用

目立った研究開発は光トランシーバや光レシーバ、チップ内光インターコネクション、及びバイオセンシングで行われている。最初の 2 つは米国の計算機メーカやベンチャーが精力的である。光トランシーバでは、外部レーザーや集積レーザーの光が MZI 光変調器で変調され、MZI やエッチドグレーティングの合分波器で合波され、グレーティングカプラで光ファイバに結合される。ファイバからの信号入力は分波され、Ge 光検出器で受光される。必要に応じて偏波ダイバーシティー回路が用いられる。例えば、12.5 Gbps、4 チャンネルでエラーフリー伝送が実証されている。このような Si フォトニクスチップは、同時に搭載された電子回路を含めてもケーブルコネクタに納まるので、電気のコネクタで光通信を行うアクティブ光ケーブルとして商品化され、システム利用が試されている。光インターコネクションについては構成、CMOS プロセスとの整合性など多様な検討がある。H ツリー回路によるクロック配信、オンチップ信号伝送、マルチコア間の光バス構想、積層基板間の光接続などが報告されている。光通信用デバイスでは、多値変調フォーマットに対応する QPSK や DQPSK、偏波多重の DQPSK の変調器や受信器がコンパクトに製作、40 Gbps 伝送が実証されている。

バイオセンシングはこれらの応用とは色味が違うが、欧米を中心に研究が拡大している。微量の生体試料を使い捨てセンサーで検出するため、Si 微小共振器などで感度や分解能を増幅させたバイオセンサをほかの光部品や微小流路（マイクロフルイディクス）と集積化、システム化し、大量生産、低コストを実現するというシナリオが検討されている。実際、リング共振器やフォトニック結晶共振器、MZI 回路によるセンシングが実証されている。

4-1-6 ファウンドリー利用の研究開発

以上のように、この分野はより高機能なデバイス開発とシステム応用に向かっている。しかし、設備の少ない機関が自ら製作を行って研究開発競争に参加するのが難しい。そこで最近、エレクトロニクスにならった Si フォトニクス専門のファウンドリーサービスがいくつか登場した。これを用いて高度な光チップが入手できるようになれば、高価なプロセス設備を購入、管理、技術開発する必要がなく、研究者は設計と評価に集中できる。単独発注だと 500~1000 万円の費用がかかるが、多くのカスタマーが 1 枚のウエハに対してパターンを相乗りするシャトルプロセスを利用すれば、カスタマーごとの負担を数十万円に抑えることができる。この場合、すべてのカスタマーの仕様を近づけてファウンドリー側が作りやすくする必要があり、1 枚のウエハに対する構造やプロセスのレシピが限定される。しかし見方を変えれば、大規模集積や繰り返しプロセスに適した、従来とは異なるデバイス設計や回路構成につながり、新たな研究や知財の種となる。前述の偏波ダイバーシティーは、高コストのために従来の光回路で採用されてこなかった。しかし、直交偏波用の 2 つの回路を収納することが容易な Si フォトニクスでは、必ずしもコストに反映されない。同様に、従来否定されてきた構成が今後の研究で甦る可能性は十分にある。図 4・2 はファウンドリーを利用して製作された光パルス列発生器である。細線導波路と光部品の面内均一性や安定性が保証されることで、このような光機能素子が容易に得られる。

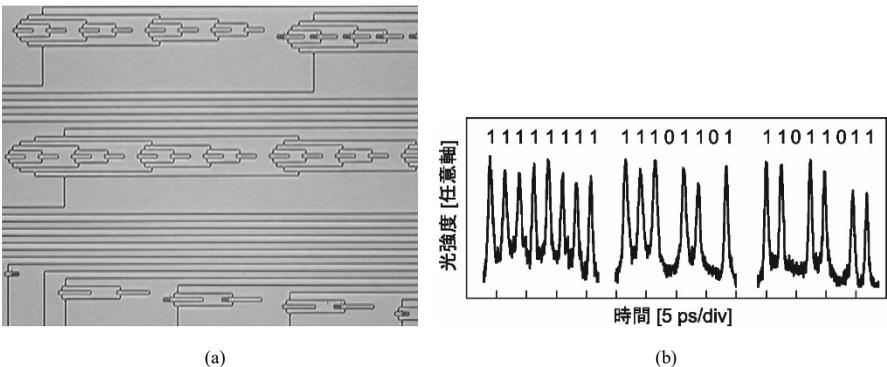


図 1・2 細線導波路の合流・分岐の繰り返しを利用して構成される光パルス列生成回路

(a) 回路の一部の写真。線状に見えるのは幅 $0.4 \mu\text{m}$ の細線導波路。(b) 3 種類の回路により生成された光パルス列波形。

ファウンドリー各社がレシピや発注法、発注時期などを公開している。基本的に設計はカスタマー責任で行い、それを業界標準の GDS II フォーマットで期日までに提出する。ファウンドリーはデータを確認、受理した後、製作、寸法検査を経てウエハやチップを出荷する。これ以外に設計やデータ作成、動作評価などの追加サービスが有償で用意される場合もある。今後の課題は仕様の標準化である。デバイス細部の設計をやり直さなくてもいいように、導波路断面形状、曲げ半径、分岐や交差、導波路間隔などの基本項目を業界全体であらかじめ決めておくことと便利である。また、ファウンドリーの利用は設計や技術の流出につながるという点で諸刃の刃である。知財権を抑えることはこの種の研究では必須となろう。

■参考文献

- 1) 馬場俊彦, 坂井 篤, 深澤達彦, 大野文彰 : “Si 細線導波路,” 電子情報通信学会論文誌, vol.J88-C, no.6, pp.363-373, 2005.
- 2) D.K. Sparacin, S.J. Spector, and L.C. Kimerling : “Silicon waveguide sidewall smoothing by wet chemical oxidation,” J. Lightwave Technol., vol.23, no.8, pp.2455-2461, 2005.
- 3) T. Tsuchizawa, K. Yamada, H. Fukuda, T. Watanabe, J. Takahashi, M. Takahashi, T. Shoji, E. Tamechika, S. Itabashi, and H. Morita : “Microphotonics devices based on silicon microfabrication technology,” IEEE J. Sel. Top. Quantum Electron., vol.11, no.1, pp.232-240, 2005.
- 4) H. Yamada, T. Chu, S. Ishida, and Y. Arakawa : “Si photonic wire waveguide devices,” IEEE J. Sel. Top. Quantum Electron., vol.12, no.6, pp.1371-1379, 2006.
- 5) W. Bogaerts, P. Dumon, D. Van Thourhout, D. Taillaert, P. Jaenen, J. Wouters, S. Beckx, V. Wiaux, and R.B. Baets : “Compact wavelength-selective functions in silicon-on-insulator photonic wires,” IEEE J. Sel. Top. Quantum Electron., vol.12, pp.1394-1401, 2006.
- 6) B. Jalali and S. Fathpour : “Silicon photonics,” J. Lightwave Technol., vol.24, no.12, pp.4600-4615, 2006.
- 7) L. Pavesi and D. J. Lockwood, Eds. : “Silicon Photonics,” Springer, 2004.
- 8) L. Pavesi and G. Guillot, Eds. : “Optical Interconnects,” The Silicon Approach, Springer, 2006.
- 9) 金光義彦, 深津晋(編) : “シリコンフォトニクス—先端光テクノロジーの新展開,” オーム社, 2007.
- 10) “Review articles on silicon photonics,” Nature Photonics, vol.4, no.8, pp.511-544, 2010.
- 11) Conference papers in Opt. Fiber Commun. Conf., European Conf. on Opt. Fiber Commun., IEEE Group IV Photonics, etc. 2010.

■S2 群-3 編-4 章

4-2 シリコン発光技術の現状と展望

(執筆者：富士田誠之) [2018年12月受領]

シリコンは、今日のエレクトロニクスの発展を支えてきた半導体であり、優れた電氣的、機械的特性を有し、いわゆる CMOS (Complementary-Metal-Oxide-Semiconductor) や MEMS (Micro-Electro-Mechanical Systems) の成熟した加工技術を用いて、高精度に加工することが可能である。ここで、高速化する電子回路の遅延と発熱の問題を解決するため、シリコンを基盤の材料として、光デバイスとエレクトロニクスとの融合を目指すシリコンフォトンクスという分野の研究開発が進展している。発光デバイスのシリコン光回路への集積化がシリコンフォトンクス技術の鍵の一つであるが、後述するようにシリコンの発光効率が極めて低いため、一般に発光デバイスは化合物半導体から作製されており、それをシリコンの光回路へ貼り合わせるというハイブリッド集積化が行われている¹⁾²⁾。発光デバイスも含め、すべてがシリコンからなるフォトンクスデバイスが実現できれば理想的であるが、シリコンそのものを用いた発光技術の開発は挑戦的な課題である^{3)~9)}。

シリコンの発光効率が低い原因は、そのエネルギーバンド構造に由来する。半導体において、エネルギーの高い伝導帯から低い価電子帯への電子の遷移の際に発光現象が生じるが、その際には、エネルギーと運動量の保存則が満たされる必要がある。発光デバイスに利用される多くの化合物半導体では、図 2・1(a)に示すように伝導帯の最低エネルギーと価電子帯の最高エネルギーにおける運動量が一致している直接遷移型半導体であるため、伝導帯の電子と価電子帯のホールの発光再結合が容易に生じる。一方で、シリコンは同図(b)に示すように、前述の運動量が一致していない間接遷移型半導体である。そのため、運動量の変化に相当するフォノンが伝導帯からの電子の遷移に必要である。シリコンにおける電子とフォノンの相互作用の割合は小さく、結果として、シリコンの発光再結合レートは、化合物半導体と比べて小さくなる。

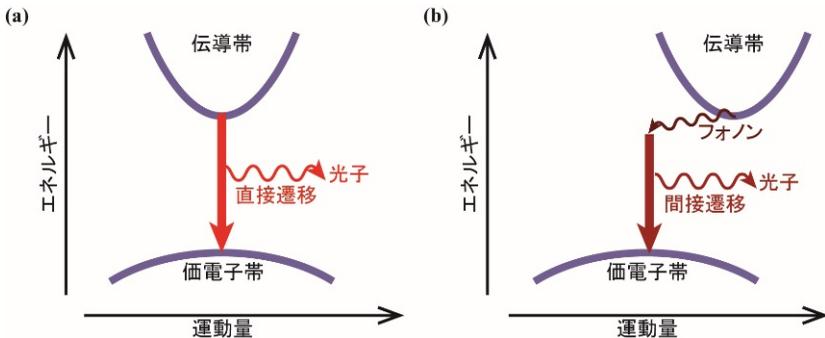


図 2・1 半導体のエネルギーバンド構造と発光遷移の概念図。(a) 直接遷移型半導体、(b) 間接遷移型半導体

ここで、実際の発光体、デバイスでは、欠陥や表面などに起因し、励起されたキャリアのエネルギーが発光に寄与せず失われる非発光過程が存在し、発光過程と競合する。また、励起キ

キャリアの密度が高くなると、オージェ再結合と呼ばれる非発光過程が支配的になる。励起されたキャリアに対する発光体中で発生する光子の割合を示す内部量子効率に関して、シリコンは、前述のように発光再結合レートが小さいため、 10^{-4} から 10^{-6} 程度と小さくなり、発光効率が極めて低いと言える。

このようなシリコンの発光効率の向上に向けて、量子ナノ構造により電子を閉じ込めることで電子状態を制御し、発光再結合レートを向上させる試みが報告されている^{10)~13)}。一方、量子論によると、発光現象は発光体の電子状態だけではなく、発光体周辺の電磁界環境にも依存し、光の波長オーダー、もしくはそれ以下の空間へ光を強く閉じ込めるような電磁界環境の下では、発光レートが増大する可能性が示唆されている^{14)~16)}。シリコンを周期的な屈折率分布を有するフォトリソニック結晶を用いた微小共振器に加工する^{17)~26)}、もしくは、金属を用いた表面プラズモン状態^{27), 28)}により光の局在状態を形成することで、発光レートを向上させる試みが報告されている。

内部量子効率の向上には、発光レートの向上に加えて、表面パッシベーション処理などによる非発光過程の抑制も重要である^{20), 24)}。前述した発光レートの増大は、光学利得の増大につながる可能性があるが、レーザーの実現に向けては、非発光過程の低減に加えて、自由キャリア吸収といった光に対する損失要因も乗り越える必要がある^{4)~8)}。また、発光ダイオードへの応用を考えると、シリコンは屈折率が高いため、有効に外部へ閉じ込められる光の割合が低く、光取り出し効率の向上にも必要である^{18), 29)}。

■参考文献

- 1) R.A. Soref : "The past, present, and future of silicon photonics," IEEE J. Sel. Topics Quantum Electron., vol.12, no.6, pp.1678-1687, Nov. 2006.
- 2) D. Liang and J.E. Bowers : "Recent progress in lasers on silicon," Nature Photon., vol.4, no.8, pp.511-517, Aug. 2010.
- 3) S.S. Iyer and Y.H. Xie : "Light emission from silicon," Science, vol.260, no.5104, pp.40-46, Apr. 1993.
- 4) L. Pavesi and D.J. Lockwood (eds.) : "Silicon Photonics," Springer, Berlin, 2004.
- 5) G.T. Reed (ed.) : "Silicon Photonics: the state of the art," Wiley, West Sussex, 2008.
- 6) 金光義彦, 深津 晋(編) : "シリコンフォトリソニック—先端光テクノロジーの新展開," オーム社, 2007.
- 7) B. Jalali and S. Fathpour : "Silicon photonics," J. Lightw. Technol., vol.24, no.12, pp.4600-4615, Dec. 2006.
- 8) M. Fujita : "Nanocavity brightens silicon," Nature Photon., vol.7, no.4, pp.264-265, Apr. 2013.
- 9) S. Saito, F.Y. Gardes, A.Z. Al-Attili, K. Tani, K. Oda, Y. Suwa, T. Ido, Y. Ishikawa, S. Kako, S. Iwamoto, and Y. Arakawa : "Group IV light sources to enable the convergence of photonics and electronics," Front. Mater., vol.1, pp.1-1-1-5, Sep. 2014.
- 10) N. Koshida and H. Koyama : "Visible electroluminescence from porous silicon", Appl. Phys. Lett. vol.60, no.3, pp.347-349, Jan. 1993.
- 11) L. Pavesi, L. Dal Negro, C. Mazzoleni, G. Franzò, and F. Priolo : "Optical gain in silicon nanocrystals," Nature, vol.408, no.6811, pp.440-444, Nov. 2000.
- 12) S. Saito, Y. Suwa, H. Arimoto, N. Sakuma, D. Hisamoto, H. Uchiyama, J. Yamamoto, T. Sakamizu, T. Mine, S. Kimura, T. Sugawara, and M. Aoki : "Stimulated emission of near-infrared radiation by current injection in to silicon (100) quantum well," Appl. Phys. Lett., vol.95, no.24, pp.241101-1241101-1-3, Dec. 2009.
- 13) W.D.A.M. de Boer, D. Timmerman, K. Dohnalová, I.N. Yassievich, H. Zhang, W.J. Buma, and T. Gregorkiewicz : "Red spectral shift and enhanced quantum efficiency in phonon-free photoluminescence from silicon nanocrystals," Nature Nanotech. vol.5, no.12, pp.878-884, Dec. 2010.
- 14) E.M. Purcell : "Spontaneous emission probabilities at radio frequencies," Phys. Rev., vol.69, no.11, p.681, Jun. 1946.

- 15) K.J. Vahala : “Optical microcavities,” *Nature*, vol.1, no.6950, pp.839-846, Aug. 2003.
- 16) S. Noda, M. Fujita, and T. Asano : “Spontaneous-emission control by photonic crystals and nanocavities,” *Nat. Photon.*, vol.1, no.8, pp.449-458, Aug. 2007.
- 17) S. Iwamoto, Y. Arakawa, and A. Gomyo : “Observation of enhanced photoluminescence from silicon photonic crystal nanocavity at room temperature,” *Appl. Phys. Lett.*, vol.91, no.21, pp.211104-1-211104-3, Nov. 2007.
- 18) M. Fujita, Y. Tanaka, and S. Noda : “Light emission from silicon in photonic crystal nanocavity,” *IEEE J. Selec. Top. Quant. Elec.*, vol.14, no.4, pp.1090-1097, Jul. 2008.
- 19) N. Hauke, T. Zabel, K. Müller, M. Kaniber, A. Laucht, D. Bougeard, G. Abstreiter, J.J. Finley, and Y. Arakawa : “Enhanced photoluminescence emission from two-dimensional silicon photonic crystal nanocavities,” *New J. Phys.*, vol.12, no.5, pp.053005-1-053005-8, May 2010.
- 20) M. Fujita, B. Gelloz, N. Koshida, and S. Noda : “Reduction in surface recombination and enhancement of light emission in silicon photonic crystals treated by high-pressure water-vapor annealing,” *Appl. Phys. Lett.*, vol.97, no.12, pp.121111-1-121111-3, Sep. 2010.
- 21) S. Nakayama, S. Ishida, S. Iwamoto, and Y. Arakawa : “Effect of cavity mode volume on photoluminescence from silicon photonic crystal nanocavities,” *Appl. Phys. Lett.*, vol.98, no.17, pp.171102-1-171102-3, Apr. 2011.
- 22) R. Lo Savio, S.L. Portalupi, D. Gerace, A. Shakoor, T.F. Krauss, L. O’Faolain, L.C. Andreani, and M. Galli : “Room-temperature emission at telecom wavelengths from silicon photonic crystal nanocavities,” *Appl. Phys. Lett.*, vol.98, no.20, pp.201106-1-201106-3, May 2011.
- 23) S. Iwamoto and Y. Arakawa : “Enhancement of light emission from silicon by utilizing photonic nanostructures” , *IEICE Trans. Electron*, vol.E95-C, no.2 pp.206-212, Feb. 2012.
- 24) H. Sumikura, E. Kuramochi, H. Taniyama, and M. Notomi : “Enhanced electron-hole droplet emission from surface-oxidized silicon photonic crystal nanocavities,” *Opt. Express*, vol.24, no.2, pp.1072-1081, Jan. 2016.
- 25) H. Sumikura, E. Kuramochi, H. Taniyama, and M. Notomi : “Purcell enhancement of fast-dephasing spontaneous emission from electron-hole droplets in high-Q silicon photonic crystal nanocavities,” *Phys. Rev. B*, vol.94, no.19, pp.195314-1-195314-6, Nov. 2016.
- 26) T. Ihara, Y. Takahashi, S. Noda, and Y. Kanemitsu : “Enhanced radiative recombination rate for electron-hole droplets in a silicon photonic crystal nanocavity,” *Phys. Rev. B*, vol.96, no.3, pp.035303-1-035303-7, Jul. 2017.
- 27) C.H. Cho, C.O. Aspetti, J. Park, and R. Agarwal : “Silicon coupled with plasmon nanocavities generates bright visible hot luminescence,” *Nature Photon.*, vol.7, no.4, pp.285-289, Apr. 2013.
- 28) J. Goffard, D. Gérard, P. Miska, A. Baudrion, R. Deturche, and J. Plain : “Plasmonic engineering of spontaneous emission from silicon nanocrystals,” *Sci. Rep.* vol.3, pp.2672-1-2672-7, Sep. 2013.
- 29) S. Noda and M. Fujita : “Photonic crystal efficiency boost,” *Nature Photon.*, vol.3, no.3, pp.129-130, Mar. 2013.

■S2 群-3 編-4 章

4-3 シリコン光検出・光変調技術の現状と展望

(執筆者：藤方潤一) [2010年10月 受領]

シリコンフォトンクスが目指すシリコン基板上への光デバイスと電子回路を集積した光・電子融合技術においては、光回路と電子回路の間で光-電気変換 (O/E) 及び電気-光変換 (E/O) を行う能動光デバイスが必要不可欠である。

E/O 素子としては、シリコン上のレーザーの研究も活発に行われてきているが、本節では、早期実用化が期待されるシリコン光検出器とシリコン光変調器の現状と将来展望について報告する。

4-3-1 シリコン光検出器

シリコン光検出器としては、Si のバンドギャップが約 1.1 eV であることから、Si を光吸収材料として短波長の領域での光検出を行うデバイス開発と、Si プロセスと整合性のある Ge を光吸収材料として、短波長及び通信帯の波長を検出するデバイス開発の両方が行われている。

Si を利用した光検出器に関しては、Si の光吸収係数が一般的に利用されている GaAs などの III-V 材料に比較して 1 桁以上小さいことが課題であり、小型・高速化のためには、共振器構造や表面プラズモンによる光局在効果を利用したデバイス開発⁷⁾が行われている。また、Si に結晶欠陥を導入して、長波長側で受信感度を持たせる検討も最近行われている。このような結晶欠陥を導入するプロセスとしては、Si⁺イオンや Ar⁺イオン照射を利用した検討結果が報告されており^{2),3)}、高効率化・高速化に向けた検討も報告されている⁴⁾。

Ge をベースとした光検出器に関しては、Si 上に形成する際、Si と Ge の格子ミスマッチが 4.2%程度あることが大きな課題であった。しかしながら、近年になって Si 上に高品質な Ge 層をエピタキシャル成長した例が数多く報告されるようになってきた。格子ミスマッチは、Stransky-Krastanov 成長に起因した表面ラフネスや貫通転位を引き起こす。これに対し、低温で数十 nm オーダの Ge 層をシード層として成長させることにより、Ge の島状成長を抑制し、更にこの上に 600°C 以上で比較的厚い Ge 層を成長させる 2 ステップの成長プロセス、更に成長後の 750°C 以上のアニール処理により、貫通転位密度を 2 桁程度低減可能なことが報告されている⁵⁾。このような成長後のアニールは、Si と Ge 層の相互拡散を伴うという問題はあがるが、光検出器では Ge 吸収層が比較的厚いため高いパフォーマンスが得られている⁶⁾。また、その他の方法としては、成長後に H₂ アニールをして表面ラフネスや貫通転位を低減するプロセス⁷⁾や、薄い SiGe バッファ層上に Ge 層を成長させる⁸⁾などの報告がある。

Ge を光デバイスへ適用する際には、結晶歪みがデバイス性能に大きく影響を及ぼす。Si 上に Ge を成長した際には、成長時の歪みは 600°C 付近で成長させることにより緩和されるものの、Ge の熱膨張係数が Si に比較して大きいため、引張り歪みが導入される。これにより、約 0.25% の引張り歪みが実現されている。このような歪み導入は、バンドギャップを小さくするとともに、間接遷移型のバンドギャップから直接遷移型のバンドギャップへとバンド構造を変化させる。すなわち、引張り歪みの導入により、通信波長帯の C バンドと L バンドに適用可能な受信感度特性を実現することが可能である⁹⁾。

Ge 受光器を集積化するためには、Ge 層を Si 基板上の指定されたエリアに選択的に成長する

ことが望まれる。Ge 層の選択成長に関しては、通常 SiO_2 あるいは Si_3N_4 のような誘電体マスクを用いて行われる。特に SiO_2 は、高真空中で SiO_2 と原料ガスである GeH_4 や Ge 原子との間で揮発性の GeO を形成すると考えられており、 SiO_2 上への多結晶 Ge の核生成を抑制する。酸化膜マスクが Si の $\langle 011 \rangle$ 方向に形成されれば、(111) 及び (113) のフェセットが支配的である¹⁰⁾。

このような Si 上への Ge 選択エピ成長技術を利用して、多くの高性能な Ge フォトダイオードの報告がなされている。結晶性の高い Ge は受光器の高性能化、特に暗電流の低減に必要である。一方、フォトキャリアの移動は主に拡散ではなく、電界によるドリフトにより行われ、結晶欠陥における再結合の影響を無視できることになる。したがって、RC 時定数と電極間のキャリアドリフト距離を設計することにより、高速な Ge フォトダイオードが実現可能である。また、 $n\text{-Si}/i\text{-Ge}/p\text{-Si}$ ヘテロ構造により Built-In 電場がエンハンスされ、ゼロバイアスで 650 nm ~ 1340 nm の比較的広い波長範囲において、90%以上の内部量子効率が得られている¹¹⁾。

暗電流密度は、典型的な値としては数 $10 \text{ mA}/\text{cm}^2$ のオーダーである。通信デバイスとして適用する際には、 70°C 程度までの動作を補償する必要があり、Ge フォトダイオードの暗電流や受信感度の温度依存性に関して、いくつか検討がなされており、 10°C で 1.6 倍程度増加することが報告されている¹²⁾。暗電流の活性化エネルギーは、Ge のバンドギャップエネルギーの約半分 の値を示し、その値は逆バイアス電圧の増加により減少する傾向を示す。すなわち、Band-Traps-Band Tunneling 効果に関する報告例もある¹³⁾。一方、受信感度に関しては、温度上昇とともに、直接遷移のバンドギャップに相当する光波長以上の領域で大きく改善される。

シリコン光集積回路を実現するためには、導波路タイプの受光器が必要とされる。導波路タイプの受光器は、高い量子効率と高い周波数帯域を実現する構造設計が可能であり、更に面入射型に比較して素子面積が小さいことから、暗電流値を小さくすることも可能である。導波路タイプの Ge 受光器には 3 つの構造が提案されており、一つ目は導波路上に Ge を積層する構造、二つ目は Ge 上に導波路を積層する構造であり、光モードの導波路とのエバネッセント結合を基本としている。そして、3 つ目は導波路と Ge 層とのパッド結合構造であり、これが最も光結合長が小さい設計となる。Si 光回路との集積が容易なことから、Si 導波路上に Ge 受光器を選択的に積層する構造が最も一般的であり、高速に動作する Ge 受光器が多く報告されるようになってきている¹⁴⁾。

CMOS 回路との集積に関しては、フロントエンドラインでのトランジスタとの集積をターゲットとした開発、バックエンドラインを意識した開発、及び LSI と光回路との 3D 実装を利用した開発の 3 つが行われている。フロントエンドラインでの集積では、サーマルバジェット の低減、更にバックエンドでは、多結晶 Ge の検討が行われ、3D 実装は光回路と LSI のフリップチップ実装がそれぞれ実証されている¹⁵⁾。

Ge を光吸収層としたアバランシェフォトダイオード (APD) の検討も、数多く報告されている。APD は pin フォトダイオードに比較して、5 ~ 10 dB 程度高い受信感度が得られる。特に Si のキャリア増倍特性が非常に優れているため、Si キャリア増倍層と Ge 光吸収層を積層した Ge/Si APD の検討が数多くなされている¹⁶⁾。増倍層を特徴付ける材料定数として、片方のキャリアに対するもう一方のキャリアの増倍係数の比 k が挙げられ、Si はこの係数が III-V 族半導体 ($k \sim 0.5$) に比較して、非常に小さい ($k < 0.1$) という特徴を持つ。また、最近では Ge 層を光吸収層及びキャリア増倍層として、薄層化した構造で 1 V 程度のバイアス電圧でアバランシェ効果が得られたとする報告もある¹⁷⁾。受光器の受信感度は、光回路のパワーバジェット特

に光源パワーに大きく影響するため、シリコンフォトニクス光集積回路における Ge-APD の開発は今後重要になってくると考えられる。

4-3-2 シリコン光変調器

シリコン光変調器に関しては、シリコンのキャリア・プラズマ効果を利用したデバイス提案が 1987 年になされている¹⁸⁾。2004 年にこの効果を利用して 1 Gbps 以上のシリコン光変調器が報告され¹⁹⁾、現在までに 10~40 Gbps の高速動作が様々な研究機関から発表されてきている。また、米国のベンチャー企業からは、シリコン光変調器を用いた集積トランシーバの製品が発表されている。

Si のキャリア・プラズマ効果に関しては、Soref と Bennett により 1987 年に実験的な検証結果が報告され¹⁸⁾、比較的広い Electron 密度及び Hole 密度に対して屈折率変化と光吸収係数の変化が評価されている。例えば、波長 1.55 μm におけるキャリア密度に対する屈折率変化量と光吸収係数の変化量は、下記のように表される¹⁸⁾。

$$\Delta n = \Delta n_e + \Delta n_h = -[8.8 \times 10^{-22} \times \Delta N_e + 8.5 \times 10^{-18} \times (\Delta N_h)^{0.8}]$$

$$\Delta \alpha = \Delta \alpha_e + \Delta \alpha_h = 8.5 \times 10^{-18} \times \Delta N_e + 4.0 \times 10^{-18} \times \Delta N_h$$

ここで、 Δn_e と Δn_h は、それぞれ電子密度変化 (ΔN_e) とホール密度変化 (ΔN_h) に起因する屈折率変化、 $\Delta \alpha_e$ と $\Delta \alpha_h$ は電子密度変化とホール密度変化に起因する光吸収係数の変化である。

Si 導波路中を伝搬する光をキャリアプラズマ効果により変調させるためには、表 1 に示したような 3 つのタイプの制御構造があり、PIN, MOS, PN 接合に対して電圧を印加することにより、キャリアの注入、蓄積、空乏化が行われる。

シリコン光変調器の初期検討では MHz オーダの動作が一般的であったが、近年 GHz オーダで高速動作するシリコン光変調器の報告が多くなされるようになってきている。表 3・1 に近年各研究機関から報告されているシリコン光変調器の性能比較を示した^{20)~28)}。

表 3・1 各種シリコン光変調器の方式と性能比較

| 研究機関 | MIT ²⁰⁾ | IBM ²¹⁾ | Fujitsu ²²⁾ | Intel ²³⁾ | Sandia ²⁴⁾ National Lab. | Kotura, Sun ²⁵⁾ | Intel ²⁶⁾ | Lightwire ²⁷⁾ | NEC ²⁸⁾ |
|--|------------------------|--------------------|---------------------------------|----------------------|---|----------------------------|----------------------|--------------------------|--------------------|
| デバイスタイプ | PIN (forward bias) | | | PN (reverse bias) | | | MOS capacitor | | |
| 変調効率 ($V_p L: V \cdot \text{cm}$) | $\frac{0.0025 @ D}{C}$ | 0.036 @ DC | $\frac{0.4}{1 @ 10 \text{GHz}}$ | 4 | 1 | 1.4 | 3.3 | NA | 0.39-0.5 |
| 位相変調器長 (mm) | 0.5 | 0.2 | 0.25-1 | 1 | 0.5 | 1,0.25 | 3.45 | 0.5 | 0.12 |
| 駆動電圧 V_{pp} | NA | 8 | 1~3 | 6.2 | 5 | 8 | 1.4×2 | 1.2×2 | 2.5 |
| 光損失 (dB) | NA | 6~8 | 1.2 | 1.8 | 3.1@0V, 2@5V | 1.9 | 5 | NA | 7 |
| Bit rate (Gbps) | NA | 10 | 10 | 40 | 10 | 12.5~30 | 10 | 10 | 25 |

PIN 型に関しては、 i 層からなる導波路コアにキャリアを注入することにより光変調を生じさせる。このとき、キャリア密度の変調が主に拡散により行われること、及び少数キャリアの再結合寿命が長いことにより高速動作は難しく、キャリア密度の飽和時間は通常 ns のオーダーである。一方、上記のような周波数特性を改善するため、近年 Pre-Emphasis 駆動方式が提案され、10 GHz 程度の高速動作が実現されてきている^{21),29)}。

MOS 型については、SOI 上にゲート酸化膜と poly-Si ゲートを形成したキャパシタ構造からなる光導波路に、順方向に電圧印加して、ゲート酸化膜近傍のキャリア密度を変化させることにより光変調を生じる。MOS 型では、P,N ドーピング領域がゲート酸化膜により分離されているため、動作速度が少数キャリアの再結合寿命に律速されない。すなわち、動作周波数帯域は、CR 時定数で決まり、コンパクトな導波路断面構造を設計することにより、10 GHz 以上の高速動作が実現されてきている^{26)~28)}。また、変調効率、PIN 型同様比較的高い値が得られている^{27),28)}。

PN 型に関しては、PN 接合に逆バイアスを印加して、キャリア空乏層領域を広げることにより光変調が生じる。この方式においても、少数キャリアの再結合寿命の問題が回避できる。PN 型ではキャリアドリフトが高速に行われることにより、30 GHz を超える高速動作が実証されてきている²³⁾。しかしながら、変調効率が比較的小さく、デバイスサイズや駆動電圧が大きいという課題がある。最近では PN 接合を有するリング共振器構造を用いた超小型変調器の検討も行われてきている²⁵⁾。

小型化を実現するリング共振器構造に関しては、波長帯域が 0.1 nm 程度であり実用上問題となる。これに対して、リング共振器をカスケード化することにより、波長帯域が 0.5~2 nm 程度に改善される。しかしながら、Si の屈折率の温度係数が大きいことも考慮すると、実際に適用するには高精度な温度調整が必要である。

また、Si 変調器のデバイスサイズを小さくする方法として、スローライト効果を用いることも提案されている^{30)~32)}。スローライト効果は周期構造を光が伝搬するとき生じる共鳴効果であり、光の群速度の低減に応じて、より大きな位相変化が得られることを特徴とする。スローライト効果を実現する構造としては、フォトリソニック結晶構造^{30),31)}やグレーティング構造³²⁾を付加した導波路構造、あるいはリング共振器構造を利用した提案もなされている²²⁾。スローライト効果についても、共振器構造を利用するため、波長帯域が狭いことが課題である。これに対して、フォトリソニックバンド・エンジニアリングの検討により、10 nm 程度の波長帯域が得られるとする報告例もあり³⁰⁾、今後広帯域化と高速化に向けた展開が期待される。

一方、より高い光変調効率を得るために、シリコンプロセスと整合する Ge 材料を用いた光変調器の提案も行われている。例えば、Franz-Keldysh 効果³³⁾や量子閉じ込め Stark 効果 (QCSE)³⁴⁾による吸収型の変調器の開発が報告されている。QCSE は、Franz-Keldysh 効果に比較してより波長感度が高く、より大きな光吸収変化が得られるが、光吸収波長の温度依存性や Si 光導波路との光結合が課題である。また、Franz-Keldysh 効果や QCSE は、原理的に 50 GHz 以上の高速動作の可能性があると報告されている³⁴⁾。

また、Si に結晶歪みを導入することにより、Pockels 効果を発現させる提案もなされている³⁵⁾。歪み導入のため Si 上に Si₃N₄ を積層してフォトリソニック結晶構造を利用することにより、非線形光学定数 $\chi^{(2)}$ として 830 pmV⁻¹ という比較的大きな値が得られたと報告されている。今後、理論と実験の両面でより詳細な検証が必要であると考えられる。

4-3-3 今後の展望

シリコン光検出・光変調技術の現状について報告した。Ge のエビ成長技術は進化してきており、On-Chip レシーバとして集積化することも可能なレベルとなってきた。その一方で、Si 半導体を利用して通信波長帯を受信しようとする受光デバイス技術も重要なテーマであると考えられ、集積化におけるサーマルバジェットや信頼性の観点から、より詳細な検討が必要であると考えられる。また、Ge については APD として通信デバイスへの適用も注目されてきており、化合物半導体を用いた APD との性能比較や Si 光回路との集積化のメリットが、今後議論されると思われる。

シリコン変調器については、10 Gbps 以上のデータ伝送は可能と考えられ、光通信市場における既存光デバイスとのすみ分けが今後重要となると考えられる。また、一方でアクティブケーブルや光インターコネクションといったスパコンサーバ向けのアプリケーションもターゲットとなると考えられ、低電力化とともに高集積化の検討が今後進展していくと考えられる。

■参考文献

- 1) J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi : "Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution," Appl. Phys. Express, vol.1, 022001, 2008.
- 2) M.W. Geis, S.J. Spector, M.E. Grein, J.U. Yoon, D.M. Lennon, C.M. Wynn, S.T. Palmacci, F. Gan, F.X. Kartner, and T.M. Lyszczarz : "All silicon infrared photodiodes: photo response and effects of processing temperature," Opt. Express, vol.15, pp.16886-16895, 2007.
- 3) S. Park, K. Yamada, T. Tsuchizawa, T. Watanabe, H. Nishi, H. Shinjima, and S. Itabashi : "All-silicon and in-line integration of variable optical attenuators and photodetectors based on submicrometer rib waveguides," Opt. Express, vol.18, pp.15303-15310, 2010.
- 4) M.W. Geis, S.J. Spector, M.E. Grein, J.U. Yoon, D.M. Lennon, and T.M. Lyszczarz : "Silicon waveguide infrared photodiodes with >35GHz bandwidth and phototransistors with 50AW-1 response," Opt. Express, vol.17, pp.5193-5204, 2009.
- 5) H.C. Luan, D.R. Lim, K.K. Lee, K.M. Chen, J.G. Sandland, K. Wada, and L.C. Kimerling : "High-quality Ge epilayers on Si with low threading-dislocation densities," Appl. Phys. Lett., vol.75, pp.2909-2911, 1999.
- 6) S.J. Koester, J.D. Schaub, G. Dehlinger, and J.O. Chu : "Germanium-on-SOI Infrared Detectors for Integrated Photonic Applications," IEEE J. Sel. Top. Quant. Electron., vol.12, pp.1489-1502, 2006.
- 7) A. Nayfeh, C.O. Chui, K.C. Saraswat, and T. Yonehara : "Effects of hydrogen annealing on heteroepitaxial-Ge layers on Si: Surface roughness and electrical quality," Appl. Phys. Lett., vol.85, pp.2815-2817, 2004.
- 8) J. Nakatsuru, H. Date, S. Mashiro, and M. Ikemoto : "Growth of high quality Ge epitaxial layer on Si(100) substrate using ultra thin Si0.5Ge0.5 buffer," Mater. Res. Soc. Symp. Proc., vol.891, pp.315-320, 2006.
- 9) J. Liu, D.D. Cannon, K. Wada, Y. Ishikawa, S. Jongthammanurak, D.T. Danielson, J. Michel, and L.C. Kimerling : "Tensile strained Ge p-i-n photodetectors on Si platform for C and L band telecommunications," Appl. Phys. Lett., vol.87, 0111110, 2005.
- 10) J. Michel, J. Liu, and L.C. Kimerling : "High-performance Ge-on-Si photodetectors," Nature Photon., vol.4, pp.527-534, 2010.
- 11) J. Liu, J. Michel, W. Giziewicz, D. Pan, K. Wada, D.D. Cannon, S. Jongthammanurak, D.T. Danielson, L.C. Kimerling, J. Chen, F.O. Ilday, F.X. Kartner, and J. Yasaitis : "High-performance, tensile-strained Ge p-i-n photodetectors on a Si platform," Appl. Phys. Lett., vol.87, 103501, 2005.
- 12) L. Colace, M. Balbi, V. Sorianoello, and G. Assanto : "Temperature-Dependence of Ge on Si p-i-n Photodetectors," J. Lightw. Technol., vol.26, pp.2211-2214, 2008.
- 13) K.-W. Ang, J.W. Ng, G.-Q. Lo, and D.-L. Kwong : "Impact of field-enhanced band-traps-band tunneling on the dark current generation in germanium p-i-n photodetector," Appl. Phys. Lett., vol.94, 223515, 2009.

- 14) T. Yin, R. Cohen, M.M. Morse, G. Sarid, Y. Chetrit, D. Rubin, and M.J. Paniccia : “31GHz Ge n-i-p waveguide photodetectors on Silicon-on-Insulator substrate,” *Opt. Express*, vol.15, pp.13965-13971, 2007.
- 15) X. Zheng, F. Liu, D. Patil, H. Thacker, Y. Luo, T. Pinguet, A. Mekis, J. Yao, G. Li, J. Shi, K. Raj, J. Lexau, E. Alon, R. Ho, J.E. Cunningham, and A.V. Krishnamoorthy : “A sub-picojoule-per-bit CMOS photonic receiver for densely integrated systems,” *Opt. Express*, vol.18, pp.204-211, 2010.
- 16) Y. Kang, H.-D. Liu, M. Morse, M.J. Paniccia, M. Zadka, S. Litski, G. Sarid, A. Pauchard, Y.-H. Kuo, H.-W. Chen, W.S. Zaoui, J.E. Bowers, A. Beling, D.C. McIntosh, X. Zheng, and J.C. Campbell : “Monolithic germanium/silicon avalanche photodiodes with 340 GHz gain-bandwidth product,” *Nature Photon.*, vol.3, pp.59-63, 2009.
- 17) S. Assefa, F. Xia, and Y.A. Vlasov : “Reinventing germanium avalanche photodetector for nanophotonic on-chip optical interconnects,” *Nature*, vol.464, pp.80-85, 2010.
- 18) R.A. Soref and B.R. Bennett : “Electrooptical effects in Silicon,” *IEEE J. Quantum Electron.*, QE-23, pp.123-129, 1987.
- 19) A. Liu, R. Jones, L. Liao, D. Samara-Rubio, D. Rubin, O. Cohen, R. Nicolaescu, and M. Paniccia : “A high-speed silicon optical modulator based on a metal-oxide-semiconductor capacitor,” *Nature*, vol.427, pp.615-618, 2004.
- 20) G.-R. Zhou, M.W. Geis, S.J. Spector, F. Gan, M.E. Grein, R.T. Shulein, J.S. Orcutt, J.U. Yoon, D.M. Lennon, T.M. Lyszczarz, E.P. Ippen, and F.X. Kartner : “Effect of carrier lifetime on forward-biased silicon Mach-Zehnder modulator,” *Opt. Express*, vol.16, pp.5218-5226, 2008.
- 21) W.M.J. Green, M.J. Rooks, L. Sekaric, and Y.A. Vlasov : “Ultra-compact, low RF power, 10Gb/s silicon Mach-Zehnder modulator,” *Opt. Express*, vol.15, pp.17106-17113, 2007.
- 22) S. Akiyama, T. Kurahashi, T. Baba, N. Hatori, T. Usuki, and T. Yamamoto : “A 1V Peak-to-Peak Driven 10-Gbps Slow-Light Silicon Mach-Zehnder Modulator using Cascaded Ring Resonators,” *Appl. Phys. Express*, vol.3, 072202, 2010.
- 23) A. Liu, L. Liao, D. Rubin, H. Nguyen, B. Ciftcioglu, Y. Chetrit, N. Izhaky, and M. Paniccia : “High-speed optical modulation based on carrier depletion in a silicon waveguide,” *Opt. Express*, vol.15, pp.660-668, 2007.
- 24) M.R. Watts, W.A. Zortman, D.C. Trotter, R.W. Young, and A.L. Lentine : “Low-Voltage, Compact, Depletion-Mode, Silicon Mach-Zehnder Modulator,” *IEEE J. Sel. Top. Quantum Electron.*, vol.16, pp.159-164, 2010.
- 25) N.-N. Feng, S. Liao, D. Feng, P. Dong, D. Zheng, H. Liang, R. Shafiq, G. Li, J.E. Cunningham, A.V. Krishnamoorthy, and M. Asghari : “High speed carrier-depletion modulators with 1.4V-cm $V_{\pi}L$ integrated on 0.25 μm silicon-on-insulator waveguides,” *Opt Express*, vol.18, pp.7994-7999, 2010.
- 26) L. Liao, D. Samara-Rubio, M. Morse, A. Liu, D. Hodge, D. Rubin, U.D. Keil, and T. Franck : “High speed silicon Mach-Zehnder modulator,” *Opt. Express*, vol.13, pp.3129-3135, 2005.
- 27) http://www.ofcnfoec.org/conference_program/2009/images/09-DAndrea.pdf
- 28) J. Fujikata, J. Ushida, Y. Ming-Bin, Z.S. Yang, D. Liang, P. Lo Guo-Qiang, D.-L. Kwong, and T. Nakamura : “25 GHz operation of Si modulator with projection MOS junction structure,” *Optical Fiber Conf.*, 2010, OMI3.
- 29) Q. Xu, S. Manipatruni, B. Schmidt, J. Shakya, and M. Lipson : “12.5 Gbit/s carrier-injection-based silicon micro-ring silicon modulators,” *Opt. Express*, vol.15, pp.430-436, 2007.
- 30) J. Li, T.P. White, L. O’Faolain, A. Gomez-Iglesias, and T.F. Krauss : “Systematic design of flat band slow light in photonic crystal waveguides,” *Opt. Express*, vol.16, pp.6227-6232, 2008.
- 31) T. Tanabe, K. Nishiguchi, E. Kuramochi, and M. Notomi : “Low power and fast electro-optic silicon modulator with lateral p-i-n embedded photonic crystal nanocavity,” *Opt. Express*, vol.17, pp.22505-22513, 2009.
- 32) A. Brimont, P. Sanchis, and J. Marti : “Strong electro-optical modulation enhancement in a slow wave corrugated waveguide,” *Opt. Express*, vol.17, pp.9204-9211, 2009.
- 33) J. Liu, M. Beals, A. Pomerene, S. Bernardis, R. Sun, J. Cheng, L.C. Kimerling, and J. Michel : “Waveguide-integrated, ultralow-energy GeSi electro-absorption modulators,” *Nature Photon.*, vol.2, pp.433-427, 2008.
- 34) Y.-H. Kuo, Y.K. Lee, Y. Ge, S. Ren, J.E. Roth, T.I. Kamins, D.A.B. Miller, and J.S. Harris : “Strong quantum-confined Stark effect in germanium quantum-well structures on silicon,” *Nature*, vol.437, pp.1334-1336, 2005.
- 35) R.S. Jacobsen, K.N. Andersen, P.I. Borel, J. Fage-Pedersen, L.H. Frandsen, O. Hansen, M. Kristensen, A.V. Lavrinenko, G. Moulin, H. Ou, C. Peucheret, B. Zsigri, and A. Bjarklev : “Strained silicon as a new electro-optic material,” *Nature*, vol.441, pp.199-202, 2006.

■S2 群-3 編-4 章

4-4 フォトニクスとエレクトロニクスの融合に向けて

(執筆者：西山伸彦) [2018年12月 受領]

フォトニクスとエレクトロニクスを融合する、つまり、同一の基板・チップ上に光デバイスと電子デバイスを集積化しようという試みは歴史が長く、最初の報告とされるものは、70年代後半にさかのぼる。このような回路は通称、光電子集積回路、英語では OEIC (Opto-Electronic Integrated Circuit) と呼ばれている。これまで、この光電子集積回路は、化合物基板上の集積を中心に進められてきたが、電子回路でも大規模な化合物集積回路は現在までにシリコンに比べると大きな発展は遂げていないこと、また、そもそも光電子集積回路の需要がそれほど大きくなかったことなどから、大きな流れとはならなかった。

しかしながら、近年、シリコンという安価かつ電子集積回路が発展している材料が、フォトニクス材料として利用できることが分かってくるにつれて、その集積化技術を利用した光電子集積回路が再び注目を集めはじめた。必要性も高まりをみせ、光通信の大規模化・高速化に伴って光デバイスの直近にドライバなどの電気回路を導入することや、CPU やメモリなどのコンピュータチップ間、チップ内の高速化・広帯域化への切り札として光を使うことなどが提案されている。

実際の集積方法では、一概に光電子集積回路と言っても様々な形態がある。まず、それを整理すると主なものとして、(1) 隣接して、電子回路と光回路を平面的に作製する方法、(2) 電子回路を下層に形成し、上層に光回路用材料を積層する方法、(3) 電子回路部分と光回路部分をそれぞれ別個に作製し、最終的に貼り付けて一つの回路を形成する方法である。

(1) の方法に関して、この場合、光回路を SOI (Silicon on Insulator) 基板そのものに形成することが可能なため、良質な単結晶シリコンが利用可能となる。これにより、低損失な導波路が比較的得やすいことや、電気的な特性も良好なため変調器なども形成可能である。一方で、電子回路にとっては、設計の変更が必要となってくる。また、電子回路では SOI ではなく Si 基板を使うことも多く、SOI を使う場合でも必要な Si や埋め込み酸化層の厚みが異なる。つまり、CMOS プロセスとの完全な互換性を保つことが難しい場合が多い。よくシリコンフォトニクスは CMOS プロセスを使うことができると言われることがあるが、ここで注意が必要なのは、この場合の CMOS プロセスとは CMOS 加工と同じ装置を使えるという意味であり、電子回路分野にとっての CMOS プロセスとはデザイン・設計ルールを含めたプロセスを示すことが多い。

電子回路と光回路は、そもそも素子の大きさがかなり違うことから、平面的に横に並べた場合、素子密度の観点からは非常に効率が悪くなる。また、横に並べることから電子回路、光回路間の配線長が長くなるため、大規模化をすると配線遅延などが問題になる可能性がある。そのため、この方法の課題としては、いかにデザインルールを含めた CMOS プロセスに近づけた光回路を設計できるか、如何に高密度に素子を配置できるか、ということが挙げられる。しかしながら、高い性能の光回路を実現することが可能なため最終的な性能は高く、実際に報告もされている。

ただ、本方法は前述したようにデザインルールを含めた CMOS プロセス互換ではないことから、一般的なファウンドリーサービスを利用して作製することはできないため、現在は、主

に自前で CMOS 作製ラインを持つ大手半導体企業や CMOS ファウンドリーラインを完全に切り切ることができる企業による報告にとどまっている。今後、この方法での光電子集積回路への需要が高まり、新たなデザインルールが確立されれば、ファウンドリーによる作製も可能となり広く広がる可能性はある。

(2)の方法に関しては、最下層の CMOS 回路は、ほとんどデザインルールを変更する必要がなく、多層化された配線層の一部を光回路層として利用することになる。この場合の制限としては、CMOS 素子にダメージを与えないためにプロセス温度が制限を受け、400 °C 以下にすることが望ましい。そのために使えるシリコンの成膜方法も制限され、成膜温度が高い単結晶シリコンやポリシリコンは利用することが難しい。唯一シリコン材料として利用できるのがアモルファスシリコンであり、化学気相成長 (Chemical Vapor Deposition : CVD) 法により数百 °C 程度の温度でも成膜が可能である。また、非晶質であるため SiO₂ 膜などの上にも成膜が可能である。

実際の作製法としては、SOI 基板などの上に形成された電子回路層を SiO₂ で覆い、化学機械研磨 (Chemical Mechanical Polishing : CMP) を施し平坦化した上に、アモルファスシリコンを成膜し、通常の SOI 上のシリコン光回路と同様に導波路や各素子を形成する。必要に応じて多層化する場合は、これを繰り返すことになる。また、電気的な接続は、貫通電極を通常の CMOS プロセスと同様な形で形成することによって行うため、電気的な配線距離としては (1) の場合に比べ短くすることが可能である。

設計・作製上の問題点としては、単結晶ではなく非晶質であるために素子の損失が高くなる可能性があること、また、光電効果の特性が弱いことが挙げられる。素子の損失に関しては、成膜の際に結晶を水素終端することによって材料損失を低減することができることが分かっており、CVD の材料ガスにシラン系ガスを使うなどの工夫をすれば、少なくとも通信波長帯である近赤外領域では無視できるほどの材料損失を達成することができる。

むしろ問題となるのは、表面粗さである。表面処理によってある程度以下の表面粗さが保障されている市販されている SOI 基板と違い、成膜しただけのアモルファスシリコンでは、しばしば高い表面粗さが現れることがある。粗さの分散としては 1 nm を切るような値であっても、高い屈折率差で小さなモードフィールド径を持つシリコン細線導波路では問題となる。特に、多層化なので導波路を積層する場合は、粗さも蓄積されるため気を付ける必要がある。そのため、CMP などで粗さを低減することや、そもそも成膜条件を工夫し、原子のマイグレーションを制御するなどして表面粗さを低減する必要がある。これらの工夫によって近年では単結晶でのシリコン細線導波路を同等の伝搬損失が得られるようになってきている。

光電効果に関しては、変調器や受光器などの受動素子を高性能 (広帯域・低ノイズ駆動) ができないという問題がある。研究が進められているものの、現状ではアモルファスシリコンを使用する以上は、これを解決することはなかなか困難であり、レーザーアニールや成膜の工夫によって一部をポリシリコン化することや、ポリマーなどの違う材料と組み合わせ受動素子を設計することが必要となってくる。

(3)に関しては、電子回路と光回路を別個に作製できるということから、自由度としては最も高い。光回路に関してはシリコンだけでなく、光源や増幅器として使用することが可能である III-V 族半導体を使用することができるため、光源や増幅器を内包する光電集積回路の作製法としてはこの方法が優位である。特に、シリコンにとって透明波長である長波長帯 (発光波長

1.3 μm および 1.55 μm) を発光できる GaInAsP や AlGaInAs 活性層が利用できる。

この場合、重要な技術ポイントとしては、どのようにして別々の基板を接合するかということである。電気的な接合だけを考えるのであれば、金属同士の接合は比較的容易に行うことができるが、導波光が接合面に重なる場合は、金属接合は使うことができない。光学的に透明な材料を使って接合するか、何も接合材料を使わず接合する必要がある。近年、このような接合を利用してほかの材料とシリコンを貼り合わせて機能を実現するハイブリッド集積 (Hybrid Integration) 技術もしくは異種材料集積 (Heterogeneous Material Integration) 技術が発展を遂げている。

光デバイスに関してみると、1990 年に GaAs と InP の直接接合法 (Direct Bonding または Wafer Fusion と呼ばれる) が提案された。実際に長波長帯面発光レーザーを実現するため、活性層は InP 系材料、多層膜反射鏡は GaAs 系材料でそれぞれ別基板に形成し、直接接合法によってデバイスを作製しており、サブミリアンペア動作や高温動作が実現されている。

これらの先行的な研究を基盤として現在提案されている接合技術は様々あり、アプリケーション・構造で使用すべき接合技術は違う。主には、直接接合法と間接接合法に分類されるが、それぞれを以下に述べる。

一般的に、接合は糊となる材料を介して行われる。その場合、貼り合わせたい材料と材料の間には必ず別の材料が介在することになる (間接接合と呼ばれる) が、これを不要とする技術が直接接合法である。直接接合には色々な方法があるが、SOI 基板で利用されているような電圧をかける必要がある陽極接合法は、III-V 族半導体の特性を悪化させる可能性があり、あまり使われず、主には親水化接合法やプラズマ活性化接合・表面活性化接合が使われている。

親水化接合法は、図 4・1(a) に示すように、表面汚染を何らかの方法で除去した後、OH 基を表面に付ける親水化処理を行う。その後、2 つの基板を押し付けて接合すると、OH 基を介しての弱い接合が形成される。最後に、数百 $^{\circ}\text{C}$ で過熱を行うと OH 基が水として抜け、酸素原子のみが間に残り強固な結合を形成する。この方法の利点としては、比較的容易に大がかりな装置もなく接合が実現できることであるが、問題点としては、過熱の温度が比較的高く、材料によっては熱膨張係数差で破壊が起きてしまうこと、界面の水を抜くために溝を掘ったり、ガラスなど水分子を吸収できる材料を界面に配置するなどの工夫が必要な場合があることである。

もう一方のプラズマ活性化接合・表面活性化接合 (図 4・1(b)) は、表面汚染を真空チャンバ中でプラズマ処理し汚染を取り除くとともに表面を活性化させ、そのまま 2 つの基板の結合手同士を接合する方法であり、比較的低温で接合可能であり、理想的には別原子を一つも介さない状態ができれば常温でも接合可能な場合がある³⁾。ただ、直接接合における共通の欠点として、接合界面において表面粗さが少なくなくてはならない (一般には 1 nm 以下の凹凸) ことがあり、用いる構造・プロセスに制限が加わる。

このようにして、直接接合法で作製したハイブリッド基板は間に接合層を含まないため (実際は数 nm 程度の接合層ができる場合があるが、光の波長に比べ十分薄い)、光学的に自由度は高い。III-V 族半導体層とシリコン層の間で光の移動を比較的容易に行うことができるため、III-V 族半導体で発生させた光をシリコン層へ取り出した場合、高い効率を得ることが可能である。このような場合、設計によってはほとんどの光がシリコン層に存在することになり、III-V 族半導体中に形成された光利得層への光の重なりが減少することがある。このような状態の

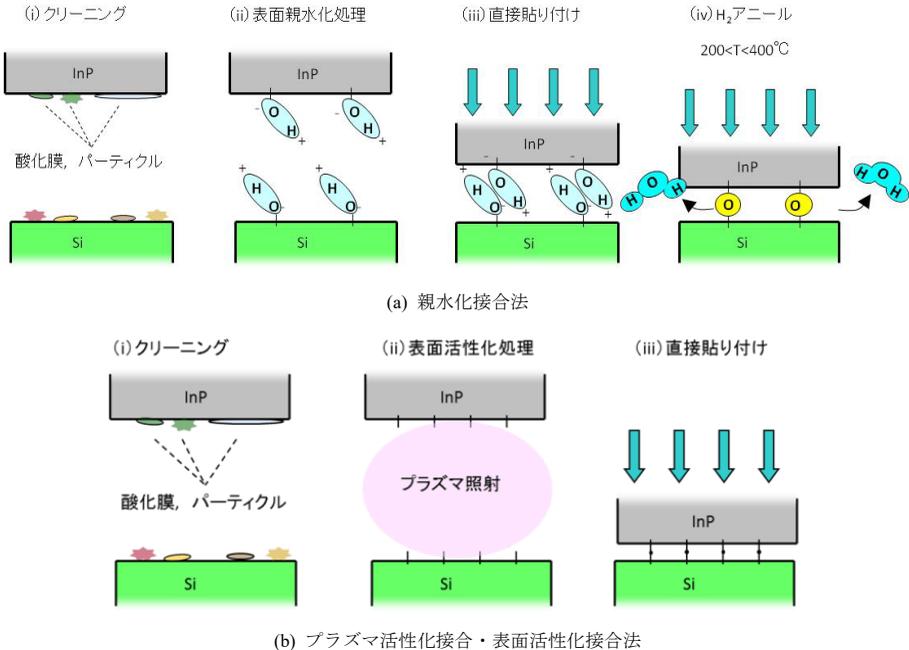


図 4・1 シリコン/III-V 族半導体接合で利用される直接接合法

設計はエバネッセント型結合と呼ばれ、設計が容易でシリコン側に光を取り出しやすい反面、レーザーなどの光源ではあまり低い閾値動作は望むことができない。

これを解決するために、テーパ構造の導入により光を III-V 族半導体側に導いたり、方向性結合導波路の構造を利用して光利得層への大きな光の重なりと高いシリコン層への取り出し効率を両立する構造も提案されつつある。また、電気的な接合に関しては、それぞれの基板の接合界面部分に高いドーピングを施すことにより、接合界面を介して電流を注入する方法も可能である。

直接接合法では、表面に凹凸があると接合が困難になるため、接合表面に凹凸が残っている場合は、化学機械研磨 (CMP) 法などの工程を経ないと接合できない。そのため、この場合には間接接合法を利用する必要があるが、2つの基板や糊剤へ光学的な重なりが存在する場合は、糊剤として利用する材料もその光の波長に対して透明である必要がある。

その材料として多く用いられているのがベンゾシクロブテン (BCB) である。BCB は、そもそも電子デバイス用 *low-k* 材料として開発されたポリマーであり、電子デバイスとの親和性も高いうえ、光学的にも赤外領域では吸収が少ない。屈折率としてはガラスとほぼ同じ 1.5 程度である。BCB は、前駆体では液状であり、それをスピコートにより Si 基板へ塗布する。その後、プリバークを行い半固化状態にした後、接合を行い、接合した基板をオープン内に導入し BCB 固化プロセスを通す。接合条件を工夫することによって凹凸がある基板に対しても空泡なしに接合を行うことが可能である。

この接合方法の特徴として、低い屈折率を持つ糊剤を間に挟むことになるため、下層との光学的な分離が起こることである。そのため、下層への光の取り出しを必要とする場合は工夫が必要となるが、逆に層内に強く光を閉じ込めることができる。これを利用すれば、半導体を数百 nm 程度に薄くして、上下を低屈折率誘電体で挟む高屈折率差光導波路構造とすることにより、III-V 族半導体層への光閉じ込めの強さを通常の半導体構造に比べて数倍高めることができるため、小型の光学素子を作製することが可能で、従来に比べて 1 桁以上低い動作電流を持つレーザーも提案されている。ただし、糊剤はポリマーであり、熱伝導率は半導体に比べ低い。そのため、大きな熱量を発生する場合（電流を多く流す場合）は問題となるため、極低消費電力用途での使用が現実的であるが、そもそも CMOS 回路上の光回路は、1 ビット当たり数百フェムトジュールレベルの消費電力を求められるため、こういった用途では使用が可能である。電気的な接合に関しては、構造的に通常の CMOS 多層配線と同様であり、層間貫通電極構造を導入することによって実現することができる。

以上、光電子集積回路を実現するための主な方法についてまとめた。いずれの方法もそれぞれに長所・短所があり要求性能・アプリケーションによって、その選択する方法は変える必要があると思われる。また、これらの集積技術が高度化し、現実的なフォトリソとエレクトロニクスの融合が始まるためには、光素子、電子素子のお互いの特性・作製方法を理解し、単体回路に比べて光電子集積回路に合わせた構造・作製法の改善が必要である。現状では、それぞれに蓄積してきた技術の延長線上に技術開発が進んでおり、また、お互いの分野の交流が少ないことや企業や研究所でも両方の技術を持っているところが限られていることから、なかなか融合分野での開発が促進されないということがある。高い CMOS プロセス技術を有する一部の機関でトライアルが始まっているが、大きくそれを打破するには、光電子集積回路のみが実現可能なキラーアプリケーションが明らかになることが重要である。