

## ■6群 (コンピューター基礎理論とハードウェア) - 1編 (コンピュータの歴史)

# 1章 総論

(執筆者：安藤壽茂) [2010年1月 受領]

### ■概要■

計算の必要性は、ほぼ文明の発祥まで遡り、それ以降、面倒な計算を簡単、正確に実行できるようにしたい、更には、機械によって自動的に誤りなく計算を行えるようにしたいという要求から、様々な計算補助具や機械式の計算機が開発されてきた。そして、その自動計算を更に高速に実行したいという要求から、電子式の計算機が開発され、今日の VLSI コンピュータへと発展してきた。

また、その歴史の中で、コンピュータは、当初の科学技術計算や大企業の会計処理という用途からその適用範囲を広げ、人類の生活に大きな影響を与えてきた。近年では携帯電話に複数個のマイクロプロセッサが搭載され、自動車には数 10 個のマイクロプロセッサやマイクロコントローラが搭載されており、従来の汎用データ処理以外の分野で使用される組み込みコンピュータの方が圧倒的に個数が多いという状況になっている。

### 【本章の構成】

本章では、このようなコンピュータの歴史の流れをコンピュータ技術の発展とその利用方法の観点から重要なものを取り上げ、1-1 節では汎用コンピュータの歴史、そして 1-2 節では組み込み分野におけるコンピュータの歴史について述べている。

## ■6群 - 1編 - 1章

### 1-1 Pascal, Babbage から最近の高性能マイクロプロセッサに至る 高性能化の流れ

(執筆著：北村俊明) [2009年3月 受領]

最初のコンピュータは誰がいつ開発したどのシステムなのかは、いろいろ研究がなされている(例えば文献 1), 2), 3) )が、コンピュータの定義によって様々なシステムが候補となり、また新たな資料が発掘されるので、特定のシステムに確定させることは難しい。最初に開発したという栄誉は尊重されるべきであるが、その検証は他の文献に譲ることにし、本節では、どのような目的・要求・利用できる技術の進歩などから、コンピュータという形態が形作られ改良されていったかという点に焦点を当てて概説していく。コンピュータというものが形作られる段階と、コンピュータというシステムが成立した後の改良に分けて説明するため、簡単にコンピュータの定義を以下のように決めておく。

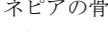
- 計算手順は行いたい処理に応じて変更できる
- 計算手順はコンピュータ内に記憶される
- 計算の対象となるデータもコンピュータ内に記憶される
- データや計算手順は、人間が理解できる形式で入力できる
- 計算結果は人間の理解できる形式で出力される

このような定義では、コンピュータの誕生前後では明確に区別することは難しいが、「最初のコンピュータ」はどれかということを追求める訳ではないので、その区分は曖昧にさせていただきます。

#### 1-1-1 コンピュータ誕生前夜 (文献 1) 参照)

##### (1) 計算を間違いなく行いたい

人類が計算を行うという歴史はコンピュータの歴史に比べて非常に古く、加減算などは、小石を使っても計算できるし、アバカスという算盤やそろばんは古くから使われていた。これらの加減算用の器具に対して乗算を行う算木はネピア (John Napier, 1550~1617) の「ネピアの骨」が最初ではないかといわれている。

ネピアの骨は、 1・1に示すように九九の表を列ごとに分割し、各項にはその桁の結果と上位桁への繰り上がりが分けて書いてある。被乗数に対応する数字の列を集めて並べ、1桁の乗数に対応する行の欄を参照することで各桁の中間結果と上位への繰り上りを求め、各桁の中間結果と下位からの桁上がりで暗算など別の方法で加算を行い、結果を得る。これにより、九九の覚え間違いなどによる計算間違いを減少させ正確な計算が目指せたが、桁上がり処理は人間に委ねられていた。これらの機能を一体化したものにシッカート (Wilhelm Schickard, 1592~1635) の「シッカートの計算機」( 1・2参照)がある。これは最上部にネピアの骨を円筒の側面に記入したドラムを桁数分備え、各桁を手で回転させて所望の被乗数をセットできる。また、スライドする棒が8本(2~9に対応、0と1は明らかなので用意されていない)あり、乗数に対応する棒をスライドさせることで、九九の表を選択できる。この乗算部分の下に加減算部のダイヤルがあり、加算する数字だけダイヤルを回して計算を行う。ダイヤルを回しているときに、上位桁への桁上げ/借りが出たときは、自動的に上位の桁に伝搬する

ようになっている。しかし、乗算部と加減算部は全く連携しておらず、利用者が値を見て設定し直すという方式で、ここでの間違いは救えていない。

部分的な演算の機械化でなく歯車を使って計算する計算機は、パスカル（Blaise Pascal, 1623~1662）が作ったパスカリーヌが最初といわれている。これは加算専用で作られたもので、当時の通貨単位に合わせて、桁によっては10進だけでなく20進や12進も扱っていた。減算は補数を用いることで計算できたが、乗算や除算は考えられていなかった。



図 1・1 ネピアの骨（米国 California 州 Computer History Museum 所蔵  
Computer History Museum の許可を得て掲載）



図 1・2 シッカートの計算機（複製 米国 California 州 Computer History Museum 所蔵  
Computer History Museum の許可を得て掲載）

四則演算ができる最初の計算機は、ライブニッツ (Gottfried Wilhelm von Leibniz, 1646~1716) の計算機で、5桁×12桁=16桁の乗算ができ、除算もできた。乗算は九九の表を使うのではなく、加算の繰り返しで求め、除算は減算の繰り返しで商を求めるアルゴリズムであった。手でハンドルを回して演算を行ったが、桁上げの伝搬には制約があり、人間の介入が必要とされた。この計算機は改良が加えられ、電子卓上計算機 (いわゆる電卓) が一般化するまで実際に使われていた (図1・3参照)。



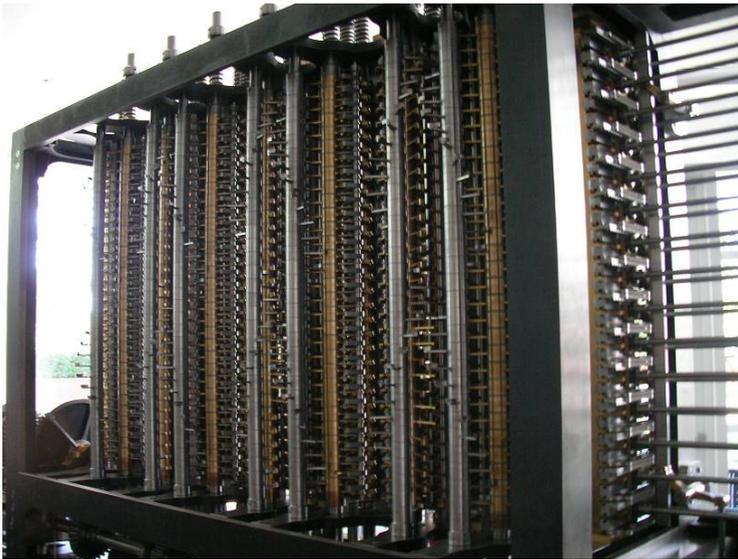
図1・3 手回し式計算機 (米国 California 州 Computer History Museum 所蔵  
Computer History Museum の許可を得て掲載)

## (2) 単独の計算ではなく手順に則った一連の演算を行いたい

単独の計算は機械化することでかなり信頼性高く行うことができるようになったが、大量の計算を行う数表の作成などでは、演算間で人間が介入する要素が大きくなり、例えば値の設定ミスや書き写しミスなどのため、信頼性が低かった。このため、当時の数表は誤りが多く、大量の正誤表や正誤表の正誤表が出されるなど問題となった。この解決のために一連の計算を人間の介入なしに行いたいという要求が強まってきた。これを受けて作られたのが、バベッジ (Charles Babbage, 1791~1871) の階差機関である。

数表で使われる関数は多項式に展開して計算されることが多く、多項式  $f(x)$  と  $f(x+1)$  の差 (階差) を考えると、必ず次数は一つ以上低くなるので、 $n$  次式であれば  $n$  回階差を取れば必ず定数となる。この階差の系列から、求める多項式の値を順に求めて行くと、演算は加減算のみで実現できる。バベッジの階差機関はこれを利用したもので、10進20桁で第7階差まで求められるように設計されたが、1833年に開発費が続かなくなりキャンセルされた。全体計画は頓挫したものの7分の1モデルは実現し、シュウツ親子 (George Scheutz, 1785~1873, Edvard Scheutz, 1821~1881) により少し小規模な階差機関も実現した。これらの階差機関は、現在の

ような印刷技術がないため、印刷用の版を直接制作できるように、活字様のものを紙に押し付けて紙型を作る部分も備えていた。これにより階差を用いた多項式の計算という一連の手順に則った演算を実現できただけでなく、人手によらない結果の出力も実現できたが、実行できる演算の手順は階差による多項式の計算専用という制約があった。バベッジは、この階差機関を改良した第2階差機関を設計しており、1991年には当時の技術のみ使って実現され、ロンドンの国立科学博物館に展示してある。また、2008年にはカリフォルニアのコンピュータ歴史博物館でも2号機が展示されており（**図1・4**参照）、紙型（**図1・5**参照）を作る印刷部分は大きさの割に複雑で、階差機関の演算部とほぼ同じぐらいの部品数を要しているそうである。



**図1・4** バベッジの階差機関

（複製2号機 米国 California 州 Computer History Museum 2009年5月まで限定展示  
Computer History Museumの許可を得て掲載）



**図1・5** 出力された紙型（米国 California 州 Computer History Museum 展示  
Computer History Museumの許可を得て掲載）

### (3) 演算手順を柔軟に変更したい

バベッジは、より人間の介入を減らしジャカル（Joseph Marie Jacquard, 1752~1834）がジャカル織機に用いていたパンチカードで計算手順を供給する「解析機関」も設計していた。これには条件分岐の機能も入っていたようであるが、バベッジの子供ヘンリー・バベッジにより演算部分の一部が作られたに留まり完成することはなかった。この解析機械は、パンチカードを取り替えることで、演算の手順を変更することができ、プログラミングの原点とすることができる。このプログラミングを最初に行ったのがエイダ（Ada Augusta Countess Lovelace, 1815~1852）といわれ、プログラミング言語 ADA の名前にもなっているが、実現していないので、真偽のほどは疑わしい。

本格的なプログラマブル計算機は、20世紀に入ってツーゼ（Konrad Zuse, 1910~1995）まで待たなければならない。ツーゼは飛行機の機体を設計するとき、30元連立方程式をいくつも解かなくては行けないため、これを自動化することを考え、Z1、Z2、Z3、Z4と開発していった。

Z1は約2万個の部品を使い、22ビット64語の機械式メモリを持ち22ビットの2進浮動小数点演算が行えるモータ駆動機械式計算機である。プログラムは使用済みのフィルムを紙テープのように使い供給した。一応完成したが誤動作が多くまともに動作していないので、最初のプログラマブル計算機とはいわれない。Z2は、メモリ部は機械式であるが、演算部はリレーを使うことで信頼性を上げ、16ビット固定小数点の演算を行った。これらはいずれも戦災でなくなっているが、この結果を受けZ3の開発に取りかかっている。

Z3は、メモリもリレーを用いZ1と同じ仕様で開発された。しかし、プログラマブルとはいえ、分岐やサブルーチンの機能はなかった。この成功を受けZ4の開発に取りかかり、1語を32ビットに拡張したほか、条件分岐やサブルーチンの機能も装備された。メモリは実装体積が小さいということで機械式に戻された。1944年には一応完成したが戦災のため1950年に調整が済むまで本格稼働はしていない。1950~1955年にはチューリッヒ工科大学で実際に使用されている。

1944年にはホワード・エイケン（Howard Hathaway Aiken, 1900~1973）がIBMの協力のもとASCC（Automatic Sequence Control Calculator）を開発している。電気機械式計算機であるが、紙テープからプログラムを供給するので、汎用の計算ができた。条件分岐は実装されていなかったが後に追加され、10進23桁の固定小数点演算ができた。完成と同時にハーバード大学に寄贈され、ハーバード・マーク1（Harvard Mark 1）となり、1959年まで使用された。

### (4) 電子化してより高速に

機械式では動作速度の限界があるため、電子的に演算を行うことが考えられた。この時期には電気をアナログ的に使って微分解析を行うアナログコンピュータがあったが、精度に問題がありデジタルで計算を行うことで安定した演算を行うことが望まれた。

1942年にジョン・アタナソフ（John Vincent Atanasoff, 1903~1995）とクリフォード・ベリー（Clifford Edward Berry, 1918~1963）が開発したABCマシン（Atanasoff Berry Computer）は、ドラムに取り付けたコンデンサを用いてメモリとし（ダイナミックメモリと同じ原理）、真空管による論理ゲートで2進50ビットの固定小数点の加減算が30個並列に動作できるようにになっていた。しかしメモリ容量が少なく中間結果をカードにパンチして再度読み込ませ

るなど人手の介入が必要であり、また誤動作も多かったため完成には至らなかったようである。

電子的に演算を行うという点では、汎用性はないが暗号解読機も触れておかなくてはならない。暗号解読機としては、ドイツのエニグマ暗号装置に対抗してアラン・チューリング(Alan Mathison Turing, 1912~1954)が開発した電気機械式のチューリングポンプがある。これは暗号解読専用機械であったが、より機密性の高い通信に使われた複雑なローレンツ暗号に対しては使えなかった。このため真空管で論理回路を構成し演算を行う暗号解読機コロサスが開発された。これにはプログラムはなく、配線とスイッチでパラメータを設定しており、また加減算などの算術演算はできなかつたためコンピュータとは言いがたいが「電子的に演算を行う」ことを実用化した。

最近まで最初のコンピュータといわれていた ENIAC (Electronic Numerical Integrator And Computer) がモークリ (John William Mauchly, 1907~1980) とエッカート (John Presper Eckert, 1919~1995) により 1943 年から開発が開始され 1946 年に完成した。当初の目的は陸軍からの要請で大砲の弾道計算を行って弾道表を作るというものであった。約 18000 本の真空管を用いて 10 進 10 桁の固定小数点演算を行い、プログラムは配線とスイッチで設定された。開発者は汎用利用を目標としたが、軍の目的が弾道計算という専用計算であったためなのか、プログラムの設定に長時間を要し、条件分岐はなく、プログラム量の制約も大きかった。

#### (5) プログラム内蔵電子式計算機

プログラマブルと電子化という二つの流れをまとめるのが、プログラム内蔵式コンピュータである。1948 年にフレデリック・ウィリアムズ (Frederic Calland Williams, 1921~1972) とトム・キルバーン (Tom Kilburn, 1921~2001) により開発された SSEM (Small Scale Experimental Machine) は、文字通り小規模な実験機で 32 ビット 32 語のメモリと 7 種類の命令しか装備されていないが、内蔵するプログラムを実行した。メモリとしてブラウン管のような「ウィリアムズ・キルバーン管」を用い、管面上の輝点により記憶した。その後、改良され 1949 年には Manchester Mark 1 として 1 語 40 ビット、命令 26 種 (最終的には 30 種に拡張)、128 語のメモリ、1024 語 (最終的には 4096 語に拡張) の磁気ドラムメモリが装備された。

また、モーリス・ウィルクス (Maurice Vincent Wilkes, 1913~) は 1949 年に EDSAC (Electronic Delay Storage Automatic Calculator) を開発し、実用的に稼働した。名前にもあるとおり水銀遅延線を使用した 35 ビット 256 語のメモリを装備しており、論理素子として真空管を用い、サブルーチンもライブラリとして多用された。

1944 年にはモークリとエッカートが ENIAC の反省から仕様を見直した EDVAC (Electronic Discrete Variable Automatic Calculator) の開発に着手している。演算を簡単にするため 10 進から 2 進数 (32 ビットだが 1 ビットはデータと命令の識別に利用) に変更し、プログラムも記憶する方式をとっている。記憶素子には、水銀遅延線を用い磁気ドラムメモリも装備していた。フォン・ノイマン (John Louis von Neumann, 1903~1957) が EDVAC の構想を発表したために、このプログラム内蔵方式をノイマン型と呼んでいるが、発想したのはモークリとエッカートであるし、EDVAC が完成するのは 1951 年で EDSAC の方が早い。また、メモリ上でデータと命令を区別するビットがあったことから、「命令とデータを区別しない」というプログラム内蔵方式の特徴は、現在ほどすっきりしたものではなかったように見える。

## (6) コンピュータの成立

どの計算機が最初のコンピュータかという点には言及しないが、少なくともこれまでにあげた計算機すべての機能をまとめれば、現在実用となっているコンピュータの基本的な機能はすべて網羅されているといえる。ここまでは、単純な単独の計算から一連の条件判断を含む演算手順を実行するというコンピュータの基本仕様への変遷がどのような要求から進んできたかを概説した。

### 1-1-2 コンピュータの高性能化 (文献4) 参照)

いったんコンピュータという枠組みが成立すると、この枠組みから大幅に逸脱するような(単純計算をする機械からコンピュータに変化して行ったような)変化はなく、この枠組みでの高性能化、高性能化が行われてきた。これらの進歩を四つの側面、すなわち、①使用する素子、②命令セットアーキテクチャ、③プロセッサ内部の構成方式(マイクロ・アーキテクチャ)、④利用方法の広がり、から捉えその流れを概観して行きたい。ただこれらの流れは、それぞれが独立した流れではなく、ある進歩が他の側面の進歩を引き起こす引き金になり、ある側面の要求が他の側面の進歩を促したりと、複雑に絡んでいる。

時間軸の目安として、

第1世代：1957年まで

第2世代：1958年から1963年

第3世代：1964年から1969年

第3.5世代：1970年から1979年

第4世代：1980年以降

に分類する。

### (1) 素子の高速化

第1世代のコンピュータの演算装置で使用された素子は、リレー、パラメトロン、真空管と多様であったが、真空管が主に使われた。一方、第1世代の主記憶装置は、水銀遅延線や陰極線管を用いた静電型記憶装置など各種の素材が使われた。静電型記憶装置は水銀遅延線に比べて、電子的にアクセスするのでアクセス速度は速かったが、動作の安定性に欠けた。

1953年に完成したMITのWhirlwindではフェライトコアのマトリックスを記憶装置として用い、コアメモリとしてその後20年にわたって主記憶装置の主力となった。また、第1世代では磁気ドラムを主記憶にしたコンピュータも商用機として成功した。

第2世代は、トランジスタの時代である。第2世代の主記憶装置は、高速化は図られているが依然としてコアメモリが使用されている。トランジスタ式の最初の商用機は、Philco社のTransac S-2000といわれているが、IBMの事務用大型機7070、科学技術計算用大型機7090、事務用中型機1401などのコンピュータが成功を収め、コンピュータが社会に普及する基盤が形成された。

第3世代は集積回路(IC)が使用された。最初の集積回路は、セラミック基板上に単体トランジスタチップをハンダ付けするハイブリッドICと呼ばれるもので、IBM 360シリーズで採用された。1チップ上に複数のトランジスタを搭載するモノリシックICは、1964年発表のRCAのスペクトラ70シリーズで最初に採用され、広く普及していった。この世代において

も主記憶はコアメモリが使用されている。

3.5 世代は、IBM 370 シリーズの出現により、それまでの第 3 世代と区別している。使用素的には、小規模集積回路 (Small Scale Integration : SSI) や中規模集積回路 (Medium Scale Integration : MSI) の使用から、大規模集積回路 (Large Scale Integration : LSI) の使用に移行したことや、主記憶装置も半導体集積回路メモリがコアメモリを置き換えていったという世代としての特徴がある。半導体メモリの使用は、長年使用されたコアメモリからの置き換えということで大きな変化であるが、共存する期間を経て置き換わっていった。その後も細部の方式として、バイポーラ型トランジスタの使用から NMOS 型トランジスタへの移行など、細かな点ではその後も変化している。

第 4 世代の特徴は、超大規模集積回路 (Very Large Scale Integration : VLSI) の使用である。1971 年に最初のマイクロプロセッサ Intel 4004 が完成してからの四半世紀はマイクロプロセッサの時代と呼んでもよく数多くのマイクロプロセッサが開発された。特に 1981 年に IBM が IBM PC を発表して以来パーソナルコンピュータの普及は著しく、その中心となる部品である。使用素子としては pMOS/nMOS トランジスタ (回路的にはこれらを組み合わせる CMOS 回路) であり、微細化 (スケーリング) による集積度の向上はいわゆるムーア (Moore) の法則として有名な「18 ヶ月で 2 倍のトランジスタ数」という速度で進んできた。また、微細化に比例するように動作周波数も向上し、2~3 乗に逆比例して消費電力も低減させてきた。このため、プロセッサ開発は「18 ヶ月に 2 倍の性能」という目標で高性能化を牽引してきた。真空管からトランジスタというような大きなブレークスルーではなく MOS トランジスタの微細化という地道な改良努力で、これほどの高性能化を達成できたことは特筆に値する。

第 1 世代や第 2 世代は、コンピュータは巨大な装置であり専用の計算機室に設置し空調も専用のものを設けるのが普通であった。しかし第 3 世代に入って 1965 年に DEC が小型の PDP-8 を発表してミニコンピュータという分野を成立させ、普通の事務所へ設置できる大きさの装置が出現した。また、真空管時代では物理的大きさの制限から小型化は困難であったが、動作速度が向上するにつれ、配線の信号遅延を減少させるためにも高密度実装が望まれた。真空管からトランジスタ、集積回路へと論理素子当たりの消費電力は減少してきているが、使用素子数の増加や高密度実装のため発熱密度は増加しており、特に 1976 年に出荷された CRAY-1 に始まる本格的なスーパーコンピュータでは、性能向上のため高密度実装が追求され、発熱密度の増加に対応できる冷却技術の開発が必須要件であった。このため、強制空冷だけでなく、水冷やフロンにより基板間に挟んだコールドプレートで冷やしたり、同様に冷却した金属ピストンなどを直接素子に密着させて冷却したりと、各種の方式が実用化されるなど、周辺技術の開発も推進されたことは見逃せない。近年では、携帯機器に実装する場合など冷却することが不可能な場合もあり、素子自体の消費電力を押さえ発熱量を下げる技術を発達させ、小型化・高密度化にも対応している。

## (2) 命令セットアーキテクチャ

第 1 世代のコンピュータの機械命令は、使用できるハードウェア資源の制約が厳しかったため、プログラミングしやすい機械語はどうあるべきかという観点より、実装できた機能を効率よく利用するための機械語という位置付けであった。このため、開発される機種ごとに異なる命令セットを持つことが多く、当初アセンブリ言語で行われていたプログラミングは、

大変な労力を強いられるものであった。

第2世代に入りソフトウェアの蓄積もでき、後継機種では機械プログラムの互換性を維持するなどの余裕も出てきた。また、この時期には高級言語によるプログラミングも始まり、1961年に開発された **Burroughs** の **B5000** では高級言語指向として演算スタックやセグメンテーションといったアーキテクチャを採用したが、本格的な展開は第3世代に入ってからになる。

第3世代には、**IBM System-360**が登場し、それまで同じ**IBM**のコンピュータでありながら事務計算用と科学技術計算で異なる命令セットであるためソフトウェアの互換性がなかったものを、同一命令セットで性能の異なるシリーズ化されたコンピュータが開発された。この命令セットは、アキュムレータやインデックスレジスタといった機能を限定されたレジスタではなく汎用に使えるレジスタを複数個持つ汎用レジスタ方式や、バイト単位でアドレス付けするバイトアドレッシングなど現在の命令セットアーキテクチャの一般的機能を装備していた。また、複数の処理装置を持つシステムであるマルチプロセッサシステムのモデルも存在した。

第3.5世代になると、**System-360**は**System-370**へと進歩し、仮想記憶やOS向けの命令の追加などが行われた。

仮想記憶は、「主記憶参照の局所性」という性質を活用した「容量の仮想化」であり、1961年にマンチェスター大で開発された**Atlas**のページング方式が最初といわれている。これは、レジスタ、メモリ素子、磁気ディスクなどの外部記憶装置を考えた場合、容量の大きなものは、アクセス速度が遅く、アクセス速度が速いものは、容量が小さいという傾向にあるため、これらの素材を階層的に構成し、プロセッサからの主記憶参照は局所性があるので、適切なブロック単位で記憶階層間に写しを作成することで、仮想的に主記憶のアクセス速度から大幅な速度低下を招かず、容量は外部記憶並みの容量があるように見せるものである。

また、大量データに対し均一な処理を施す科学技術計算に特化した命令セットを持つスーパーコンピュータも開発されている。イリノイ大学で開発された**ILLIAC IV** (1973年)では単一の命令ストリームで複数のデータを処理するSIMD型処理が最初に実現された。**CRAY-1**では、一つのレジスタに複数データを格納することでベクトルデータを処理するベクトル命令が採用されている。この後、**CRAY X-MP** (1982年)、**CRAY-2** (1985年)、**CRAY Y-MP** (1988年)と開発された。日本でも富士通が**FACOM 230/75APU** (1977年)、**VP-100** シリーズ (1982年)、日立が**M-180IAP** (1978年)、**S-810** (1982年)、**NEC**が**SX-1** (1983年)と開発を始め、これらの後継機も含めて、スーパーコンピュータとしてのベクトルプロセッサを供給してきた。この後、スーパーコンピュータ自体は多数のスカラプロセッサを結合した並列処理に世界的に移行していったが、日本では、富士通/航空宇宙技術研究所の数値風洞 (**NWT**; 1993年)から**NEC**の地球シミュレータ (2002年)に至るベクトルプロセッサを多数台接続した並列処理という独創的な形式を生み出した。スーパーコンピュータ以外でのSIMD命令の応用としては、一度に処理できる要素数は少ないものの、画像処理などの高速化のために汎用プロセッサに追加された例があげられ、**intel MMX Pentium** (1997年)で実装されて以降、**AMD 3DNow!** (**K6-2**; 1998年)、**intel SSE** (**Pentium III**; 1999年)と拡張されている。

第3.5世代の後半では、ソフトウェア危機が叫ばれ、コンパイラの作成を容易にする方向で命令セットが考えられた。命令の種類とオペランド指定の方式の組合せに制限があると、コンパイラがコード生成を行う場合の命令選択に困難さが増加すると考えられ、一様な体系

の命令セットである (CISC : Complex Instruction Set Computer) が提案された。一例としてミニコンピュータの DEC VAX11/780 (1978 年) の命令セットがあるが、逆に命令の種類が多すぎて、コンパイラでは使い切れないということで、廃れていった。

第 4 世代になると CISC に対する反動として、簡単かつ最低限の命令だけを含む命令セット (RISC : Reduced instruction Set Computer) が出現した。これは、ハードウェアを簡素化して動作速度を向上させることと、コンパイラによる最適化技術の進歩により効率のよいコードを生成できることにより性能向上を狙うものである。この時期のマイクロプロセッサの発展とうまく組み合わせられて広く普及していった。IBM 801, Berkeley RISC (SPARC につながる), MIPS などが 1980 年代初頭に開発された。

また、処理性能を上げるために複数の命令を同時に実行するという命令レベル並列処理 (Instruction Level Parallelism : ILP) を命令セットレベルで実現しようとしたのが VLIW (Very Long Instruction Word) 方式である。これは Yale 大の Fisher らによって提案され、試作機として ELI-512 が 1983 年に発表されている。その後、商用機も作られたが、1990 年代半ばに PC のグラフィックボードに搭載されるアクセラレータプロセッサ (GPU) に多く採用された。また、Transmeta の Crusoe プロセッサ (2000 年), intel の itanium プロセッサ (2001 年) で採用され、この方式の知名度が上がった。

その後は、ソフトウェアの蓄積により、命令セットを変えないという圧力が強くなり、生き残ってきた命令セットによる寡占状態が進行している。

### (3) プロセッサ内部の構成方式

命令セットによる高速化・高機能化は、機械語としてプログラマに直接見えるものであるが、命令セット上には現れない高性能化として、内部の構成方式であるマイクロアーキテクチャによる性能向上がある。これは、命令セットは共通化しているが、性能レベルは複数持ちたいという場合や命令セットを変更できないが性能を向上させたい場合などに必要となってくる。

第 2 世代の後半 1961 年に完成した IBM Stretch (IBM 7030) やイリノイ大で開発された ILLIAC II (1962 年) が、命令のパイプライン処理が導入された最初のコンピュータといわれている。これらはハイエンドの科学技術用計算機であり、その後徐々に一般の計算機にも適用されだした。もともと、命令を実行するには、命令フェッチ、命令デコード、オペランド読み出し、演算、結果の書き戻し、といった処理に分解されて実行されていたが、それぞれで用いる回路は独立していることが多く、一つの命令の処理が完全に終了してから次の命令の処理を始めるのではなく、分解された処理の単位で次々と実行していくことで、時間当たりに処理できる命令数を増加させる方式をいう。

第 3 世代に入ると、仮想記憶方式と同じ考え方で、レジスタと主記憶の間に、高速の小容量記憶階層を持って、主記憶アクセスが高速になったように見せかけるキャッシュ技術が実用化された。このキャッシュの管理はハードウェアで行うことが普通であるため、プログラマからは論理的には見えない。この方式を最初に用いたのは、1986 年に発売された IBM 360/85 であるといわれている。

第 4 世代に入ると、命令パイプラインを進化させ、本当に同時に複数の命令を処理する命令レベル並列処理をハードウェアで実現しようとするスーパースカラ方式が実用化される。

この考え方自体は古く第3世代のCDC-6600(1964年)やIBM 360/91(1968年)にその原型を見ることができる。しかしこれらは、科学技術用のいわゆるスーパーコンピュータの原点であり、一般のコンピュータへの適用は、ハードウェア量の問題(すなわち価格の問題)もあり、1990年代まで待たなくてはならない。その当時の最初の機種としては、Intel i960CA(1988年)、AMD 29000シリーズ(1990年)、TI Super SPARC(1991年)などがあげられる。また、スーパースカラ方式が普及した背景には、コンパイラによる最適化技術の向上があり、これにより初めて複数の演算器を効率よく使用できるようになった。

また、関連する技術として、分岐予測があげられる。これは、パイプライン処理など先行する命令の結果を後続の命令で使用する場合など、依存関係によって後続の命令の処理が待たされる。このペナルティの顕著なケースとして条件設定と条件分岐の関係がある。この対策として、条件分岐命令の分岐/不分岐や分岐先アドレスを予測する分岐予測方式も、一般的に採用されている。

しかし、命令レベルでは利用できる並列度に限界があり、複数のスレッドを実行するSMT(Simultaneous Multi Threading)方式を経て、1チップ内にプロセッサを複数実装するチップマルチプロセッサ方式へと粒度の大きい並列処理に進展している。

#### (4) 利用方法の広がり

第1世代は、その装置の大きさや製造台数からいって、非常に限られた範囲で使用が始まったという段階であり、利用者は時間を区切って占有使用するという利用形態や、持ち込まれるプログラムを効率よく実行するバッチ処理が中心であり、その利用目的も数値計算などの応用が主であった。

第2世代に入ってIBMにより1960年から1964年に開発されたアメリカン航空向けのSABREシステムは航空機の座席予約システムで、コンピュータの利用範囲を大きく広げ、その後オンライントランザクション処理という重要な応用分野の一つとなっていった。

また、1961年からMITでプロジェクトMAC(Multiple Access Computer)という多数のユーザが1台の大型コンピュータを時分割に共有して使い、性能は低くなるがあたかもコンピュータを占有利用しているように使用する試みが始まった。このためには、主記憶の割付けが柔軟にできなくてはならず、先にあげた仮想記憶方式を普及させる原動力ともなった。

1964年にはこのためのオペレーティングシステムMULTICS(Multiplexed Information and Computing Service)の開発も始まっている。この流れは、第3.5世代に入り、実際に使用者が占有できるミニコンピュータの成立に向かっており、その後、第4世代においては、1981年のマイクロプロセッサの出現を背景としたIBM PCの発表に始まるパーソナルコンピュータの爆発的普及へとつながっている。普及の背景には、同時期にARPANETを原点とするINTERNETが成立していったことも無視できない。これにより、コンピュータは計算する装置からコミュニケーションや検索にも利用する装置へと質的变化を遂げる。

第4世代のマイクロプロセッサの登場は、いままでコンピュータシステムとはあまり縁のなかった分野へも応用分野を広げていくことになる。一つは1983年に発売が開始された任天堂のファミリーコンピュータである。ここから、ゲームをはじめとするエンターテインメントの世界にコンピュータが進出していく。よりきれいな画像やリアリティのある動画の再現を目指して、Sony Emotion Engine(1999年)やIBM Sony 東芝のCell Broadband Engine(2005

年)などの専用プロセッサが開発されるなど、コンピュータ技術の牽引役の一翼を担うまでになった。

もう一つはマイクロプロセッサの低消費電力化による携帯機器への搭載である。PDA (Personal Digital Assistant) や携帯電話、音楽/動画プレーヤなどに使用され利用者はコンピュータシステムという意識なく使用している。この中でも先駆的な PDA は、1993年に発売された Apple の Newton であろう。その後、1997年に発売された Palm Pilot は商業的にも成功を収めた。日本でも、シャープの Zaurus (1993年~) などヒットしたものがある

最後の分野は組み込みシステムの分野である。マイクロプロセッサは高機能化、低価格化が進み、日常的な各種の家庭機器に組み込まれていろいろな制御に使用することができるようになった。家電製品や自動車には相当数搭載され、特に車載は、カーナビゲーションシステムのような情報システムだけでなく、燃料噴射システムや電動ウィンドウの制御など数十種類のシステムが1台の自動車に搭載されている。この背景には、より細かに知的に各種の制御を行うことで、その製品の価値を高め、かつ専用 LSI を開発するような費用をかけないというニーズから来るものであろう。

#### ■参考文献

- 1) 大駒誠一, “コンピュータ開発史—歴史の誤りを正す「最初の計算機」を訪ねる旅—,” 共立出版, 2005.
- 2) 星野力, “誰がどうやってコンピュータを創ったのか?,” 共立出版, 1995.
- 3) The office of Charles and Ray Eames, 山本敦子訳, 和田英一監訳, “A Computer perspective : 計算機創造の軌跡,” アスキー, 1994.
- 4) 情報処理学会歴史特別委員会編, “日本のコンピュータ発達史,” オーム社, 1998.

## ■6群 - 1編 - 1章

### 1-2 自動車, 家電, ゲーム, 携帯電話などへの組み込み向け マイクロプロセッサ, コントローラの応用の広がり

(執筆: 前島英雄) [2009年2月 受領]

組み込みシステムは、ある応用に特有な機能を実現するため、その応用機器のエレクトロニクス部分にコンピュータを組み込んだ電子システムを示すものである。その発展はコンピュータのハードウェア（マイクロプロセッサ登場前後）、マイクロプロセッサの性能・機能・応用展開によって以下のように時間軸として、

第1期：マイクロプロセッサ登場以前（1970年以前）

第2期：マイクロプロセッサの工業製品への応用（1971～1980年）

第3期：自動車、ゲーム機、家電製品への応用（1981～1990年）

第4期：デジタルカメラ、携帯電話、高性能ゲーム機への応用（1991～2000年）

第5期：SoC（System-on-a-Chip）やマルチコアチップの応用（2001年以後）

に分類する。各期の概要を以下に示す。

#### 【第1期】1970年以前

組み込みシステムはマイクロプロセッサが登場する以前から出現しており、1962年に開発されたミニットマンミサイルは慣性誘導航法を採用しており、搭載されているジャイロや加速度計などのセンサから得られる情報から、電波による誘導に頼らずに自らの位置や速度を搭載コンピュータによって計算し、誘導するものであった。更に、1969年に月着陸を果たしたアポロ（サターンロケット）では専用の制御コンピュータを搭載し、慣性誘導を始め航行や姿勢制御などを行った。また、自動車においても1967年にVolkswagen社、1970年にBosch社がコンピュータを用いたエンジン制御システムを開発した。このように、まず高価なシステムを対象としながら、コンピュータ搭載によって各種の制御を行う組み込みシステムが開発されてきた。

#### 【第2期】1971年から1980年

第1期は組み込みシステムの黎明期と位置付けられるが、1971年に電卓用演算装置として開発されたインテル社の4ビットマイクロプロセッサ4004が登場し、その後、8ビットマイクロプロセッサの主流となったインテル社 i8080、モトローラ社（後に半導体部門はフリースケール社に分離）MC 6800が1974年、ザイログ社 Z80が1976年に発売された。マイクロプロセッサは、その小型・低価格、ソフトウェアによるプログラマビリティの利点から爆発的に組み込みシステムへの応用を広げていくことになった。これらのマイクロプロセッサは、まず工業製品のコントローラの心臓部として使われた。例えば、エレベータでは1970年代半ばになって、それまで煩雑なリレー式回路によって構成されていた制御回路がマイクロプロセッサによって実現されるようになった。

更に、この期には上記8ビットマイクロプロセッサの上位機に当たる16ビット機が次々に発売された。1978年にはインテル社が i8086 を、1979年にはザイログ社が Z8000 を、1980年にはモトローラ社が MC 68000 を発売した。i8086 はパソコン用 CPU である Pentium のオリジンであり、MC 68000 は16ビット機に位置付けられていたが32ビットアーキテクチャであったことも特筆すべきことである。

### 【第3期】1981年から1990年

この期にはマイクロプロセッサが自動車エンジン制御を始め、初期のゲーム機、プリンタなどのOA（Office Automation）機器、冷蔵庫や洗濯機といった家電製品に 응용を拡大していった。その主流は8ビットマイクロプロセッサで、コントローラは単なるCPU（Central Processing Unit）性能の追求ではなく、応用分野に合わせた仕様として、低コスト、周辺機能の充実などの観点が重要になっていた。また、自動車のエンジン制御用途では広い温度範囲での動作が要求されている。オペレーティングシステム（OS: Operating System）についても、組込みシステムにおける高速な割込みのハンドリングの必要性からリアルタイムOSが中心的に使われてきており、更に一旦機器に組み込まれるとバージョンアップをする必要性が低いことも組込みシステムの特徴となっている。

更に、組込みプロセッサは、パソコン用などに用いられる汎用マイクロプロセッサのようにOSやアプリケーションの互換性に制約されることが少なく、自由な発展を遂げることのできる土壌にあった。

### 【第4期】1991年から2000年

この期にはデジタルカメラ、携帯電話、高性能ゲーム機などのデジタル機器が出現し始め、マイクロプロセッサには従来の処理に加えて画像・音声などのデータ処理性能が要求されてきた。1995年にはカシオ計算機のデジタルカメラQV-10を発売したが、これには32ビットRISCである日立製作所（後に半導体部門は三菱電気の半導体部門とともにルネサステクノロジーに分離・合併）のSH-1を搭載していた。また、1994年にセガ・エンタープライゼス社のサターン、ソニーコンピュータエンタテインメント（SCE）社のプレイステーションが発売されたが、前者は日立製作所のSH-2を用い、後者はMIPSアーキテクチャのR3000をコアとしており、この分野にRISCアーキテクチャのプロセッサが浸透していった。マイクロプロセッサの集積度が向上してくると、グラフィック処理用に浮動小数点演算ユニットをオンチップ化するようになり、高画質なグラフィック処理を行う高性能ゲーム機が出現した。1998年には日立製作所のSH-4を搭載したセガ社のドリームキャスト、2000年にはEmotion Engineと呼ぶMIPSベースのチップを搭載したSCEのプレイステーション2が発売された。

一方、携帯電話では1990年代半ばにアナログ式からデジタル式に変わり、後半にはインターネットが使えるようになり、その後、プロセッサを組み込んだ携帯電話機の普及は爆発的に拡大していった。

### 【第5期】2001年以後

第5期にはいと、単一コアの性能の飽和、消費電力などの問題から、汎用マイクロプロセッサはマルチコア化を指向するようになり、2001年には高性能サーバ向けの64ビットRISCコアを2個搭載したIBM社のPower 4が登場した。この動向は組込み向けのマイクロプロセッサも同じであり、ゲーム機では2006年になると、より高性能化を図ったCell Broadband Engine<sup>8)</sup>と呼ぶPowerPCベースの64ビットRISCコアを一つ、演算用コアであるSPE（Synergistic Processor Element）8コアを登載するプロセッサが開発され、SCEのプレイステーション3に搭載（SPE 8コア中7コアを使用）して発売された。一方、携帯電話でも、これまで一つのベースバンドプロセッサですべてを処理していたが、地上波デジタル放送のワンセグ受信やデジタルカメラ搭載といった豊富な機能搭載に呼応してアプリケーション

プロセッサを単一チップに集積するマルチコア化が浸透してきた。

本節では、組込み向けのマイクロプロセッサ、コントローラの発展を助長した半導体技術、マイクロプロセッサのアーキテクチャを概観した上で、各製品分野について、これらの発展上でキーとなった項目をあげながら、エポックとなった組込み向けマイクロプロセッサの特徴なども併せて説明する。

### 1-2-1 組込み向けマイクロプロセッサの発展

1971年に発売されたインテル社のMCS-4マイクロコンピュータシステムは、日本のビジコン社の依頼でプリンタ付き電卓用にインテル社が開発したものである。CPUである4004チップは、最小寸法10ミクロンのPMOS (P-channel Metal Oxide Semiconductor) プロセスで製造され、2300素子で構成されるわずか3mm×4mmのチップで、クロック周波数864kHz (1命令実行は8クロックで108kHz) で動作した。1946年に開発された世界最初のコンピュータENIAC (Electronic Numerical Integrator and Computer) に匹敵する演算処理能力に加え、外部機器制御をソフトウェアによって行うことができるという機能を備えていた。つまり、4004は、応用分野から見ると、正に今日の組込み向けマイクロプロセッサの原形といえるものとして世に出現しており、そもそもマイクロプロセッサは組込み向けプロセッサから始まったといっても過言ではない。

図1・6に示すように、組込みシステムは、初期には半導体の集積度の制約からCPUチップに加えて、DMAC (メモリーメモリーまたはメモリーI/O間的高速データ転送)、シリアルI/O (SCI)、A/DやD/A変換器などの個々の周辺チップ、ROMやSRAMといったメモリとの組合せにより所望の機能を実現してきた。この段階では組込みシステム専用のマイクロプロセッサという考え方ではなく、汎用のマイクロプロセッサとして開発されたものであったが、ソフトウェアによるプログラマビリティの高さから工業製品、自動車エンジン制御、家電製品を始め、マイクロプロセッサを搭載した組込みシステムが広がってくるようになった。

半導体の微細化が進み、それまで周辺チップとして提供されていた機能が1チップに集積できるようになると、周辺機能内蔵、更にメモリ内蔵のマイクロプロセッサが低コストで登場してきた。1976年に発表されたi8085は、i8080の命令拡張・高集積機種で、周辺機能としては組込みコントローラ、I/Oポート (1ビット) が集積されていた。これを基本に256バイトRAM、タイマを内蔵したi8155、2KバイトのマスクROM/EP-ROMを内蔵したi8355/i8755へと繋がっていった。また、1982年に発表されたモトローラ社のMC6801は、タイマなどの周辺機能とともに、プログラム格納用ROM/2KB、データ格納用RAM/128Bを集積していた。

一方、1970年代はNMOS (N-channel MOS) マイクロプロセッサが中心であったが、1980年代に入ると、消費電力の増大から放熱特性のよい、高価なセラミックパッケージなどの使用が必要になり、コストが上がるという問題が出てきた。これを解決するため、消費電力を飛躍的に低減するCMOS (Complimentary MOS) マイクロプロセッサが登場してきた。当時はまだNMOSでも1~2W程度のものであったが、小型の携帯情報機器などの応用分野が芽を出し始め、電池駆動の応用のためには一層の低消費電力化が必要となり、ほとんどのマイクロプロセッサがCMOSデバイスで作られるようになった。このことは自動車のエンジン制御など自然空冷が不可欠の分野では大変都合のよいものとなり、以後はCMOSマイクロプロセッサが主流となった。この傾向は汎用マイクロプロセッサも同様の道を歩むこととなった。

NMOS マイクロプロセッサの時代は集積度が低いことやデバイスの本質的な特性もあり、低消費電力化についてはあまり議論されてこなかった。しかし、CMOS マイクロプロセッサが登場すると CMOS デバイスが信号の変化時だけに電力を消費するという特徴を活かすクロック制御による低消費電力技術が考案された。これはマイクロプロセッサの待機時にクロックを停止させたり、処理に必要な最低限のクロック周波数で動作させる技術である。1983年に開発された日立製作所の8ビットマイクロプロセッサ HD 6301は、クロックを停止するスリープ命令を有しており、プログラムによる低電力制御を可能にした。

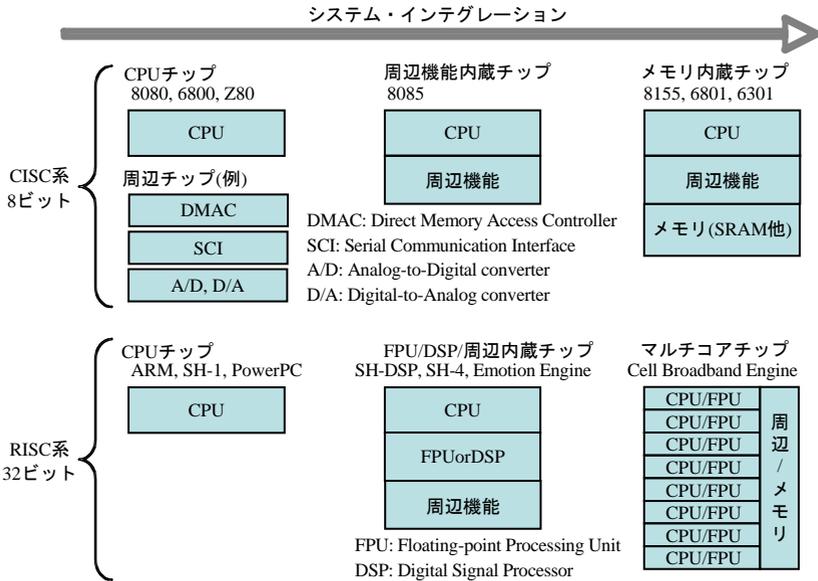


図 1・6 高集積化による組込み向けマイクロプロセッサ内蔵機能の変化

集積度が更に増すと、32ビットアーキテクチャのプロセッサを中心に専用プロセッサやアクセラレータを単一チップに搭載できるようになり、FPU (Floating-point Processing Unit) や DSP (Digital Signal Processor) などの専用プロセッサを CPU、メモリとともに1チップに集積する製品が出現した。

汎用マイクロプロセッサとペアで使用される FPU チップは 1980 年代に入って次々に開発されたが、インテル社の i8086 と i8087、モトローラ社の MC 68020 と MC 68881 などのペアが有名である。このように、FPU は汎用マイクロプロセッサでは不可欠なものになっていたが、組込み向けプロセッサにおいても機器制御の高度化には不可欠な要素となってきた。これは、家電製品、ゲーム機、携帯電話の応用分野において、音声、動画、グラフィック処理などのようにデータ処理の高性能化が必要になってきたからである。

このような背景から、1998年、2000年にそれぞれ開発された日立製作所の SH-4、SCE 社の Emotion Engine では3次元グラフィック処理を高速に並列実行する行列用演算機構を備えた FPU を内蔵し、1996年に開発された日立製作所の SH-DSP は DSP 機能を内蔵し、これを

契機に以後、SH3-DSP やテキサスインストルメント社の ARM 9 に DSP コアを内蔵したマイクロプロセッサなどが登場してきた。

更に、それまでのマイクロコードにより複雑な命令を処理するマイクロプログラム制御方式の汎用マイクロプロセッサにおいて、命令の高機能化にもかかわらず、コンパイラの生成する機械語は簡素なものが多いなどの反省から、1970 年代の終わりから 1980 年代初頭に RISC アーキテクチャの研究が始まった。RISC アーキテクチャのマイクロプロセッサは、研究としては UCB の RISC I, Stanford 大の MIPS が有名で、その後、RISC I からサンマイクロシステムズ社の SPARC, MIPS 社の MIPS へと商用チップとして引き継がれ、1980 年代後半になって製品が続々と登場した。また、これとは異なる流れとして、1991 年にアップル社の PDA (Newton) に使用された ARM (Advanced RISC Machines) 社の ARM 6, 1994 年に AT&T 社の Hobbit などが開発されている。

図 1・7 に示すように、RISC は 32 ビット固定長の簡素な命令を使用し、演算器やレジスタ・ファイルなどの演算ユニットは従来のアーキテクチャ (CISC : Complex Instruction Set Computer) と変わるものではないが、これを制御する制御ユニットが可変語長や高機能な命令からなる CISC に比べて大幅に縮小化されることになる。例えば、マイクロコードを用いたモトローラ社の MC 68000 は約 70000 素子で構成されているのに対し、ARM 2 では約 30000 素子で構成されている。すなわち規模の小さい CPU を実現できるため、組込み向けマイクロプロセッサには大変都合のよいものとなった<sup>1)</sup>。CISC は高級言語に対するコンパイラ支援などから命令やハードウェアが複雑化してきたが、RISC では逆にコンパイラ技術の向上を利用してハードウェアを簡素化したといえる。結果的に、RISC アーキテクチャは、組込み向けマイクロプロセッサのみならず、汎用マイクロプロセッサにおいても簡素なハードウェアは動作周波数の向上やスーパースカラに見られる命令レベルの並列処理が容易になり、高性能化に貢献することになった。

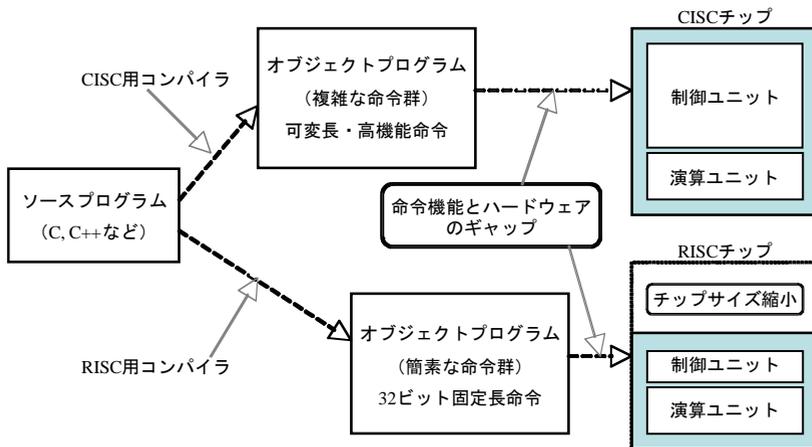


図 1・7 RISC と CISC アーキテクチャによるチップサイズの違い

自動車を始めとした組込みシステムには 8 ビットの CISC 系マイクロプロセッサが主に使われてきたが、その一部では性能の高い RISC 系マイクロプロセッサが使われるようになって

てきた。しかし、32ビット RISC アーキテクチャのコード効率が8ビットのマイクロプロセッサと比べると相当低く、8ビットマイクロプロセッサに比べてコード量が多くなる傾向にあった。このため命令を格納するメモリを多く必要とし、組込みシステムに内蔵するメモリへのプログラム収容に問題が生じ、その活用の障害となった。これを解決する手段として、32ビット固定長命令を特徴とする RISC 系マイクロプロセッサの概念を変えた機種が登場した。1992年に16ビット固定長命令を特徴とする日立製作所の SH-1<sup>2)</sup>が開発され、続いて元々32ビット固定長命令であったものに16ビット長命令を混在させた MIPS 社の MIPS 16 や ARM 社の ARM-thumb<sup>3)</sup> アーキテクチャなどが登場した。これらの技術により、8ビットマイクロプロセッサ並みのコード効率を実現した。

一方、これまでの機器制御とは異なる機能が必要になってきた。マルチメディア分野の発展が始まり、汎用マイクロプロセッサでも扱い始めた画像、グラフィックス、音声などのデータ処理が組込みプロセッサでも求められるようになってきた。機能としては、(1)ファックス、電話などの通信処理、(2)デジタルカメラでの JPEG (Joint Photographic Experts Group) などの静止画像処理、(3)デジタルビデオでの MPEG (Moving Picture Experts Group) などの動画処理 (MPEG 2, MPEG 4 など)、(4)ゲーム機における2次元、3次元グラフィック処理、(5)オーディオでのドルビーAC (Audio Code)-3、更に情報処理社会におけるマンマシン性向上のための(6)音声や(7)画像認識などが必要となってきた。これらの処理はそれぞれ必要とされる性能が大きく異なるが、複数の機能を同時に動作させる場合も多い。必要性能やコストの観点により、当初は専用チップが使われてきたが、その後、ソフトウェア化され、CPU ソフトウェアで実行されるようになった。しかし、更に集積度が高くなると専用モジュール、専用プロセッサあるいはアクセラレータとして CPU とともに1チップに集積されるようになった。

また、2000年代に入り、組込み向けマイクロプロセッサにおいても CPU コアを複数集積するマルチコアが出現してきた。これはシングルコアによる動作周波数向上に伴う消費電力増加及び発熱の問題が顕著になり、また動作周波数自体の伸び悩みを解決するためのシステムレベルの並列処理による性能向上を狙ったものである。

## 1-2-2 自動車制御への展開

今日の自動車用途への組込み向けマイクロプロセッサは、エンジン制御、トランスミッション制御などのパワートレイン制御を始め、各種の車両チェック情報を統合するダッシュボードのパネル、カーナビゲーションシステム、ETC (Electronic Toll Collection) システム、オーディオシステムといった部分に使われており、これらを合計すると一台の自動車に搭載されるマイクロプロセッサが数十個にも及ぶものもある。自動車応用では後述するゲーム応用とは異なり、動作周波数の向上よりは消費電力、振動や温度範囲などを含めた信頼性が重視されていることも特徴といえる<sup>4)</sup>。

パワートレイン制御では、エンジン制御への応用が早い時期に実現された。これはエンジン点火時期制御を行うもので、マイクロプロセッサを用いたものではないが、1967年に Volkswagen 社、1970年に Bosch 社がコンピュータ制御のシステムを開発した。マイクロプロセッサを用いた現在のエンジン制御システムの母体は米国 GM (General Motor) 社が開発した。ここで使われたマイクロプロセッサは、1982年に登場したモトローラ社の8ビット MCU

(Micro Controller Unit) MC 6801 で、タイマなどの周辺 I/O とともに、プログラム格納用 ROM/2 KB, データ格納用 RAM/128 B を内蔵し自動車エンジン制御に多く使われた。ここで用いられた ROM はマスク ROM で、エンジン制御プログラムや定数データなどを記憶するが書き換えはできない。また、CMOS プロセッサに変わっていくとともに、1990 年に入ると 32 ビットの MC 68300 が登場し、この分野も 32 ビットアーキテクチャへと入っていった。

更に、1998 年には PowerPC をベースとする 32 ビット MCU/MPC 555 が登場し、2000 年になると 1MB のフラッシュメモリを搭載した MPC 565 が登場した。MPC 565 は、ますます制御が高度化することでコード容量を必要としてきたプログラム、定数やエンジンなどの特性などのデータ領域の拡大要求に応えるとともに記憶データの更新も可能とした。そして、2003 年には 2 MB のフラッシュメモリに加え DSP を搭載する MPC 5554 へと発展していった。

一方、情報通信分野のカーナビゲーションシステムでは地図情報、音声ガイド、経路探索を扱うため、2 次元グラフィックスの高速描画機能、音声合成などのパワートレインとは異なる機能が要求されており、後述するゲーム機に似た仕様が必要となっている。

### 1-2-3 家電製品への展開

1970 年代より洗濯機ではプログラム式全自動洗濯機が開発されていたが、1980 年代に入ると、洗濯機、冷蔵庫、炊飯器などを始めとしてマイクロプロセッサをコントローラとする「マイコン制御」の家電製品が次々と登場した。洗濯機では 1990 年代には、より高度なファジィ制御なども取り入れられた。炊飯器では、当初は単に炊くという機能しかなかったが、マイクロプロセッサの導入により、それに内蔵されている RTC (Real Time Clock) やタイマを用いた炊飯予約を始め、1990 年代になると炊き方も制御対象となり、いろいろな種類の炊き具合をプログラムできるようになった。当初は 4 ビットのマイクロプロセッサが用いられていたが、機器の機能向上に伴い一部 8 ビットへと移行した。これらの分野では、RISC 登場以前からマイクロプロセッサが使われていたので CISC アーキテクチャが多く、テレビ及びその関連機器を除き、自動車分野に比べれば性能向上要求は弱く、また、コストが最優先課題のため大きな変化は見られない。

しかし、デジタルカメラ、デジタルビデオカメラ、テレビなどの機器ではデジタル化が進むにつれて高性能な画像処理の必要性から、RISC アーキテクチャを中心とする 32 ビットプロセッサが使われるようになった。

デジタルカメラでは、1994 年に発売されたアップル社の Quick Take 100 がマイクロプロセッサを内蔵したデジタルカメラとして脚光を浴び、1995 年に発売されたカシオ計算機の QV-10 やリコーの DC-1 が続いた。特に、QV-10 は超小型かつ低価格という特徴から広く一般に受入れられたが、この機種には日立製作所の 32 ビット RISC マイクロプロセッサ SH-1 が用いられた。更に、メカ制御が中心の VHS などの VTR (Video Tape Recorder) 装置には CISC 系チップが用いられてきたが、DVD (Digital Versatile Disc) 装置の登場に伴い、MPEG などのデジタル動画像処理に高性能が要求されるようになってきた。これには RISC 系チップが用いられ、VLIW (Very Long Instruction Word) アーキテクチャを採用した富士通の FR 500 やマルチコア化した FR 1000<sup>5)</sup> などの採用もでてきた。デジタルテレビやデジタルビデオ機器の分野は統合化が進み、動画像処理のみならず画像検索などの機能も要求されており、高性能な組込み向けマイクロプロセッサが要求されており、次に述べるゲーム機分

野に近い状況になりつつあるといえる。

#### 1-2-4 ゲーム機への展開

ゲーム機の歴史を見てみると、初期のものはキャラクタ（文字）を用いたセミグラフィックスと呼ばれる単純なものであったが、マイクロプロセッサの性能向上に伴い2次元そして3次元グラフィックスが導入されてきた。

1983年に売り出され、今日のゲーム機人気の走りとなって、世界で6000万台以上を出荷したといわれる任天堂のファミコンは、8ビットマイクロプロセッサ6502からBCD演算機能を削除し、DMA機能とサウンド用DACを内蔵した1.78MHz動作のカスタムチップであった。6502はモステクノロジー社が開発したマイクロプロセッサで、米国アップル社のApple IIを始め、コモドール社のパソコンなどに使用された。

1994年には、SCE社のプレイステーションが発売された。CPUは32ビットRISCアーキテクチャのMIPS-R3000である。グラフィックスのためのコプロセッサやサウンド用CPUは別チップとして搭載された。同年に、セガ社が発売したセガサターンは、日立製作所のSH-2を2個使用している。

この分野は低コスト化や低消費電力が要求される一方で、グラフィックスや動画などのマルチメディア処理を高速に実行する要求が高く、ゲーム機用マイクロプロセッサはパソコンなどの汎用マイクロプロセッサとは異なる発展を遂げている<sup>6)</sup>。

1998年にはセガ社がドリームキャストを発売した。このゲーム機に使用されたのは、図1・8に示した高速3次元グラフィックス機能を内蔵した日立製作所製のSH-4<sup>7)</sup>で、200MHzで動作する。

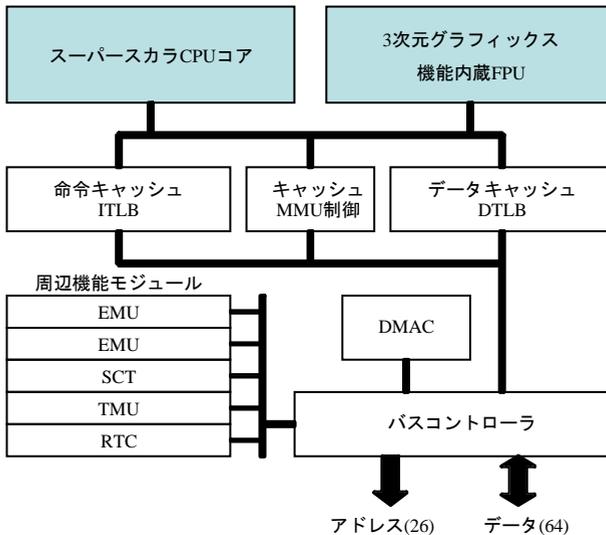


図 1・8 高速グラフィックス機能内蔵マイクロプロセッサ (SH-4)

高速3次元グラフィックス機能は、32ビット浮動小数点データの4行4列の座標変換計算(28演算)を4並列の浮動小数点演算ユニットにより、1.4 GFLOPS (Giga Floating-point Operations Per Second) で実行する。

2000年になるとSCEのプレイステーション2が発売された。使用したチップはEmotion Engineと呼ぶMIPS-R3000をCPUコアとし、6.2 GFLOPSの能力を持つグラフィック機能をオンチップ化している。

2006年には、SCEがプレイステーション3を発売した。使用されたチップは図1・9に示した構成のCell Broadband Engine<sup>8)</sup>と呼ぶPowerPCベースの64ビットRISCコアを一つ、256KBのローカルメモリ(SRAM)を持つ演算用コアであるSPE(Synergistic Processor Element)8コア中の7コアを使用するマルチコアチップで、3.2GHzで動作する。浮動小数点演算性能は179.2 GFLOPSに及ぶ。また、このアーキテクチャでは内部インターコネクトバス(EIB)にリングバスを用いていることも特徴である。

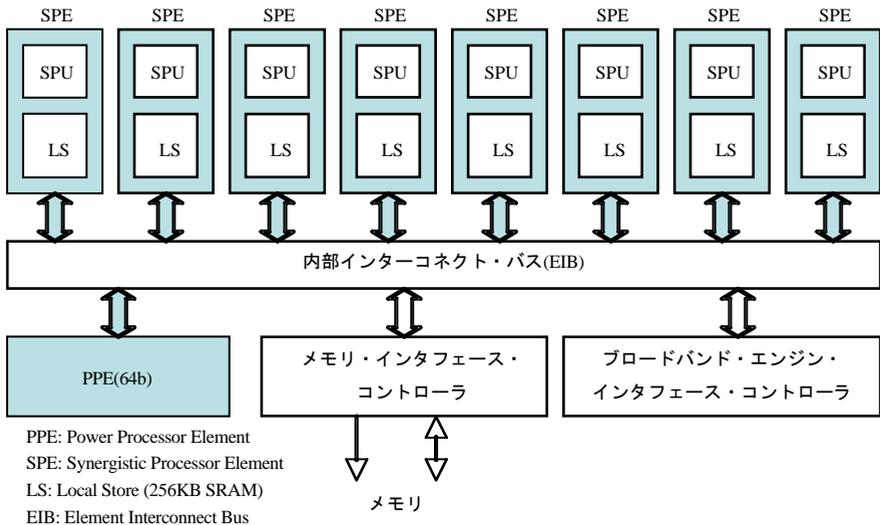


図1・9 ゲーム機用マルチコア (Cell Broadband Engine)

### 1-2-5 携帯電話への展開

携帯電話では、電話機本来の機能である通信・通話機能に加え、ここ数年で多くの機能が実現されてきた。それらはメール・Web閲覧、デジタルカメラなどのほぼ標準化した機能に加え、音楽再生プレーヤ、地上波デジタル放送を受信できるワンセグテレビ、ゲームなどのエンターテインメント機能を始め、GPS (Global Positioning System)、各種認識 (音声、指紋) などの機能で、携帯情報端末として位置付けられるまでに成長している。1992年に開始された第2世代といわれるデジタル方式以来、携帯電話は飛躍的に普及してきたが、その背景にはこれらの様々な機能がCPUの高性能化に加えDSPや各種アクセラレータを付加するこ

とで実現され機能が向上してきたという面がある。また、低消費電力技術によりバッテリーの長寿命化が図られたことも、使い勝手の点で見逃せない。

携帯電話市場における CPU としては、ARM 社の 32 ビット RISC アーキテクチャである、ARM7 モデルから携帯電話に多く使用されるようになった。以後、233 MHz で動作する高性能版の StrongARM (後に XScale) を含め、2007 年には ARM11 モデルが完成している。ARM の各モデルは IP コアとして使われており、携帯電話応用においても主力の組込み向けマイクロプロセッサと位置づけられる。

また、**図 1・10** に示したように、2006 年に発売されたルネサステクノロジーの SH-Mobile G1 では電話本来の通信機能をベースバンドプロセッサに、TV などの動画、デジタルカメラ、オーディオ、ゲームなど各種のアプリケーションソフトウェアの実行をアプリケーションプロセッサに分離し、高性能化を図るようになってきた。この分野においてもマルチコア化が進んでいるといえる<sup>10)</sup>。

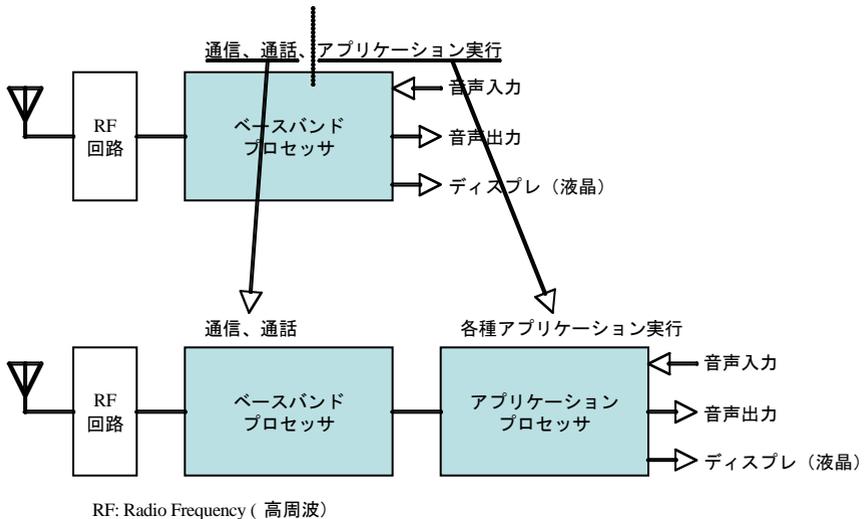


図 1・10 アプリケーション実行を分離した携帯電話用マイクロプロセッサ

### 1-2-6 今後の展望

組込み向けのマイクロプロセッサ、コントローラが自動車、家電製品、ゲーム機、携帯電話などの分野に広がっていった技術的背景とそれぞれの分野における組込み向けマイクロプロセッサやコントローラの具体的な構成、特徴について述べてきた。

パソコンにおいてもソフトウェア、特にユーザインタフェースの高度化により、コンピュータを意識しなくても多くのユーザが自由に使えるようになってきたが、組込みシステムにおいては、その機器にマイクロプロセッサが使われていることすら分からずに使われている場合が多い。しかし、要求される機能が高度化するにつれてコンピュータの存在が見えてくる、すなわちその機器を使うことが難しくなる可能性もある。この観点からみると、ハードウェア

アとソフトウェアの協調はますます重要になってくると思われる。また、組み込み向けマイクロプロセッサはシステムの要求性能を満たすためにヘテロマルチコアに進んでいくものと思われるが、各種のアプリケーションがそれに合った OS のもとで動作する必要があり、複数の OS が 1 チップ上で協調して動作する必要があると思われる。

半導体技術、コンピュータ技術、ソフトウェア技術などの進歩により、今後多くの機器に組み込み向けマイクロプロセッサが使われていくことになるが、更に環境保全のための装置、情報セキュリティ、自動車における安全性のための運転者支援装置、家電製品における高度な画像・情報検索機能を持つテレビなど、多くの分野や新しい分野にますます広がりを見せるものと考えられる。

#### ■参考文献

- 1) 枝洋樹, “安価で高速な RISC プロセッサが組み込み市場の主役に,” 日経エレクトロニクス, 1995.5.22, No. 636, pp.75-90, 1995.
- 2) H. Maejima, Y. Kainaga and K. Uchiyama, “Design and Architectute for Low-power / High-speed Microprocessor: SuperH,” 電子情報通信学会欧文誌, Vol. E80-C, No. 12, pp.1539-1545, 1997.
- 3) J. Turley, “Thumb Squeezes ARM Code Size,” Microprocessor Report, Vol.9, No. 4, pp.5-9, 1995.
- 4) 大山宜茂監修, “自動車用半導体の開発技術と展望,” シーエムシー出版, 2007
- 5) T. Shiota, K. Kawasaki, Y. Kawabe, W. Shibamoto, A. Sato, Te. Hashimoto, F. Hayakawa, S. Tago, H. Okano, Y. Nakamura, H. Miyake, A. Suga, and H. Takahashi, “A 51.2GOPS 1.0GB/s-DMA single-chip multi-processor integrating quadruple 8-way VLIW processors,” 2005 ISSCC, pp. 194-195, 2005.
- 6) 高野雅晴, “次世代テレビ・ゲーム機, 最新技術に活躍の場を与える,” 日経エレクトロニクス, 1993.12.6, No. 596, pp.95-111, 1993.
- 7) O. Nishi, F. Arakawa, K. Ishibashi, S. Nakano, T. Shimura, K. Suzuki, T. Y. Totsuka, K. Tsunoda, K. Uchiyama, T. Yamada, T. Hattori, H. Maejima, N. Nakagawa, S. Narita, M. Seki, Y. Shimazaki, R. Satomura, T. Takasuga, and A. Hasegawa, “A 200Mhz 1.2W 1.4GFLOPS Micro-processor with Graphic Operation Unit,” 1998 ISSCC, pp.288-289, 1998.
- 8) 増淵美生・鈴置雅一, “Cell Broadband Engine のアーキテクチャ,” 情報処理学会誌, Vol. 46, No. 11, pp.1244-1250, 2005.
- 9) H. Hayashi, “SpursEngine™ A High-performance Stream Processor Derived from Cell/B.E.™ for Media Processing Acceleration,” Symposium on High Performance Chips, Session 2-1, 2008.
- 10) 入江直彦, “ユビキタス社会を支える携帯情報端末用デバイスの現状と展望,” 信学誌, Vol. 90, No. 5, pp.370-375, 2007