

## ■9 群-4 編-2 章

### 2-3 GaAs HBT

(執筆者：田中慎一) [2018年5月 受領]

#### 2-3-1 動作原理

GaAs HBT は GaAs 基板に格子整合するヘテロ接合バイポーラトランジスタの総称である。

図 2-3-1 に Npn 型 HBT のエネルギーバンド図を示す。エミッタ、ベース、コレクタの各端子から流入する電流を各々  $I_E$ ,  $I_B$ ,  $I_C$  とすると、電流保存の法則より、

$$I_E + I_B + I_C = 0 \quad (2-3-1)$$

の関係が成り立つ。ここでエミッタ電流  $I_E$  はエミッタからベースへ注入される電子による電流成分  $I_E^e$  とベースからエミッタへと注入される正孔による電流成分  $I_E^h$  とから成る。 $I_E^h$  は HBT の電流増幅に寄与しないため、エミッタ注入効率  $\gamma$  が定義される。

$$\gamma = \frac{I_E^e}{I_E^e + I_E^h} \quad (2-3-2)$$

また、エミッタからベースに注入された電子のうち p 型ベース層において再結合により失われなかった電子のみコレクタ電流  $I_C$  に寄与するため、ベース輸送効率  $\alpha_T$  が定義される。

$$\alpha_T = \frac{I_C}{-I_E^e} \quad (2-3-3)$$

式(2-3-1)–(2-3-3)より、HBT のエミッタ接地電流増幅率  $\beta$  は

$$\beta = \frac{I_C}{I_B} = \frac{I_C}{-(I_E + I_C)} = \frac{\gamma \alpha_T}{1 - \gamma \alpha_T} \quad (2-3-4)$$

で与えられる。

一般にバイポーラトランジスタはベース中のバルク再結合の影響が小さくなるように設計される。そこで  $\alpha_T = 0.998$  を仮定すると、 $\gamma$  が理想値 (= 1) ならば、式(2-3-4)より  $\beta = 5000$  となる。しかし、 $\gamma$  がわずかに小さくなり  $\gamma = 0.98$  になると  $\beta$  は急減し 49 となる。このことからわかるように、バイポーラトランジスタにおいては極力 1 に近い  $\gamma$  を実現することが肝要である。そこでホモ接合バイポーラトランジスタでは、 $\gamma$  の値を確保するため、一般にエミッタ不純物濃度を高めにする一方でベース不純物濃度を低めに設定するが、この場合、エミッタ接合容量やベース抵抗の増大を介して高周波特性の劣化を招く問題がある。そこで、ベース・エミッタ間にヘテロ接合を用いることで正孔の逆注入を抑える障壁 (= 価電子帯不連続  $\Delta E_V$ ) を形成し、高周波特性と電流利得の両立を可能にしたのが HBT である。

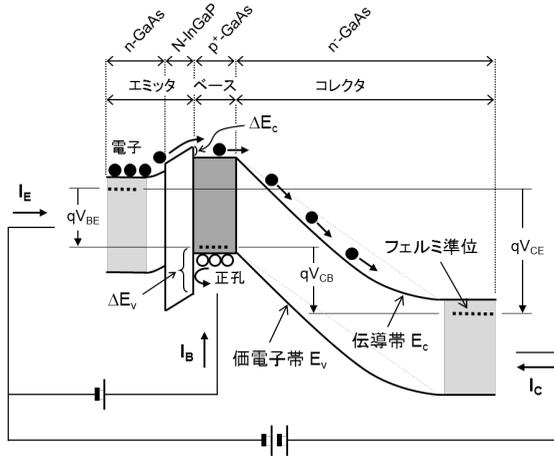


図 2-3-1 GaAs HBT のエネルギーバンド構造

### 2-3-2 デバイス構造<sup>1), 2)</sup>

図 2-3-2 に InGaP エミッタと GaAs ベースを用いた典型的な GaAs HBT の断面構造を示す。HBT はエミッタ、ベース、コレクタを成すエピ層が多数積層され、電流がウェハに対して垂直に流れる縦型デバイスである。デバイスは基本的にメサ構造であり、エミッタコンタクト層、ベース層、コレクタコンタクト層に各々電極が設けられる。電極の接触抵抗を下げるため、電極が形成されるエピ層は飽和不純物濃度の限界近くまでドーピングされる（典型的な値として、n 型、p 型の GaAs について各々  $5 \times 10^{18} \text{ cm}^{-3}$ 、 $6 \times 10^{19} \text{ cm}^{-3}$ ）。ベース層の p 型不純物としては、GaAs HBT 開発の初期段階ではベリリウム (Be) が使われていたが、今日では高い信頼性を維持しながら安定して高濃度ドーピングが可能な炭素 (C) が使われている。電極接触面積が小さいエミッタについては、エミッタコンタクト層としてショットキー障壁が低い上に高い飽和不純物濃度 ( $\sim 5 \times 10^{19} \text{ cm}^{-3}$ ) が得られる格子不整合系の InGaAs が用いられ、電極接触抵抗率の低減が図られている。

InGaP/GaAs HBT は、MOCVD 技術の進展に伴い 1990 年代後半に実用化され、それまでの AlGaAs/GaAs HBT を置き換える形で急速に普及した。InGaP/GaAs HBT が主流になった理由は、優れた信頼性と量産性の 2 点に大別することができる。まず信頼性に関しては、InGaP/GaAs ヘテロ接合界面においてバンドギャップの差異が伝導帯側よりも価電子帯側に大きく現れる ( $\Delta E_V > \Delta E_C$ ) ことが大きな利点になる。すなわち、大きな  $\Delta E_V$  より薄いエミッタ層でもエミッタ注入効率が確保できるようになる。その結果、エミッタ周囲において薄い InGaP エミッタ層を残す Ledge 構造により外部ベースの表面露出を防ぎ、信頼性劣化の要因になる表面再結合を抑制することができる。量産性に関しては、InGaP と GaAs を相互に選択エッチングすることができるため、一般的には製造面での課題が多いメサ構造デバイスを高歩留まりで量産できるようになった。

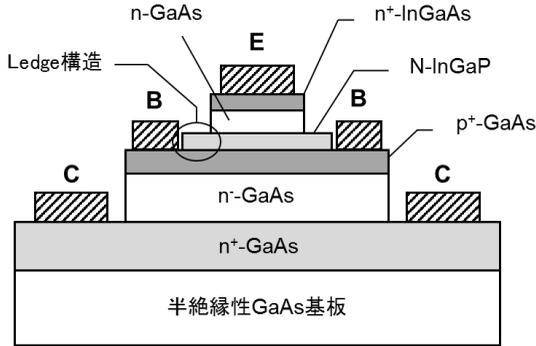


図 2-3-2 GaAs HBT の断面素子構造

### 2-3-3 デバイス特性と回路応用 <sup>1), 2)</sup>

図 2-3-3 に GaAs HBT の典型的な電流電圧特性を示す．一般に HBT は電流の立ち上がりが良いが，ニー電圧を低減するにはオフセット電圧を極力零に近づけるためデバイス構造の最適化が必要である．図 2-3-1 を参照すると，HBT の各端子間に掛かる電圧には以下の関係が成り立つことがわかる．

$$V_{CE} = V_{BE} + V_{CB} = V_{BE} - V_{BC} \quad (2-3-5)$$

ここで，例えば  $V_{CB}$  はベースを基準とするコレクタの電位と定義されるので， $V_{CB} = -V_{BC}$  である．エミッタ・ベース (EB) 間およびベース・コレクタ (BC) 間のダイオードが順方向バイアスされているときは， $V_{BE} > 0$  と  $V_{BC} > 0$  の関係が成り立っている．さて，オフセット電圧は，HBT にバイアスが印加され，なおかつ  $I_C = 0$  となる状態であるから，BE 間ダイオードと BC 間ダイオードの順方向電流の向きは逆で，大きさが等しくなっている状態である（ベース電流は無視できるものとする）．したがって，両ダイオードが完全に対称的ならば，この状態においては  $V_{BE} = V_{BC}$  すなわち  $V_{CE} = 0$  が成り立っているはずである．しかし，一般に EB 間ダイオードは BC 間ダイオードと比較して，接面積が小さい（図 2-3-2）上に， $\Delta E_c$  の影響のためにしきい電圧が高い．その結果， $I_C = 0$  の状態においては  $V_{BE} > V_{BC}$  とならざるを得ず，これがオフセット電圧が発生する原因である．オフセット電圧を零に近づけるためには，両ダイオードの特性の非対称性を極力なくすため，ダイオード pn 接合の界面近傍における不純物濃度分布およびヘテロ接合構造を最適化する必要がある．

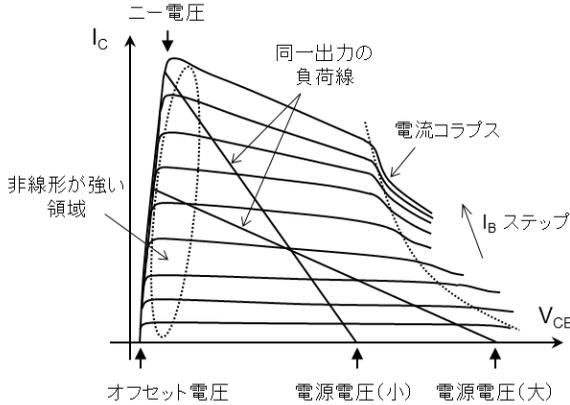


図 2-3-3 GaAs HBT の電流電圧特性

GaAs HBT はベース層に使われる GaAs のバンドギャップ (1.43 eV) が大きく一定の動作電圧が必要となるため、絶対的に低い消費電力が求められる用途には適さない。一方、高出力、高効率ならびに優れた線形性(低歪)のバランスが要求される携帯端末用の高出力増幅器(PA) に対しては、GaAs HBT のデバイス特性が有効になる。まず、電流電圧特性における低いニー電圧は、携帯端末のような低電源電圧での動作でも一定出力を確保しつつ高効率動作が可能な負荷線の選択が可能であることを意味する。また、HBT は電流電圧特性における非線形なバイアス領域が比較的狭く相対的に線形性に優れたデバイスである。ただし、BC 間接合容量 ( $C_{BC}$ ) や電流遮断周波数 ( $f_T$ ) のバイアス変化が HBT の線形性を劣化させる要因となるため、低歪化の対策としてコレクタ層の不純物濃度分布などの最適化が必要になる。

GaAs HBT が携帯電話用 PA の標準デバイスになった背景には、性能面に加えてコスト面での効果も大きい。まず、図 2-3-1 に示すようににエミッタ接地においては単一正電源で動作可能 ( $V_{BE} > 0$ ,  $V_{CE} > 0$ ) であることから、電源周辺回路を簡略化できる。また、縦型デバイスであることから電力密度が高くチップを小型化できる。さらに、EB 間のしきい電圧がバンドギャップで決まりプロセス変動が小さいため、デバイス特性の均一性に優れている。近年の携帯電話 PA においては、効率・歪に関する厳しい性能要求を満たしながら高い歩留まりを確保するため、極めて高い精度での電流制御が求められている。HBT がもつ優れたしきい電圧の制御性は、この点でも携帯電話用 PA に欠かせない要素となっている。

一方、GaAs HBT は、PA 応用に際しては熱安定性の確保が課題となる。その理由としては、電力密度が高いために放熱に工夫を要するという点もあるが、自己発熱による温度上昇がコレクタ電流を増加させ更なる温度上昇につながるという GaAs HBT 特有の温度特性がある。このような熱的な正帰還メカニズムの結果、複数の単位素子の配列から成る高出力 HBT では、温度が上昇しやすい配列中央部に電流が集中し、電流コラプス現象が起きる(図 2-3-3)。一般に、これを防ぐためには各単位素子にバラスト抵抗を接続して、熱的な正帰還メカニズムを緩和する方法が取られる。以上のような技術的背景から、数十～数百ワット出力の基地局用 PA としては FET 系デバイスがその役割を担う一方で、ワット級出力の携帯端末用 PA としては

GaAs HBT がその利点を活かす形でデバイスの棲み分けがなされている。

### 参考文献

- 1) 本城和彦著「マイクロ波半導体回路—基礎と展開」(日刊工業新聞社)
- 2) P.M. Asbeck, "II-V HBTs for microwave applications: technology status and modeling challenges," in Bipolar/BiCMOS Circuits and Technology Meeting, Sept., 2000.

## ■9群-4編-2章

### 2-5 InP HBT

(執筆者：宮本恭幸) [2018年3月 受領]

HBTとして最も一般的なものはGaAs HBTであり、携帯電話用のパワーアンプとして広く使われているが、InPに格子整合したInGaAsをベースに用いたInP HBTの方が速度が速く、すべてのトランジスタのなかで最も速い遮断周波数765 GHzが報告されている。

InGaAsがGaAsに較べて優れている点は、n型半導体の電子移動度が高いこととされている。しかしながら、HBTにおいてはn型半導体の移動度が直接速度などに影響するのは、サブコレクタ層の移動度のみであり、後で述べるようにInPHBTでは熱抵抗を減らすためにサブコレクタ層にはInPを使う場合が多く、n型半導体での移動度としての優位性はデバイス特性には影響しない。しかしながら、p型ベース中の少数キャリア移動度はベース走行時間に効く。19乗台にp型ドーピングされたベース層において少数キャリア移動度はGaAsでは $1000 \text{ cm}^2/\text{Vs}$ 程度なのに対して、InGaAsでは $3000 \text{ cm}^2/\text{Vs}$ 程度が期待できる。ベース走行時間は拡散定数に逆比例し、拡散速度は移動度と比例することから、この少数キャリアの移動度の差はそのまま走行時間の縮小につながる。ベース走行時間を減らすためには組成傾斜層をつけることも有効であり、 $2k_T$ 程度のバンドギャップの縮小を行うことで40%程度走行時間を縮小できる。ベース層を12.5 nmと薄くすることと併せて遮断周波数765 GHzが報告されている。なお、SiGeとInGaAsでの拡散係数の差は20倍程度あり、バンドギャップ縮小量と $k_T$ の比率が同じならば組成傾斜層での走行時間縮小比率は同じであり、拡散係数の差がそのままベース走行時間には大きな差を与えることに注意されたい。

コレクタ層中で非平衡に近い状態でどれだけ走行できるかは、コレクタ層中の平均走行速度に大きく影響する。非平衡の維持にはバレー間散乱の抑制が重要であり、 $\Gamma$ -Lバレー間のエネルギー差がGaAsでの約0.3 eVに対してInGaAsやInPでは約0.6 eVと大きいことが非平衡輸送に有利に働く。InP HBTでは $3\sim 4 \times 10^7 \text{ cm/s}$ という一般的な飽和速度を超えるコレクタ中の平均電子速度がコレクタ電圧をある程度変えても期待することができる。GaAsでのコレクタ層中のバレー間散乱抑制には狭いコレクタ電圧範囲のみでしか抑制できない特殊な構造を用いる必要があることに比べてその差は大きい。

デバイスの速度向上には走行時間縮小のみならず、各種の充電時間の縮小も必須であり、電流密度の増大が重要であるが、高電流密度動作時には総発熱量の抑制のためにエミッタ幅の縮小が必須である。周辺長/エミッタ面積の比率が大きくなる微細なエミッタ幅のHBTで、適度な電流利得を得るためにエミッタ周辺での再結合電流を抑制することが重要であり、再結合電流を決める再結合速度がGaAsにおいて $10^6 \text{ cm/s}$ 程度であるのに対して $10^3 \sim 10^4 \text{ cm/s}$ と小さいことはエミッタ幅縮小に有利である。ただし、500 nm以下のエミッタでは、再結合電流は完全には無視できず、また再結合の増大が寿命に効くことから、エミッタ側壁に保護膜を入れたり、エミッタレッジをつける必要性はある。高電流密度による発熱を効率良く取り除くために、サブコレクタ層には多少移動度が低くとも熱抵抗の低いInP層を使う場合が多い。ただし、サブコレクタ層へのコンタクトについてはInPでは良好なコンタクト特性が得られないことから、サブコレクタ層とコレクタ層の間にはコンタクトのための薄いInGaAs層が挿入されている。

高電流密度の実現には、コレクタ層中の走行電荷による空間電荷がベース近傍のポテンシャ

ルを持ち上げ実効的ベース層を広げて走行時間を劣化させるカーク効果の抑制が重要である。コレクタ層を挟むベース層とサブコレクタ層が強くドーピングされている場合、コレクタ層を薄くすることで内蔵電位差による電界を空間電荷による電界より大きくすることができ、カーク効果を抑制できる。100 nm 以下の薄いコレクタ層を用いることで 300 kA/cm<sup>2</sup> 以上の電流密度が可能となり、55 nm 幅エミッタと 75 nm 厚コレクタの組合せでは 5 MA/cm<sup>2</sup> という高い電流密度も観測されている。薄いコレクタ層は走行時間も縮小するが、コレクタ容量の増大を招くことから、特に寄生容量部分を抑制することが重要になる。そこで、外部ベース層下の外部寄生容量の低減が重要であり、再結合を抑制しつつベース-エミッタ間の距離を縮小すること、ベース-コンタクト部分の極小化、更には外部ベース層下の半導体を除去する試みなども行われている。また、薄いコレクタ層は耐圧の低下も招くが、ダブルヘテロ接合バイポーラトランジスタ (DHBT) を導入して電圧印加部のみ組成を変えうることが HEMT に較べて HBT が有利であり、ベース層は InGaAs を用いながら、コレクタ層には薄くとも耐圧がある広いバンドギャップを有する InP を用いることができる。このとき、ベース-コレクタ間で発生する伝導帯バンド不連続が電子注入を阻害しないように 4 層や超格子などの何らかの遷移層を入れる必要がある。

回路応用としては、その高速性と耐圧から 200 GHz で 200 mW を超える出力が報告されている。また、デバイスのオン・オフを決める閾値が HBT では結晶成長により決まることから、ゲート寸法による変動を受けやすい HEMT に較べて閾値の変動が少なく、超高速集積回路などに有利である。例えば、 $f_T = 520$  GHz、 $f_{max} = 1.1$  THz を持つ 130 nm 幅エミッタ HBT では、529 GHz で動作する周波数分割器や、210 GHz で動作する周波数分割器と VCO を組み合わせた PLL 発振器及びバッファアンプとミキサまでを集積化してワンチップにした 630 GHz で動作する送信機などが報告されている。

コレクタ電流密度を上げつつ、エミッタ幅、ベース層厚、コレクタ層厚などを縮小すれば更に高性能になるスケリングの計算は行われているが、求められているコンタクト抵抗率の低減が電極形成プロセス単体としては実現されていても、実際に作成するプロセス中では再現できず、知る限り 130 nm 幅が集積回路動作として報告されている最小幅である。

なお、InGaAs ベース層を GaAsSb 層に入れ替えた HBT も InPHBT の一種である。InP/GaAsSb が電子注入を促進するタイプ II ヘテロ構造になりベース-コレクタ間の遷移層の省略できることや高濃度 p ドーピングが容易などの利点があるが、GaAsSb の拡散定数は InGaAs に較べて小さいという問題点があり、最高データではいまだ InGaAs ベースの方が優れている。

## ■参考文献

- 1) タウア・ニン：“最新 VLSI の基礎第二版，” 丸善，2013。
- 2) B. Jalali and S.J. Pearton(Eds.)：“InP HBTs: Growth, Processing and Applications,” Artech House, 1995.
- 3) W. Liu：“Fundamentals of III-V devices,” John Wiley and Sons, 1999.
- 4) W. Snodgrass, W. Hafez, N. Harff, and M. Feng：“Pseudomorphic InP/InGaAs heterojunction bipolar transistors (PHBTs) experimentally demonstrating  $f_T = 765$  GHz at 25°C increasing to  $f_T = 845$  GHz at -55°C,” IEDM 2006, (DOI: 10.1109/IEDM.2006.346853).
- 5) Y. Miyamoto：“Recent progress in compound semiconductor electron devices,” IEICE Electronics Express, vol.13, no.18, 2016. 1.
- 6) M. Urteaga, Z. Griffith, M. Seo, J. Hacker, and M. Rodwell：“InP HBT Technologies for THz Integrated Circuits,” Proc. IEEE, vol.105, no.6, 2017. 1051.

## ■9 群-4 編-2 章

## 2-8 III-V on Si

(執筆者：高木信一) [2012年1月 受領]

III-V on Si 構造とは、Si 基板上に III-V 族半導体層を形成したものであり、光デバイスから電子デバイスまで幅広い応用が期待されているが、本稿では紙面の都合から、近年急速に注目を集めるようになったロジック LSI 向けのトランジスタ応用に内容を絞って、最近の開発状況を紹介する。

近年、Si CMOS 微細化による物理的限界の顕在化から、ULSI ロジック用の素子として Si よりも移動度の高い半導体を利用して電流駆動力を向上させ、電源電圧を低減する MOS トランジスタ技術に注目が集まっている。そこで、電子移動度が大きく有効質量が軽い III-V 半導体をチャネルとして用いるトランジスタの研究が精力的に進められている。この応用では、ULSI を実現する手法として既存の Si CMOS 技術を最大限利用する必要から、大口径の Si ウエハ上に III-V 族半導体を形成する技術が必須となる。

表 8・1 Si 基板上に III-V 族半導体を形成する代表的な技術

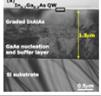
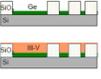
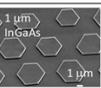
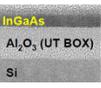
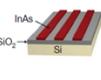
方法	構造	極薄チャネル	結晶品質	生産性	MISFET	文献
ウエハレベル・ヘテロエピ		実証 (量子ウェル)	+	-	実証 (L <sub>g</sub> =35 nm, EOT=1.2 nm)	Hudiat, IEDM 2007 Radosavljivic, IEDM 2009, IEDM 2010 Hill, IEDM 2010
選択ヘテロエピ		実証 (量子ウェル, 細線)	-	++	実証 (L <sub>g</sub> =130nm)	Wu, APL (2008) Wang, APL (2010) Waldron, ECS (2011) Tanaka, APEX (2010)
選択+横方向ヘテロエピ		可能	-	++	-	Hoshii, PSS (2008) Deura, APEX (2009) JCG(2010), JJAP(2011) Kondoh, JCG (2010)
基板貼り合わせ		実証 (3 nm まで薄膜)	++	+	実証 (長 L <sub>g</sub> , ダブルゲート動作)	Yokoyama, VLSI Symp. 2009, 2010, IEDM 2010 Kim, VLSI Symp. 2011, IEDM 2011
エピタキシャルトランスファー		実証 (8 nm まで薄膜)	++	+	実証 (L <sub>g</sub> =500nm, EOT=1.6nm)	Ko, Nature (2010) Takita, APL (2010)

表 8・1 に、Si 基板上に III-V 族半導体を形成する代表的な技術をまとめて示した。技術は、結晶成長技術と貼合せ技術に大別できる。結晶成長のなかでも選択成長技術は、Si プラットフォームへの集積化が容易であり、低コストで必要な部分に III-V チャネルを形成できることから、実現性の高い技術として期待されているが、Si と III-V 族半導体間の格子定数の差や無極性半導体である Si の上の有極性の III-V 族半導体のエピタキシャル成長に伴う結晶欠陥、転位などの発生とその結果としての結晶性の劣化が大きな課題である。一方、貼合せ技術は、III-V 族半導体の高い結晶性は確保できる。しかしながら、現在の最先端 Si ロジック LSI が実現

されている 300 mm の Si ウエハのような大面積ウエハが III-V 族基板では得られず、大面積化に課題がある。

III-V MOSFET on Si の技術は、この Si 上への III-V チャネル形成技術に加えて、III-V MOS 界面準位密度の低減や低抵抗のソース・ドレイン領域の形成、微細チャネル長を実現するための極薄ボディ構造やマルチゲート構造の実現、Si CMOS や Ge MOSFET との集積化技術など、まだ多くの技術課題を克服していく必要がある。

しかしながら、近年、各技術の着実な進歩により、盛んに実証結果が報告されるようになってきている。図 8・1 には、インテルから報告されている Si 上の III-V チャネルの基板構造の模式図、マルチゲート III-V MOSFET の素子構造、薄膜 InGaAs 薄膜チャネル及び Tri-gate チャネル MOSFET の電流-電圧特性を示す。ここでは III-V バッファ構造を用いた、Si 上のウエハスケール III-V 半導体エピ成長技術が用いられている。また、短チャネル効果の抑制のために、この基板が Tri-gate 構造に加工されたチャネルが実証されている。等価絶縁膜厚 1.2 nm の TaSiO<sub>x</sub> ゲート絶縁膜を用いた 60 nm のチャネル長の Tri-gate MOSFET において、良好なカットオフ特性が得られている。

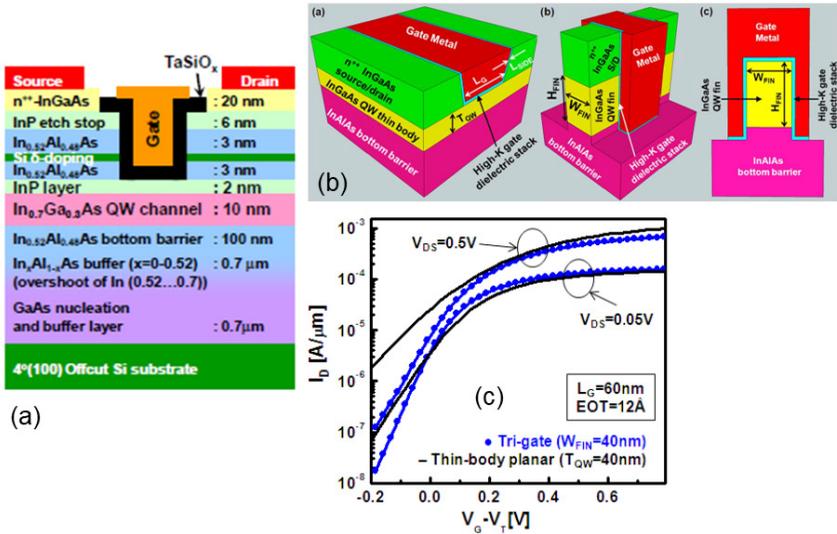


図 8・1 Si 基板上 III-V 族 MOSFET の実証例 1

また、図 8・2 は、貼合せ法により 3.2 nm の極薄 InGaAs 薄膜を Si 上に形成した InGaAs-on-Insulator 構造の透過電子顕微鏡写真と埋込み酸化膜とゲート絶縁膜に Al<sub>2</sub>O<sub>3</sub> を用いた膜厚 3.5 nm の InGaAs-OI MOSFET のダブルゲート動作での電流-電圧特性の測定結果が示されている。また、Ni と InGaAs を直接反応させた Ni-InGaAs 合金をメタルソースドレインに使った InAs-OI 薄膜ボディ MOSFET において、移動度 3000 cm<sup>2</sup>/Vs という値が報告されている。今後、高速・低消費電力ロジック用途への応用への期待が、ますます高まると予想される。

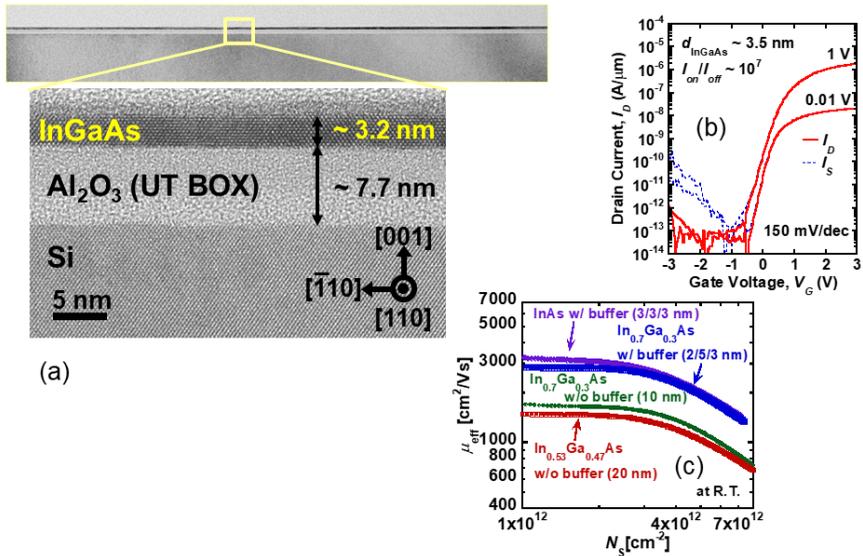


図 8・2 Si 基板上 III-V 族 MOSFET の実証例 2

#### ■参考文献

- 1) S. Datta, G. Dewey, J.M. Fastenau, M.K. Hudait, D. Loubyshev, W.K. Liu, M. Radosavljevic, W. Rachmady, and R. Chau : IEEE Electron Device Lett., vol.28, pp.685-687, Aug. 2007.
- 2) M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M.K. Hudait, J.M. Fastenau, J. Kavalieros, W.K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W. Rachmady, U. Shah, and R. Chau : IEDM Tech. Dig., p.319, 2009.
- 3) M. Radosavljevic, G. Dewey, J.M. Fastenau, J. Kavalieros, R. Kotlyar, B. Chu-Kung, W.K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, and R. Chau : IEDM Tech. Dig., p.126, 2010.
- 4) M. Radosavljevic, G. Dewey, D. Basu, J. Boardman, B. Chu-Kung, J.M. Fastenau, S. Kabehie, J. Kavalieros, V. Le, W.K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, H.W. Then, and R. Chau : IEDM Tech Dig., p.765, 2011.
- 5) M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi : Appl. Phys. Express, vol.2, pp.124501, Dec. 2009.
- 6) M. Yokoyama, T. Yasuda, H. Takagi, N. Miyata, Y. Urabe, H. Ishii, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi : Appl. Phys. Lett., vol.96, pp.142106, Apr. 2010.
- 7) H. Ko, K. Takei, R. Kapadia, S. Chuang, H. Fang, P.W. Leu, K. Ganapathi, E. Plis, H.S. Kim, S.-Y. Chen, M. Madsen, A.C. Ford, Y.-L. Chueh, S. Krishna, S. Salahuddin, and A. Javey : Nature (London) 468, p.286, 2010.
- 8) Y. Urabe, M. Yokoyama, H. Takagi, T. Yasuda, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi : Appl. Phys. Lett., vol.97, pp.253502, Dec. 2010.
- 9) M. Yokoyama, R. Iida, S.H. Kim, N. Taoka, Y. Urabe, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi : IEDM Tech. Dig., pp.46-49, Dec. 2010.
- 10) M. Yokoyama, R. Iida, S.H. Kim, N. Taoka, Y. Urabe, H. Takagi, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi : IEEE Electron Device Lett., vol.32, pp.1218-1220, Sept. 2011.
- 11) S.H. Kim, M. Yokoyama, N. Taoka, R. Iida, S.H. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N.

- Fukuhara, M. Hata, M. Takenaka, and S. Takagi : Appl. Phys. Express, vol.4, p.114201, Oct. 2011.
- 12) S.H. Kim, M. Yokoyama, N. Taoka, R. Iida, S.H. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi : Appl. Phys. Express, vol.5, p.014201, Dec. 2011.
  - 13) S.H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, M. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi : IEDM Tech. Dig., p.311-314, 2011.
  - 14) S.-H. Kim, M. Yokoyama, N. Taoka, R. Iida, S.-H. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi : Appl. Phys. Exp. 5, 014201, 2012.

## ■9 群-4 編-1 章

### 2-11 SiC デバイス

(執筆著：藤島辰也) [2012 年 1 月 受領]

#### 2-11-1 概要

SiC (silicon carbide) は、従来のパワーデバイス材料である Si と比較して、絶縁破壊電界が 10 倍、飽和ドリフト速度が 2 倍、熱伝導率が 3 倍大きいという物性的特長を有している。絶縁破壊電界が 10 倍大きいため、Si と同耐圧のデバイスを作製する際はドリフト層の膜厚を 1/10 程度に薄くすることができ、ドーピング濃度も 100 倍程度高くでき、低オン抵抗化が可能である。また、ワイドギャップ半導体材料であるため、真性キャリア密度が高温下においても低く維持でき、高温動作が可能となる。さらに、高周波化が可能であり、電源回路等において、インダクタ・キャパシタの受動素子を小型化できる可能性を持つ。これらのことから、SiC デバイスは高耐圧・低損失・高温動作デバイスとして、今後市場が拡大していくものとみられている。以下に、SiC デバイスの例として、SBD (Schottky Barrier Diode)、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)、JFET (Junction Field Effect Transistor) を挙げ、それぞれについて説明する。

#### 2-11-2 SBD (Schottky Barrier Diode)

高周波・低損失ダイオードとして開発が進められている SiC-SBD の模式図を図 2・1 (a) に示す。SBD の動作原理は Si-SBD と大きく変わらない。n 型ドリフト層のドーピング濃度や膜厚により、耐圧、オン抵抗がほぼ決定され、耐圧 1kV の SiC-SBD でオン抵抗は  $0.5\text{m}\Omega\cdot\text{cm}^2$  程度である。また、イオン注入で形成された p 型の接合終端構造 (JTE: Junction Termination Extension) により、ショットキー電極端における電界集中が緩和され、高耐圧化が図られている。



図 2・1 SiC デバイス模式図 (a) SiC-SBD, (b) SiC-DMOSFET, (c) トレンチ構造 SiC-MOSFET

#### 2-11-3 MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)

Si-IGBT (Insulated Gate Bipolar Transistor) に置き換わるデバイスとして期待されている SiC-DMOSFET (Double Diffused Metal-Oxide-Semiconductor Field Effect Transistor) とトレンチ構造 SiC-MOSFET の模式図を図 2・1 (b), (c) にそれぞれ示す。SiC-DMOSFET はイオン注

入により p 型ウェル層, n<sup>+</sup>型ソース層を形成する. トレンチ構造 SiC-MOSFET は結晶成長により p 型ボディ層, n<sup>+</sup>型ソース層を形成した後, ドライエッチング技術によりトレンチ部を形成する. 通常ゲート絶縁膜は熱酸化や化学気相成長 (CVD: Chemical Vapor Deposition) で成膜された SiO<sub>2</sub> が用いられる. また, 被覆性の高い膜が形成でき, 均一に膜厚制御が可能である原子層成長法 (ALD: Atomic Layer Deposition) による高誘電率ゲート絶縁膜の検討もされている. チャネルは MOS 界面に沿うように SiC-DMOSFET では横方向に, トレンチ構造 SiC-MOSFET では縦方向に形成される. トレンチ底部, 端部における電界強度が絶縁膜の破壊電界より小さい場合, トレンチ構造 SiC-MOSFET の耐圧は p 型ボディ層と n 型ドリフト層との pn 接合面の電界強度によって決まる. 一方, オン抵抗は, オーミック電極の接触抵抗, ソース抵抗, チャネル抵抗, ドリフト抵抗, 基板抵抗などで決定され, 特にチャネル抵抗が支配的となっている. チャネル抵抗の低抵抗化には, チャネル移動度の改善が求められている. 基板の薄層化, 単一素子の微細化によりオン抵抗はさらに低減することが可能である.

#### 2-11-4 JFET (Junction Field Effect Transistor)

SiC-JFET は, バルク移動度を利用できるため SiC-MOSFET の低いチャネル移動度の問題を回避でき, 低オン抵抗化が可能である. さらにゲート酸化膜を利用しないため, 高い信頼性を確保できるとされている. しかし, 2.5V 以上のゲート電圧の印加により, ゲート電流が増大するなどといった問題も存在する. 最も重大な課題はゲート電圧が 0V の状態でドレイン電流が流れるノーマリオン型デバイスであり, ノーマリオフ化が困難であることである. チャネルの微細化などによるデバイス単体としてのノーマリオフ化の研究が進められている一方で, 低耐圧 Si-MOSFET とのカスコード接続を利用して, 回路としてノーマリオフ化を図る方法も検討されている.

#### ■参考文献■

- 1) 大橋 弘通, 葛原 正明: “パワーデバイス (半導体デバイスシリーズ)”, 丸善, pp.142-157, (2011/1)
- 2) 吉川 明彦, 高橋 清: “ワイドギャップ半導体光・電子デバイス”, 森北出版, pp.271-282, (2006/4)

## ■9 群-4 編-2 章

### 2-12 酸化物デバイス

(執筆者：佐々誠彦) [2011年12月 受領]

酸化亜鉛 (ZnO) などに代表される酸化物半導体の多くは紫外域にバンドギャップを持つ透明な物質である。Hoffman らによる透明薄膜トランジスタ (Thin-Film Transistor : TFT) の実現<sup>1)</sup>を契機に様々な酸化物トランジスタが研究されるようになった。酸化亜鉛はガラス基板上でも結晶軸が配向しやすく、多結晶膜であるため高い移動度が得やすい。一方、細野らによる InGaZnO をチャネル層とした TFT は非晶質でありながら、比較的高い移動度が得られ、均質なトランジスタ特性が得られることが特徴である。いずれの材料系も、窒化ガリウムやシリコンカーバイドと同程度のワイドギャップ半導体でありながら、低温での成膜や溶液プロセスによる成膜が可能で、プラスチック上にも形成できることから、大型ディスプレイへの応用が進められているばかりでなく、透明エレクトロニクス、プリンテッドエレクトロニクスなど新たな応用分野を切り開く電子デバイスとして期待されている。ここでは、そのキーデバイスとなる酸化物トランジスタについて述べる。なお、酸化物の材料物性に関しては、S2 群 2 編 7 章を参照して欲しい。

#### 2-12-1 酸化亜鉛多結晶薄膜トランジスタ

Hoffman らは、高周波マグネトロンスパッタ法により非加熱のガラス基板上に ZnO チャネル層を形成しているが、このほかにパルスレーザ堆積法<sup>2)</sup>、ゾル・ゲル法<sup>3)</sup>などの溶液法によっても基板に垂直な方向に c 軸が配向した多結晶薄膜が形成できる。当初から非晶質シリコンより移動度が高いという特長を活かし、液晶ディスプレイ用の薄膜トランジスタ応用を目指した研究が盛んで、バックゲート構造のスタガード型デバイスが多数を占めている。多結晶粒界の存在が伝導特性を支配するが、トランジスタ特性は通常の MOSFET のモデルで実用上記述することができる。トランジスタの試作は SnO<sub>2</sub><sup>4)</sup>、ZnSnO<sup>5)</sup> など類似の材料でも行われているが、酸化亜鉛は亜鉛が地殻中の存在比が比較的高く、ありふれた材料でありながら単結晶を基本とした従来の半導体とは異なる応用分野を開拓できる材料として期待される。回路応用<sup>6)</sup>や高周波特性<sup>7)</sup>に関する報告もなされているが、高速特性に関しては、予測される飽和速度<sup>8)</sup>に見合う特性には(単結晶ヘテロ構造デバイスを含め)至っておらず、デバイス構造に検討の余地が残されている<sup>9)</sup>。また、最近では放射線耐性が窒化ガリウムより高い可能性も示され、特殊環境下で動作するデバイスとしても期待される<sup>10)</sup>。

#### 2-12-2 非晶質酸化物薄膜トランジスタ

酸化亜鉛は六方晶の結晶構造をとり、ガラス基板上でも c 軸配向しやすい性質を持つ。ガラス基板上では多結晶となるため、電子移動度は粒界の影響を大きく受け、その値は成膜方法・条件にかなり依存する。これに対し、非晶質材料では粒界の影響がない。通常の半導体では sp<sup>3</sup> 混成軌道が伝導チャネルを形成するため、多結晶や非晶質のように結合角の変化が伝導特性に大きく影響する。これに対し、s 軌道が伝導チャネルを形成する InGaZnO では、伝導特性に及ぼす結合角の影響が小さく、非晶質でも 10 cm<sup>2</sup>/Vs 程度の高い移動度が室温プロセスでのプラスチック基板上で得られている<sup>11)</sup>。また、300°C 程度の熱処理によって、閾値電圧やデバイス

特性が安定化するなどの特長から、最近では高性能ディスプレイの実用化がこの材料系で進められている。

### 2-12-3 p 型酸化物トランジスタ

上述のように、酸化物トランジスタには従来のトランジスタにはない魅力的な性質があるが、回路応用上からは相補型の回路が形成できることが要求される。そのためには p チャネルの TFT 実現が不可欠である。そのような試みもすでになされており<sup>12)</sup>、酸化物エレクトロニクス of のさらなる発展が期待される。

#### ■参考文献

- 1) R.L. Hoffman, B.J. Norris, J.F. Wager : “ZnO-based transparent thin-film transistors,” Appl. Phys. Lett., vol.82, no.5, pp.733-735, Feb. 2003.
- 2) S. Masuda, K. Kitamura, Y. Okumura, S. Miyatake, H. Tabata, and T. Kawai : J. Appl. Phys., vol.93, no.3, pp.1624-1630, Feb. 2003.
- 3) B.J. Norris, J. Anderson, J.F. Wager, and D.A. Keszler : J. Phys. D: Appl. Phys., vol.36, no.20, pp.L105-107, Oct. 2003.
- 4) R.E. Presley, C.L. Munsee, C.-H. Park, D. Hong, J.F. Wager, and D.A. Keszler : J. Phys. D, vol.37, no.20, pp.2810-2813, Sep. 2004.
- 5) H.Q. Chiang, J.F. Wager, R.L. Hoffman, J. Jeong, and D.A. Keszler : Appl. Phys. Lett., vol.86, no.1, pp.014503, Dec. 2004.
- 6) J. Sun, D.A. Mourey, D. Zhao, S.K. Park, S.F. Nelson, D.H. Levy, D. Freeman, P. C.-Corvan, L. Tutt, and T.N. Jackson : IEEE Electron Device Lett., vol.29, no.7, pp.721-723, Jul. 2008.
- 7) B. Bayraktaroglu, K. Leedy, and R. Neidhard : IEEE Electron Device Lett., vol.29, no.9, pp.1024-1026, Sep. 2009.
- 8) J.D. Albrecht, P.P. Ruden, S. Limpijumnong, W.R.L. Lambrecht, K.F. Brennan : J. Appl. Phys., vol.86, no.12, pp.6864-6867, Dec. 1999.
- 9) S. Sasa, T. Maitani, Y. Furuya, T. Amano, K. Koike, M. Yano, and M. Inoue : Phys. Status Solidi A, vol.208, no.2, pp.449-452, 2011.
- 10) C. Coskun, D.C. Look, G.C. Farlow, and J.R. Sizelove : Semicond. Sci. Technol., vol.19, no.6, pp.752-754 Jun. 2004.
- 11) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono : Nature, vol.432, pp.488-492, Nov. 2004.
- 12) Y. Ogo, H. Hiramatsu, K. Nomura, H. Yanagi, T. Kamiya, M. Hirano, and H. Hosono : Appl. Phys. Lett., vol.93, no.3, pp.032113, Jul. 2008.

## ■9群-4編-2章

### 2-14 パワーMOS

(執筆者：齋藤 渉) [2011年9月 受領]

パソコンや家電などの電化製品は、コンセントから入った電力を電源回路から CPU やモータなどに供給することで動作している。電源回路は、スイッチング素子によってインダクタやキャパシタに一旦貯めた電気エネルギーを必要な分だけ出し入れする制御によって所望の電圧・電流に変換している。このような電力変換においてスイッチング素子に用いられる MOSFET を総称して、パワーMOS と呼んでいる。

パワーMOS には、縦型素子と横型素子があるが、通常、電流を流す導通面積を大きくすることで抵抗が低く、大きな電流を流せる縦型素子が用いられる (図 14・1)。基本動作はゲート電圧によるオン状態とオフ状態の切り替えである。LSI で用いられる MOSFET と同様に閾値以上のゲート電圧を印加することで MOS ゲート界面に反転チャネルが形成され、ソースドレイン間に電流経路ができる。これがオン状態であり、ソースドレイン間の抵抗をオン抵抗と呼ぶ。ゲートに電圧を印加しないとドレイン電圧に応じて p ベースから n-ドリフト層へ空乏層が伸びる。これがオフ状態であり、空乏層内の電界が臨界電界に達してアバランシェ降伏により電流が流れる電圧を耐圧 (降伏電圧) と呼ぶ。

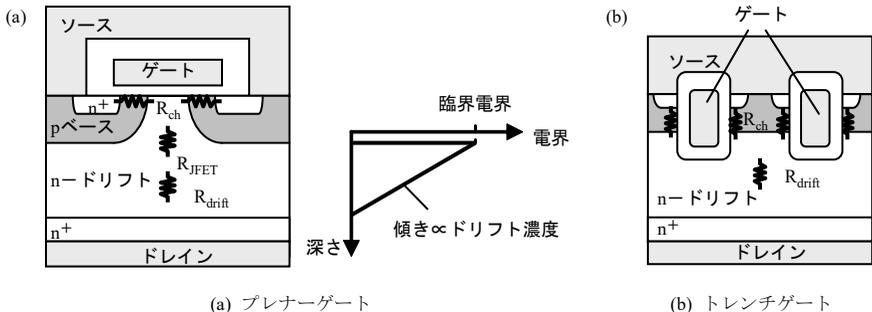


図 14・1 縦型パワーMOS の断面構造と電界分布

効率良く電力を変換するためにスイッチング素子の損失は低くしなければならない。パワーMOS の損失は、オン状態での損失 (導通損失) とオン・オフ切り替え時の損失 (スイッチング損失) の和である。導通損失はオン抵抗に比例するため、低オン抵抗が求められる。素子面積を大きくすることでオン抵抗を低減することが可能であるが、素子容量が大きくなってしまふ。これにより、スイッチング動作が遅くなり、スイッチング損失が増加してしまう。このため、全体の損失を低減するためには面積が小さい状態でオン抵抗が低くする必要があり、面積当たりのオン抵抗  $R_{onA}$  を低くすることが重要となる。

変換する電圧に応じてパワーMOS に求められる耐圧が決まり、これに応じてドリフト層を設計する。電界ピークが臨界電界に達したときの空乏層内の電界分布を積分したのが耐圧となるので、耐圧が高いほど空乏層を伸ばさなければならない。ドリフト層の不純物濃度が低いほど空乏層は伸びやすい (電界分布の傾きは小さい) ので、高耐圧が得られる (図 14・1(a))。し

かし、低濃度で厚いドリフト層の抵抗によりオン抵抗は高くなる。つまり、高耐圧な素子ほど、低オン抵抗が得られないというトレードオフ関係となる。このようなことから、パワーMOSの性能指標として  $R_{onA}$  と耐圧のトレードオフが用いられる。

オン抵抗は電流経路の各部の抵抗の和であるため、低  $R_{onA}$  化には、ドリフト層の最適設計によるドリフト抵抗  $R_{drift}$  低減に加え、チャネル抵抗  $R_{ch}$  や JFET 抵抗  $R_{JFET}$  も低減する必要がある。そして、低耐圧な素子では、必然的にドリフト抵抗が下がり、他の抵抗の占める割合が大きくなる。このため、高密度な短チャネルの形成によりチャネル抵抗を低減し、JFET 抵抗を無くすることができるトレンチゲート構造 (図 14・1(b)) が比較的耐圧が低い場合 (100 V 以下) に用いられ、プレーナゲート構造は耐圧が高い場合 (200 V 以上) に用いられる。

そして、 $R_{onA}$ -耐圧トレードオフにより低耐圧な素子ほど素子面積を縮小でき、低容量となるので、高いスイッチング周波数で用いられる。30 V 系パワーMOS が 500 kHz~1 MHz で用いられるのに対して、600 V 系パワーMOS は 100 kHz 程度で使用される。通常、パワーMOS のスイッチング損失は充放電される帰還容量  $C_{gd}$  の電荷量  $Q_{gd}$  に比例する。このため、導通損失とスイッチング損失の両方を考慮した性能指標として、 $R_{on}Q_{gd}$  が用いられることもある。

$R_{onA}$ -耐圧トレードオフは、物性値によって決まるドリフト抵抗の下限が理論限界であり、材料限界 (Si 限界) と呼ばれる。現状、ドリフト層の最適設計や MOS ゲートの微細化により、ほぼ Si 限界に到達している<sup>1)</sup>。ドリフト層内に縦長の p ピラーを形成したスーパージャンクション (SJ) 構造やソースゲートに接続された埋込み電極を形成したフィールドプレート (FP) 構造を適用することで空乏層が縦方向ではなく横方向へ伸び、ドリフト濃度が高くとも空乏化しやすくなる (図 14・2)<sup>2),3)</sup>。これにより低オン抵抗と高耐圧を両立させ、Si 限界を下回る低  $R_{onA}$  を有するパワーMOS が実用化されている。更なる低  $R_{onA}$  化に向けて、材料物性値である臨界電界の大きなワイドバンドギャップ半導体を用いたパワーMOS が研究・開発されており、SiC パワーMOS が実用化されつつある。

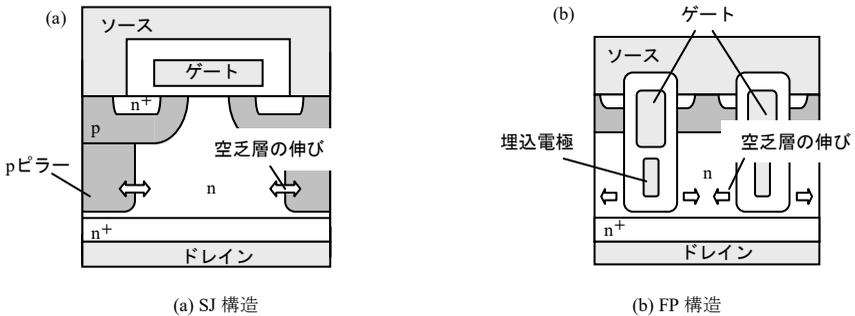


図 14・2 Si 限界を下回る低  $R_{onA}$  を実現するパワーMOS

#### ■参考文献

- 1) T. Kobayashi, H. Abe, Y. Niimura, T. Yamada, A. Kurosaki, T. Hosen, and T. Fujihira : “High-voltage power MOSFETs reached almost to the silicon limit,” IEEE International Symposium on Power Semiconductor Devices & ICs (ISPSD), pp.435-438, 2001.
- 2) G. Deboy, M. März, J.-P. Stengl, H. Strack, J. Tihanyi, and H. Weber : “A new generation of high voltage MOSFETs

- breaks the limit of silicon,” IEDM, pp.683-685, 1998.
- 3) M.A. Gajda, S.W. Hodgskiss, L.A. Mounfield, and N.T. Irwin : “Industrialisation of resurf stepped oxide technology for power transistors,” IEEE International Symposium on Power Semiconductor Devices & ICs (ISPSD), pp.109-112, 2006.

## ■9 群-4 編-2 章

### 2-17 太陽電池

(執筆著者：若原昭浩) [2011 年 1 月 受領]

太陽電池の基本構造は、図 17・1 に示すように表面での光反射を低減する反射防止構造、光励起キャリアの表面再結合損失低減のための窓層、光吸収と励起されたキャリアを空間的に分離する構造、及び裏面電極からなる。

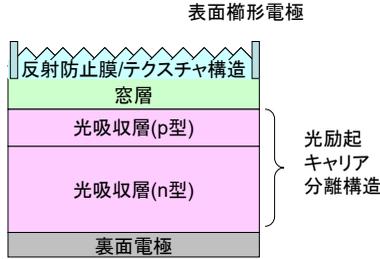


図 17・1 太陽電池の基本構造

反射防止構造は、低屈折率薄膜による反射防止膜と表面で多重反射を生じさせて光入射率を高くするためのテクスチャ構造が併用される。このテクスチャ構造は、広い波長域に対して反射率を低減するため、発光デバイスで用いられるフォトニック結晶構造とは異なり、規則的は周期構造を持たないマルチスケールあるいはランダムな構造とする。

表 17・1 に光吸収層から見た太陽電池の研究動向を示す。光吸収層としては基本的に半導体が用いられ、吸収された光子 1 個当たり一対の電子・正孔を生成され、素子内部に形成された電界により空間的に分離され光電流として外部に取り出す。色素増感太陽電池では、色素が光励起過程の一部を担っている点が異なっている<sup>1)</sup>。

表 17・1 光吸収層の構造により分類した太陽電池の研究動向

シリコン系	┌	結晶系
		単結晶Si、多結晶Si
	└	薄膜系
		アモルファス、微結晶(mc-Si)
化合物系	┌	エピタキシャル薄膜系
		InGaP/GaAs/Ge等
	└	多結晶系
		CdTe, Cu(InGa)(SeS) <sub>2</sub> , CuO <sub>x</sub> /ZnO等
有機物系	┌	色素増感型
		TiO <sub>2</sub> /Ru色素等
		有機薄膜系
		全有機化合物型、 ハイブリッド型(半導体ポリマー/半導体)

図 17・2 に、太陽電池の電流-電圧特性と等価回路を示す。光キャリア分離構造としては、基本的に pn 接合が用いられる。入射光は表面側から吸収されるが、空乏層内及び空乏層端か

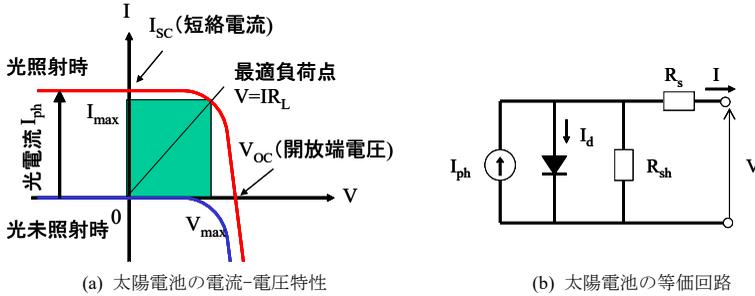


図 17・2 太陽電池特性及び等価回路

ら拡散長の範囲内で発生した光励起少数キャリアのみが、光電流  $I_{ph}$  に変換される。開放端電圧  $V_{oc}$  は、光電流  $I_{ph}$  と pn 接合の順方向電流  $I_d$  が一致したときの電圧として定義されるため、pn 接合の拡散電位に依存する。エネルギー変換効率<sup>1)</sup>は、入射光のエネルギー密度を  $P_{in}$  とすれば

$$\eta_n = \frac{V_{max} \cdot I_{max}}{P_{in} S} \times 100 [\%] = \frac{V_{oc} \cdot I_{sc} \cdot FF}{P_{in} S} \times 100 [\%] \quad (17 \cdot 1)$$

で与えられる。ここで、 $S$  は太陽電池の面積、 $FF$  はフィルファクター (Fill Factor) である。公称変換効率<sup>2)</sup>は、AM 1.5 100 mW/cm<sup>2</sup> における変換効率として定義される。図 17・2 において、pn 接合を理想ダイオードとし、漏洩抵抗  $R_{sh}$  と直列抵抗  $R_s$  が無視できるとすると、ダイオードに流れる電流は、

$$I = I_{ph} - I_s \{e^{\beta V} - 1\} \quad (17 \cdot 2)$$

となる。ここで、 $I_{ph}$  は光電流、 $I_s$  はダイオードの飽和電流、 $\beta = q/k_B T$  である。最大電力は、

$$\begin{aligned} P_{max} &\approx I_{ph} [V_{oc} - \frac{1}{\beta} \ln(1 + \beta V_m) - \frac{1}{\beta}] \\ &\equiv I_{ph} E_m, \end{aligned} \quad (17 \cdot 3)$$

となる。ここで、 $E_m < E_g$  であるから禁制帯幅  $E_g$  より大きなエネルギーを持つ光を吸収した場合、禁制帯幅とのエネルギー差は過剰なエネルギーとなり、フォノン放出などによりエネルギーを放出するためエネルギー変換効率は低下する。この場合に於いても、光電流生成の内部量子効率<sup>3)</sup>は低下しない。

単接合の太陽電池では禁制帯幅 1.3~1.4 eV 付近で最も高い理論変換効率約 30% が得られる<sup>2)</sup>。太陽光スペクトルとの整合性をとるため、禁制帯幅の異なる複数の pn 接合素子を積層した多接合型太陽電池<sup>3)</sup>や積層量子ドットのミニバンドを用いた中間バンド太陽電池<sup>4)</sup>の研究が進められている。理論的には接合を接合数が無限大とすることで変換効率約 86% が期待されるが、実際には上層の素子を通過する際の光損失や各素子間の電流整合、直列抵抗成分により理論限界より低くなる。

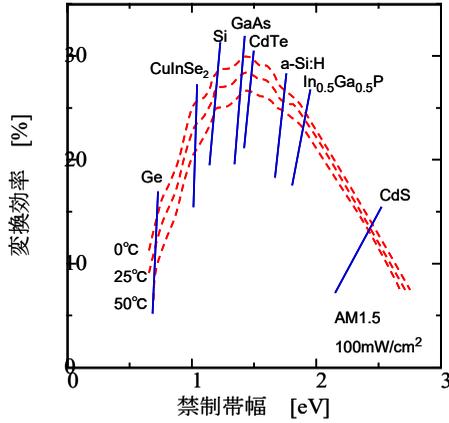


図 17・3 単一接合の場合の禁制帯幅と理論限界効率.  
文献 1) のデータをもとに作成.

#### ■参考文献

- 1) B. O'Regan and M. Grätzel : "A low-cost, high-efficiency solar cell based on dye-sensitized colloidal TiO<sub>2</sub> films," Nature, vol.353, pp.373-340, 1991.
- 2) S.M. Sze : "Physics of Semiconductor Devices," Wiley, New York, 1981.
- 3) M.A. Green : "Silicon Solar Cells: Advanced Principles and Practice," Bridge, Sydney, 1995.
- 4) K.W.J. Barnham and G. Duggan : "A new approach to high-efficiency multi-band-gap solar cells," J. Appl. Phys., vol.67, pp.3490-3493, 1990.

## ■9群-4編-2章

### 2-19 単一電子デバイス

(執筆者：葛西誠也) [2011年12月 受領]

単一電子デバイスは、個々の電子の挙動が動作機能を担う素子である。小型・高感度・低消費電力を特徴とし、単一電子トランジスタや単一電子メモリが代表的である。また、ナノ空間における単一電子と外場や粒子の相互作用を利用した微小電荷検出、分子検出、単一光子発生・検出、THz波検出、スピン検出、量子ビット操作など精緻な物理量操作・検出への応用や、単一電子の揺らぎを利用した物理乱数発生素子、電子素電荷に基づく物理量標準などが挙げられる。しかし、現時点ではそのほとんどが研究の段階にあり、実用化の観点ではまだ課題が多い。

素子の基本構造は、電子を入れる微小箱、電子を出し入れするための配線、微小箱と配線をしきる電位障壁である。微小箱は、単電子島、量子ドット、ナノドットとも呼ばれ、金属や半導体で作られる。サイズは1  $\mu\text{m}$  以下あるが、熱揺らぎの影響を相対的に抑えるためにできるだけ小さくする。ドットと配線を隔てる電位障壁は、電子が量子力学的トンネル可能な微小接合であり、トンネル障壁と呼ばれる。半導体の場合、狭窄や電界ゲートによる空乏層によって形成することもできる。トンネル障壁によってドットを隔離しつつ電子を捕捉するためには、トンネル抵抗  $R_T$  を量子抵抗  $h/e^2 = 26 \text{ k}\Omega$  以上 ( $e$  は電子電荷,  $h$  はプランク定数) に設定する必要がある。熱励起による遷移の抑制と電子トンネルを両立するには、薄く高い障壁が望ましい。トンネル障壁の代わりに電界効果ゲートを用い、微小箱と配線を完全に導通遮断する構造もある。構造の形成には、リソグラフィとエッチング加工、走査プローブによる局所酸化法、ゲートによる電氣的隔離、結晶成長、化学的合成のほか、結晶中トラップの利用、接合破断法、ナノギャップ間に分子をドットとして配置するなど様々な手法がある。

素子動作の基本は、電子電荷のクーロン力と離散的充放電である。微小箱中の電子がクーロン反発によって次の電子の流入を妨げる現象をクーロンブロックードという。微小箱の静電容量  $C$  は、そのサイズを  $L$ 、誘電率を  $\epsilon$  としたとき  $\epsilon L$  のオーダーである。 $L$  を十分小さくすることによって、電子素電荷  $e = 1.6 \times 10^{-19} \text{ C}$  によって生じる電位差  $V = e/C$  は検知可能な値になる。逆に、この電位差を系に与えることで電子1個を充放電できる。微小箱のサイズが1  $\mu\text{m}$  程度になると、極低温で単一電子の挙動が観測される。10 nm まで縮小すると、帯電エネルギー  $E_C = e^2/2C$  が室温の熱エネルギー  $k_B T = 26 \text{ meV}$  を上回るため、室温でも現象の観測や操作が可能になる。なお、微小構造中では電子波動性に基づく量子化エネルギーが共存し得る。材料系とサイズに依存するが、一般的には帯電エネルギーが優勢である。

単一電子デバイスを論理演算素子として見た場合、電子1個でスイッチのオン・オフが可能であり、そのエネルギーは  $E_C$  程度と極めて小さい。スイッチング時間は  $CR_T = h/E_C \sim \text{ps}$  オーダーとなるが、実際には  $R_T$  が大きく ns  $\sim$   $\mu\text{s}$  程度である。一方、致命的な問題として、環境や構造の揺らぎに弱いことが挙げられる。例えば、現在の決定論的論理演算システムで要求される超低エラー率を実現するには、スイッチングエネルギーとして  $70 k_B T$  以上が必要となり、室温でこれを上回る帯電エネルギーを実現するサイズは結晶格子定数と同等となってしまう。超低消費電力を活かしつつ演算精度を確保するためには、デバイスだけではなく回路や論理演算アーキテクチャを含めた統合的設計が必須となる。