

■10 群 (集積回路) - 3 編 (システムオンチップ技術)

2 章 混載 LSI

(執筆者：日高秀人・道正志郎) [2009 年 5 月 受領]

■概要■

本章では、システムオンチップ技術の内、デジタル信号処理回路あるいはプロセッサとメモリ回路及びアナログ回路を混載した LSI、及び混載を実現するための技術について概説する。

LSI における混載メモリとは、単体メモリとしての外部インタフェースをもたないオンチップ埋め込みメモリと定義される。メモリの実装方法には、大別して、混載メモリのほかに、SiP (system in package) 及び単体メモリがあり、それぞれ、表 2・1 に示す特徴がある。現在、混載メモリとして最も多用されているのは SRAM であるが、近年では大容量データバッファや L3 キャッシュ用途の DRAM や、マイクロコントローラ製品のコードストア用フラッシュメモリが増加している。

表 2・1 メモリ実装方法と特徴

	消費電力	性能	実装体積	特徴
単体メモリ	大	低	大	プロセスコスト低、大容量に適
SiP (system in package)	中	中	中	プロセスコスト低、インタフェース電力小
混載メモリ	小	高	小	コスト観点では、大容量・小容量に不適

アナログ回路を搭載した混載 LSI は、1990 年以前はアナログ部をバイポーラ素子、デジタル部を CMOS 素子で構成した BiCMOS プロセスで実現されていた。しかし、1990 年以降、CMOS プロセスの微細化でデジタルマルチメディア技術が発達し、オーディオビジュアル信号処理が CMOS アナディジ混載 LSI 上で実現された¹⁾。次に、ハードディスク及び光ディスクシステム高性能化のため PRML 技術などが混載 LSI 上で実用化された。この LSI は単にアナログからデジタルへの信号変換を行うだけでなく、デジタルとアナログ回路が協調して信号処理を行う点が画期的であった²⁾。また、1990 年代後半から通信技術が急速に発達し、送受信部を CMOS 回路で構成した無線通信用 LSI が開発された³⁾。更に HDMI、SATA 及び DDR インタフェースなどの高速の有線 I/F 技術が CMOS 回路で実現され、プロセッサと一体化されている⁴⁾。

アナディジ混載 LSI の進化のためには、CMOS の微細化にあわせてシステムと回路を低電圧化、低消費電力化⁵⁾、小面積化させていく必要があった。また、デジタルノイズ対策技術の開発が必要であった。更に、CMOS アナログ回路の精度補償⁶⁾や特性調整のための制御技術⁷⁾を開発する必要があった。そのほか、基板制御技術や電源制御技術、高速バスインタフェース技術、温度や電源センサ技術などの、アナログ回路をデジタル回路の高性能化のために使う手法も発達した。

【本章の構成】

本章では、メモリ混載 LSI (2-1 節)、アナログ混載 LSI (2-2 節) に関して、代表的な LSI 構成と必須技術について解説する。

■10 群 - 3 編 - 2 章

2-1 メモリ混載 LSI

(執筆者：日高秀人) [2009年5月 受領]

単体メモリと比較した混載メモリの利点は、(1) チップインタフェースの排除による低消費電力化・高性能化、(2) 内部バス幅の拡大による性能向上、(3) 単体メモリでは得られないメモリ容量の実現、(4) データセキュリティ向上、(5) オンチップ熱放散要素となる（ヒートシンク）、などである。一方、混載メモリの一般的課題は、(1) プロセスコスト増大、(2) 少量多品種による設計コスト増大や技術ラーニング問題、(3) テスト手法（カバー率、コスト）、である。これら混載メモリの特質は、性能・コストなどの観点でオンチップシステムの最適解を見出す上での大きな要素である。なお、SIPについては、TSV（Through Silicon Via）などを使用したチップ積層化技術によるチップインタフェースの低消費電力化などにより、混載メモリに迫る利点が期待されるが、コスト低減と標準化が現在の課題であり、一層の進歩が望まれる。

2-1-1 メモリ混載 LSI と混載メモリ種類

メモリの機能別用途は RAM（ランダムアクセスメモリ）と ROM（リードオンリーメモリ）に大別される。混載メモリではスタチック RAM（SRAM）が最も多用されており、典型的なシステムオンチップにおける混載 SRAM の面積割合は 50% 程度以上と想定され、この割合は世代進化ごとに増加の一途にある。SRAM のほかに、フラッシュメモリやダイナミック RAM（DRAM）などが混載メモリとして使用されており、いまだ製品として普及していない新世代メモリを含めて、表 2-2 に、混載メモリ種類と機能、性能、用途を、実現されるメモリ特性のマッピング例を図 2-1 に示す。

表 2-2 各種混載メモリと性能、用途（ROM のアクセスタイムは、読み出し時のアクセスタイム）

		アクセス タイム	用途	容量
RAM(揮発性)	Static-RAM (SRAM)	1~100ns	L1/L2/L3 キャッシュ	~10MByte
	Dynamic-RAM (DRAM)	10~100ns	L3 キャッシュ、データバッファ	1~数10MByte
ROM (不揮発性)	EEPROM, フラッシュメモリ	10~1000ns	書換え=10K~100K回、コードストア	~数MByte
	OTP、ヒューズ（1回書換え型不揮発性メモリ）	10~1000ns	書換え=1回、コード・型・冗長置換情報のストア	~数100KByte
NV-RAM (不揮発性RAM)	FeRAM(強誘電体メモリ)、 MRAM(磁性体メモリ)、 PCRAM(相変化メモリ)	10~100ns	書換え=10 ⁸ ~10 ¹⁶ 回、 データ・コードストア	(~数10Mbyte)

各メモリデバイスの基本的各論は 4 編に譲り、以下、混載メモリとしての特徴と課題を述べる。混載メモリは、製造プロセスや構造上、CMOS ロジック互換性を求められる場合が多く、これらを軸に技術選択が行われる。

SRAM は、ほぼ CMOS ロジック製造プロセスとの互換性を保ったメモリとして、6Tr セルを基本として、L1/L2/L3 キャッシュ、データバッファ、レジスタファイル、データラッチなどに幅広く使用されている。混載 SRAM の最大の特徴は、ロジック動作電源電圧に従って、

電源電圧をスケールダウンさせねばならないことであるが、待機時の消費電流の増大を避けるためにメモリセルトランジスタのしきい値の低減には限界があることや、セル安定動作条件に対するデバイスばらつきの影響、ソフトウェア率の増加など問題が多出する。以上の問題により 45 nm ノード以降に顕在化する電源電圧=1.0 V の壁を巡って、様々な研究開発が推進されており、各種動作バイアス制御、多 Tr セル化 (8Tr,10Tr セル)、SRAM とロジックの 2 重電源電圧化、ECC の搭載など、様々なアプローチが提案されている。

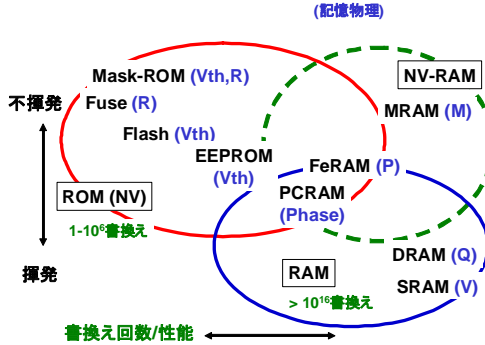


図 2-1 混載メモリの性能マップ

混載 DRAM は、主に大容量データバッファ、L2-3 キャッシュなどに使用され、特に、広い内部データバス幅を生かした高バンド幅のデータ転送を必要とするゲーム機用途などに多用されている。メモリセルは、単体 DRAM と同様な 1Tr-1C 型を始め、3Tr セル、1Tr セルなどが提案され、また、セルキャパシタ構造はトレンチキャパシタ、スタックキャパシタ、MOS キャパシタのいずれもが使用される。また、高集積化・低電圧化の容易性により、混載 SRAM の置換が行われる動向が顕著になってきている。混載 DRAM の最大の課題は、セルキャパシタ形成の容易性確保と DRAM セル特性、特にデータリテンション特性の両立である。

混載フラッシュメモリは、MCU (マイクロコントローラ) 製品などのプログラムコードストア用途として普及し、SRAM に次ぐ第 2 の規模の混載メモリ市場を形成している。混載フラッシュメモリ技術は、単体フラッシュメモリと同様なスタックゲート構造 (浮遊ポリシリコンに電荷を蓄積するフローティングゲート構造) の 1Tr 型 NOR セルに始まるが、混載用途向けのスプリットゲートセル (1.5Tr 型) や 2Tr 型が発展しており (表 2.3)、これら混載向けのセル構造では、メモリセル Tr のほかに、セル選択ゲートを有するので、メモリセルのしきい値設定を低くでき、高速読み出しが実現でき、また、スプリットゲートセルでは、SSI 動作 (ソースサイドインジェクション) により高速・低電流書込みができる。このほかに、セルトランジスタのスケールダウンと構造単純化によるコスト低減の点で有利な離散チャージトラッピング構造、特に SONOS 構造 (Silicon-Oxide-Nitride-Oxide-Silicon) も実用化されている。

表 2・3 混載フラッシュメモリセルの進展

セル構成	1Tr NOR cell	1.5Tr cell (SuperFlash™) 7)	2Tr cell
プログラム	CHE	SSI	FN
消去	FN (poly-sub)	FN (poly-poly)	FN (poly-sub)
デバイス構造			
特徴	高集積セル	高速書込み	低消費電力

フラッシュメモリ内蔵 MCU 製品に見られるように、混載メモリとして、データ蓄積用大容量 RAM と命令コード蓄積用大容量 ROM を同時に混載する必要性もあり、これを低コストで実現する不揮発性 RAM の需要が高まりつつある。近年、新しい物理原理のメモリが多数提案されており (表 2・4)、フラッシュメモリに比べ桁違いの書換え回数耐性、書換え速度など、不揮発性 RAM として使用できる可能性が高く、CMOS 混載可能性 (動作電圧・構造・熱処理負荷)、既存デバイスの同時置き換えによるユニファイドメモリ実現 (例: SRAM とフラッシュメモリ)、フラッシュメモリにない特性による新応用開拓による価値創造などが期待される。

表 2・4 NOR フラッシュメモリと新規不揮発性メモリの比較 8)

F:最小加工寸法

	NOR-Flash	FeRAM	MRAM	PCRAM
材料	SiOx/Poly-Si	PZT等	CoFeB等	GST等
セル面積(F2)	10	40	30	20
読出し	非破壊	破壊	非破壊	非破壊
読出し速度	20ns	50ns	< 10ns	20ns
書込み速度	1 μ s	50ns	< 10ns	100ns
書換え回数	1E 5	1E 8~12	> 1E 16 (∞)	1E 6~12
書換え電力 (pW・sec/bit)	~1E 5	30	20~40	20~1000
特長	Si系材料	中速不揮発	高速NVRAM	簡単構造
問題点	ROM	微細化困難	磁場ディスターブ	熱ディスターブ
セル構造				

2-1-2 混載メモリの構成要素と典型的なメモリ混載 LSI の構成

図 2・2 に、典型的な混載メモリの構成要素とメモリ混載 LSI の構成例を示す。メモリセルアレイ及びこの制御回路系をはじめ、内部メモリバスインタフェース、内部電源回路系、冗長構成、ECC、暗号化、テスト回路 (BIST) 及びテストパス、などからなる。外付けメモリと混載メモリの選択、メモリのチップ上分割あるいは共有、プログラムストアによるソフトウェア制御あるいはハードウェア搭載、などの観点から有用性のあるシステムオンチップ構成要素としてのメモリ IP 実現が設計課題であり、高速性能、低消費電力、付加機能などの面で、混載メモリによる設計最適化要素が大きい。

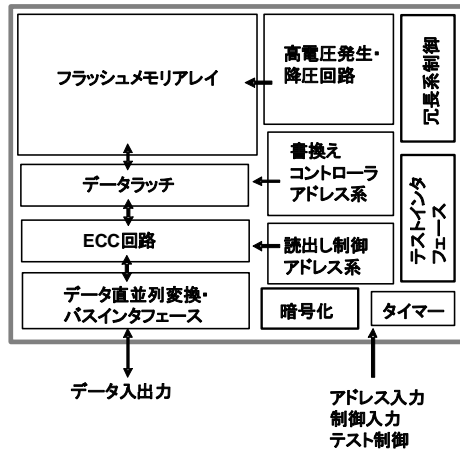


図 2・2 混載メモリの構成例 (混載フラッシュメモリの例)

2-1-3 メモリ混載 LSI の今後の課題と展望

表 2・5 に見るように、混載不揮発性メモリによるオンチッププログラマブル化は、本質的にはハードウェアとソフトウェアの協調・最適化そのものであり、これが LSI の進化そのものと言えるほど LSI のコスト・性能最適化に深くかかわり、汎用性対性能 (集積度、パワー律束のもとでの) や設計コストダウン効果 (ソフトウェアとハードウェアのバランス) の観点で進化してきた。歴史上の代表例をあげると、(1) メモリベースのロジックによるプログラム駆動 (マイクロプログラム) によるマイクロプロセッサ、(2) 書換え可能 ROM による命令コード変更や回路トポロジー可変 (FPGA) などであり、今後は、(3) ROM と RAM の融合による不揮発性 RAM (NV-RAM) の実現が待たれる。これは、電源のオン・オフを繰り返す間欠動作を主旨とし、45 nm テクノロジーノード以降で顕著になってくる電源電圧 1.0 V の壁を打破し、更なる低消費電力を実現する手段として意味が大きい。いまだ完全な不揮発性 RAM の実現はされていないが、擬似的にでも、電源投入前後のデータ退避・再現の高速化など、高速書換え可能な不揮発性メモリの用途は広い。

現在、不揮発性 ROM と揮発性 RAM (SRAM, DRAM) が主流である混載メモリでは、テクノロジー世代の進化とともに、高まる需要とは裏腹に、複数種類のメモリを同時混載するこ

表 2-5 オンチップ不揮発性メモリの進化による LSI 機能の発展の様子⁸⁾

	イノベーション	主要因	実用製品	効果
1	メモリアベースロジック	ROMプログラム レジスタベース演算	MPU、MCU	プログラマブルロジック
2	可変プログラム・ ロジック	SRAM、Flash	フラッシュMCU、 FPGA	リコンフィグラブルロジック 設計・生産・在庫・流通の 効率化
3	ユニバーサルメモリ	NV-RAM	ユニファイドメモリ MCU、SOC	混載メモリ技術限界の打破、 パワー低減、設計コスト低減、 リユーズابل

との困難さが高まってくる。これは混載用途に特有の要求であり、特に書換え可能な ROM（フラッシュメモリ）と高速 RAM（SRAM）の同時混載は、MCU をはじめ必須要求となっている一方、製造プロセスの複雑化の防止と電気特性の維持の観点で実現困難性が増している。これを解決するために、すべてのメモリ機能を 1 種類のメモリで実現するユニバーサルメモリの実現手段として、新規不揮発性メモリへの期待は高い。特に、フラッシュメモリのようなトランジスタへの構造改変を伴わず、配線構造中にメモリセルを形成できる FeRAM、相変化メモリ、MRAM の系統の技術にその可能性を期待できる。

混載メモリは、汎用的製品では有効に利用され発展してきた。その一方、多様な製品ニーズに応えるためと、個別コストダウンのために、混載メモリのデバイス技術・回路技術は多様化してきており、単体メモリと比較すると規模の経済の問題を生ずる可能性がある。新規メモリ原理による不揮発性 RAM 実現には、新規応用の開拓と共に、これら混載メモリ技術の問題点の解決も期待される。グリーン化、ユビキタスコンピューティング、センサーネットなど、今後の社会の鍵を握る混載メモリ技術への期待は高く、研究開発の加速が望まれる。

■10 群 - 3 編 - 2 章

2-2 アナログ混載 LSI

(執筆著：道正志郎) [2009年5月 受領]

システム LSI のロジック回路の集積度は、ムーア則に従い、年 58%，10 年で 100 倍に向上した。したがって、ロジック LSI に様々なインタフェース (IF) 部を取り込み、機器の小型化、動作電力の削減、設計コストの低減を図ることは、当然の要望であった。ここでの問題は、IF 部が自然界のアナログ信号を扱うことになり、アナログ回路で構成される点である。

このアナログ回路はロジック部との混載とコスト低減のため、バイポーラ素子に代わって、CMOS 回路での実現が要求された。しかし、それまでのアナログインタフェースを含む信号処理システムは多種電源を使用し、容易にワンチップ化できない状況であった。

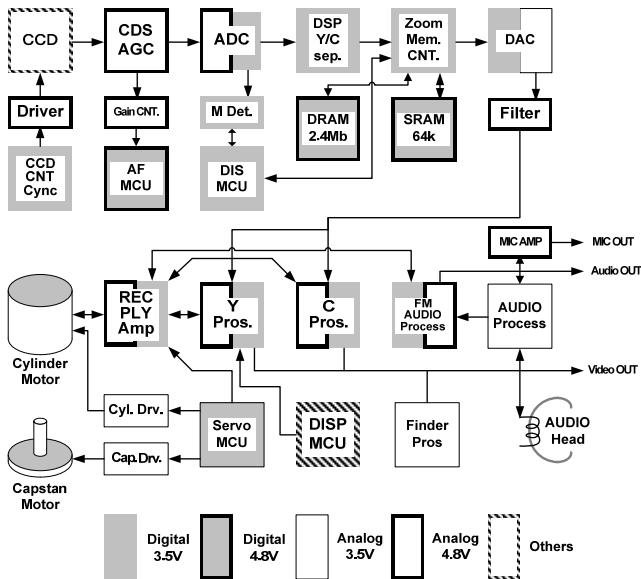


図 2.3 カメラデコーダシステムと電源構成

図 2.3 に 1990 年代前半のカメラデコーダシステムとその電源構成を示す¹⁾。デジタルとアナログでそれぞれ 2 種類の電源を用い、全部で 5 種類以上の電源で動作していた。

したがって、これらシステムを LSI 上に実現するためには、各ブロックの動作電圧を統一する必要があった。また、図 2.4 に示すように、微細化に伴い、アナログ回路面積がシステム LSI の小面積化を律速した¹⁰⁾。これはアナログ回路がデジタル回路と異なり、ムーア則に従って微細化できないためである。

すなわち、アナログ混載 LSI では、アナログ回路をデジタル回路と同じ電源電位で動作させることと、コストを律する要因とならぬように小面積化することが課題であった。

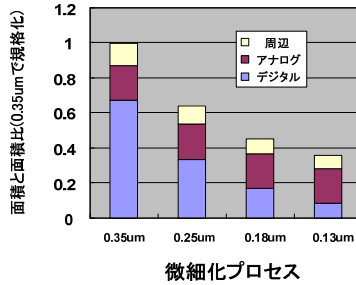


図 2・4 システム LSI でのアナディジ面積比率

2-2-1 アナログ混載 LSI 用アナログ回路

アナログ混載のために各種のアナログ回路が低電圧化された。演算増幅器では、Rail-to-Rail オペアンプ¹¹⁾が開発され、0V から電源電圧までの信号を扱えるようになった。また、サンプルホールド回路では、入力信号と MOS スイッチのゲート間電圧が一定となるブートストラップ回路技術が開発された¹²⁾。この技術では、サンプルホールド回路に用いる MOS スイッチのオン抵抗が入力信号に依存せず一定となる。したがって、信号歪を低減することが可能である。また、更なる低電圧動作のため、オペアンプ自体でスイッチングを行うオペアンプスイッチ技術も開発された¹³⁾。次に、フィルタ回路では、トランスコンダクタと容量で構成される連続時間型フィルタ回路により、低電圧で広帯域のフィルタ回路が実現された。更に、連続時間型フィルタ技術はオーバーサンプリング AD 変換器に応用され、信号帯域が 10 MHz から 20 MHz で 1.2 V 動作が可能な AD 変換器が開発されるに至っている¹⁴⁾。

システム LSI の駆動クロックを制御する位相同期回路も、アナログ動作するループフィルタ部や電圧制御発振器を含むため、アナログ回路といえる。位相同期回路では、応答周波数が低い場合に、ループフィルタ部が大きくなり回路面積が増加する。そこで、従来の 10 分の 1 程度にフィルタ部を縮小可能な二つのチャージポンプ回路を使用するフィルタ方式が開発される¹⁵⁾。更に、高速クロックを参照する $\Delta \Sigma$ 周波数シンセサイザと低速クロックを参照するデジタル PLL の組合せによる位相同期回路が開発された。本方式は分周器の分周数にかかわらず一定のジッタ特性を実現でき、高分周 PLL の性能を飛躍的に改善した¹⁶⁾。

2-2-2 代表的なアナログ混載 LSI

アナログ混載 LSI の代表例を以下に紹介する。図 2・5 はハードあるいは光ディスクから信号を読み出すためのリードチャネル技術を実現する LSI のブロック図である²⁾。

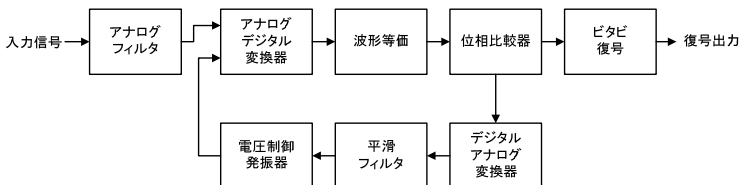


図 2.5 リードチャネル LSI のブロック図

リードチャネル LSI では、波形等化処理を行うために入力信号はアナログフィルタを通過した後、AD 変換器でデジタル信号に変換される。デジタル信号は波形等価された後に位相比較器で位相差信号を抽出する。位相差信号は、DA 変換器でアナログ信号に変換され、平滑フィルタを通過して電圧制御発振器の制御信号となって AD 変換器のサンプリング位相をコントロールする。すなわち、アナログデジタル混載の位相同期回路を実現している。初期の方式では、デジタルブロックでの位相信号遅延のために、周波数引き込み特性が劣化するという欠点があった。これら欠点の克服のため、周波数引き込み特性を大幅に改善する位相検出方法¹⁷⁾や、オーバーサンプリングクロックを用いたビタビ復号手法などが開発され、大幅に周波数引き込み性能は改善されている¹⁸⁾。

また、2000 年代に入って、各種無線方式を CMOS プロセスで実現したアナログ混載 LSI が登場した。無線 LSI が CMOS 化された要因としては、CMOS 微細化によりトランジスタの高速性が向上したことが一因である。図 2・6 に CMOS プロセスとトランジスタの遮断周波数 (f_T) の関係を示す¹⁹⁾。

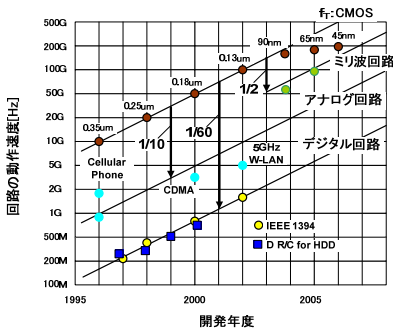


図 2・6 CMOS-TR の遮断周波数およびプロセス

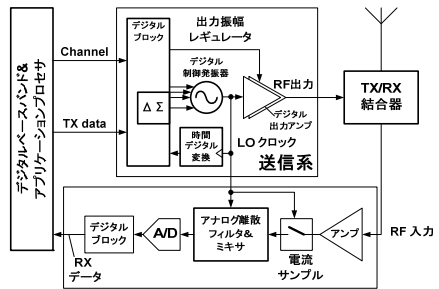


図 2・7 デジタル RF 送受信機のブロック構成例

図 2・6 より、トランジスタ f_T は実に 10 年で 20 倍程度向上している。無線 LSI の CMOS 化はこのような、トランジスタ動作速度の向上及び電流利得の向上により、狭帯域 LNA の NF 特性が改善できたこと、また周波数シンセサイザの回路技術が格段に進歩し、位相ノイズの低減が図られたことによる。更に近年では、複数の無線方式を同一のアーキテクチャで実現しようという取り組みが開始されている。図 2・7 にマルチ無線方式の送受信機ブロック構成例を示す²⁰⁾。図の構成では、必要なアナログブロックを最小限として、可能な限りデジタル回路で信号処理を行う。デジタル回路はその仕様を容易に変更できるため、マルチ無線化が実現できる。アナログ素子ばらつきが問題となるデジタル制御発振器にはデジタル誤差拡散技術を応用し、受信部のフィルタ及びミキサはスイッチトキャパシタ方式によるアナログ離散時間処理を適用して、その周波数特性を可変可能としている。

2-2-3 アナログ混載を実現するためのノイズ対策

アナログ混載 LSI では、アナログ回路は大規模デジタル回路と混載されるためデジタルノイズの影響を最小化するように実装される必要がある。

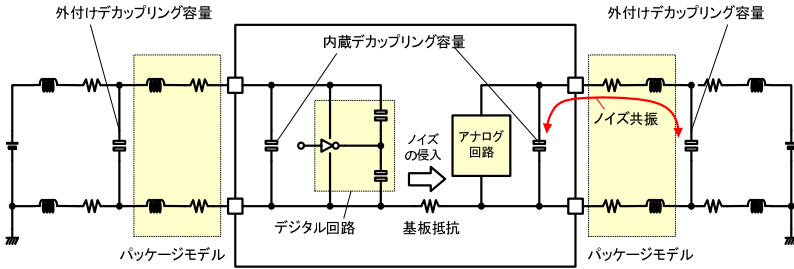


図 2-8 アナディジ混載 LSI におけるノイズの影響

図 2-8 にアナディジ混載 LSI におけるノイズの影響を示す。デジタル回路からのノイズは基板抵抗を介してアナログ側にもたらされる。基板ノイズの低減にはトリプルウェル構造や高抵抗基板などが有効である。また、LSI 内にデカップリング容量を配置する方法もある。デカップリング容量使用時の注意点は、内部容量とパッケージインダクタンス及び外部デカップリング容量によって共振回路が構成される点である。この共振回路の共振周波数と内部のクロック動作周波数が一致した場合、アナログ回路の電源を大きく揺らす可能性がある。したがって、内部デカップリング容量値は共振を招かないように慎重に決定すべきである。

2-2-4 そのほかのアナディジ混載技術

アナディジ混載 LSI では、近年、デジタル制御によりアナログ回路を高性能化するだけでなく、アナログ技術によってデジタル回路の高性能化を達成する取り組みが盛んである。例えば、基板電位を制御し、トランジスタの高速化と低リーク化を実現する技術²¹⁾。温度センサなどにより LSI 動作温度を検出して周波数を可変する技術²²⁾。デジタルノイズを動的にキャンセルする技術など様々な技術が開発されている²³⁾。更に、More Than Moore の取り組みとして、アナディジ混載 LSI は MEMS やバイオセンサなどに応用の範囲を拡大しつつある。

■参考文献

- 1) A. Matsuzawa, et al., "Low-Voltage and Low-Power Circuit Design for mixed Analog/Digital Systems in Portable Equipment," IEEE Journal of Solid-State Circuits, vol.29, no.4, pp.470-480, 1994.
- 2) K. Okamoto et al., "A Fully-Integrated 0.13um CMOS Mixed-Signal SoC for DVD Player Applications," IEEE Journal of Solid-state Circuits, vol.38, pp.1981-1991, Nov. 2003.
- 3) Michiel Steyaert, et al., "A Single-Chip CMOS Transceiver for DCS-1800 Wireless Communications," ISSCC Digest of Technical Papers, pp.48-49, Feb. 1998
- 4) T. Kamei, et al., "A 65nm Dual-mode Baseband and Multimedia Application Processor SoC with Advanced Power and Memory Management," Proceedings of the 2009 Conference on Asia and South Pacific Design Automation, pp.535-539, Jan. 2009.
- 5) Anne-Johan Annema, et al., "Analog Circuits in Ultra-Deep-Submicron CMOS," IEEE Journal of Solid-State Circuits, vol.40, no.1, pp.132-143, 2005.
- 6) A. Yasuda, et al., "A Third-Order Modulator Using Second-Order Noise-Shaping Dynamic Element Matching," IEEE Journal of Solid-State Circuits, vol.33, no.12, pp.1879-1998, Dec. 1998.
- 7) S. Kianian et al., "Symp. VLSI Tech. Dig.," Tech. Pap., pp.71-72, 1994.
- 8) 日高秀人, "混載不揮発性メモリ技術の動向," 信学誌 vol.92, no.2, pp.131-137, 2009年2月.

- 9) T. Sakai, et al., "A Digital TV Receiver RF and BB Chipset with Adaptive Bias-Current Control for Mobile Applications," ISSCC Digest of Technical Papers, pp.212-213, Feb. 2007
- 10) 松澤 昭, "アナログ設計の立場から見た ULSI プロセス技術," BREAK THROUGH, pp16-21, Jan. 2001.
- 11) Klaas-Jan de Langen, et al., "Compact Low-Voltage Power-Efficient Operational Amplifier Cells for VLSI," IEEE Journal of Solid-State Circuits, vol.33, no.10, pp.1482-1496, Oct. 1998.
- 12) Andrew M. Abo, et al., "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," IEEE Journal of Solid-State Circuits, vol.34, no.5, pp.599-606, May. 1999.
- 13) Jan Crols, et al., "Switched-Opamp: An Approach to Realize Full CMOS Switched-Capacitor Circuits at Very Low Power Supply Voltages," IEEE Journal of Solid-State Circuits, vol.29, np.8, pp.936-942, Aug. 1994.
- 14) L.J. Breems, et al., "A Cascaded Continuous-Time $\Delta \Sigma$ Modulator With 67-dB Dynamic Range in 10-MHz Bandwidth," IEEE Journal of Solid-State Circuits, vol.39, np.12, pp.2152-2160, Dec. 2004.
- 15) J.G. Maneatis, et al., "Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL," IEEE Journal of Solid-State Circuits, vol. 38, no.11, pp.1795-1803, Nov. 2003.
- 16) Hyung-Rok Lee, et al., "A PVT-Tolerant Low-1/f Noise Dual-Loop Hybrid PLL in 0.18 μm CMOS," ISSCC Digest of Technical Papers, pp.2402-2411, Feb. 2006.
- 17) A. Kawabe, et al., "A Novel Timing Recovery for Read Channel Systems using Feedback Cross Position Control Method," Optical Data Storage, pp.262-271, September. 2004.
- 18) A. Yamamoto, et al., "Robust Read Channel System Directly Processing Asynchronous Sampling Data," Japanese Journal of Applied Physics, vol.45, no.2B, pp.1054-1057, 2006.
- 19) 道正 志郎他, "先端システム LSI におけるアナログ回路設計," シリコンテクノロジー, no.105, STM08-08, pp.2-9, Nov. 2008.
- 20) Robert Bogdan Staszewski, et al., "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS," IEEE Journal of Solid State Circuits, vol.39, no.12, pp.2278-2291, Dec. 2004.
- 21) M. Sumita, et al., "Mixed Body Bias Techniques With Fixed V_t and I_{ds} Generation Circuits," IEEE Journal of Solid-State Circuits, vol.40, no.1, pp.60-66, Nov. 2005.
- 22) Yu Wei Yang, et al., "Temperature-Aware Dynamic Frequency and Voltage Scaling for Reliability and Yield Enhancement," Proceedings of the 2009 Conference on Asia and South Pacific Design Automation, pp.49-54, Jan. 2009
- 23) Jianping Xu, et al., "On-Die Supply-Resonance Suppression Using Band-Limited Active Damping," ISSCC Digest of Technical Papers, pp.286-287, Feb. 2007.