

## ■10 群 (集積回路) - 3 編 (システムオンチップ技術)

### 3 章 実装形態

(執筆著: 小谷光司) [2009 年 9 月 受領]

#### ■概要■

本章では、集積回路実装技術を活用して SoC のコンセプトをより柔軟性高く低コストで実現する手法について述べる。すなわち、複数の集積回路チップを同一パッケージ内に搭載してパッケージ単位でシステム集積化を実現する SiP (System in Package) 技術である。SiP の基本コンセプトや特徴とともに、近年注目を集めている 3 次元実装技術を用いた SiP についても概説する。

世界共通語として認識されるようになった Jisso 技術は、我が国が高い技術的優位性を保っている技術分野である。1970 年代以降、専ら集積回路チップの高密度実装のためにパッケージ技術が進化してきた。初期の DIP (Dual Inline Package) から始まり、SOP (Small Outline Package) や QFP (Quad Flat Package) などの周辺端子型面実装パッケージ、BGA (Ball Grid Array) などの面格子端子型パッケージへと進化し、チップサイズと同等のサイズの CSP (Chip Size Package) や CSP の一種で生産性を高めた WLP (Wafer Level Package) が実用化されるに至っている<sup>1)</sup>。

一方、パッケージ技術の進展とともに、複数のチップを単一パッケージ内に集積化することも可能になった。この技術を用いると、1 チップに様々な機能回路を搭載して高度なシステム機能を集積化する SoC と同等な機能を、より低コストかつ短い開発期間で SiP として実現可能となった。実装技術は、単なる高密度集積化のためのパッケージ技術から、システム集積化を実現する新たな技術に発展したのである。

更に、チップやパッケージを 3 次元に積層する 3 次元実装技術が開発され<sup>1,2)</sup>、実装密度が劇的に向上するとともに、新たにチップ間配線として縦の次元を活用できるシリコン貫通ビア (TSV) などの技術が登場し、配線距離の低減に伴う高速動作や低消費電力化が可能になった。更に、MEMS や光デバイス、センサデバイスなどの異種機能チップや異種材料チップなどを容易に高密度集積化できるようになり、3 次元 SiP 技術は、単なる SoC では実現できない高性能高機能システム実現の手段となっており、様々な面で SoC 技術を凌駕する新たな技術へと進化してきている。

#### 【本章の構成】

本章では、SiP の基本概念から基本構造、実装技術との関連を述べたのち、3 次元実装技術を用いた SiP の実現について述べる。SiP の基本概念 (3-1 節)、3 次元実装技術と 3 次元 SiP (3-2 節) から構成される。

## ■10 群 - 3 編 - 3 章

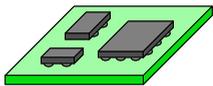
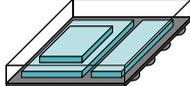
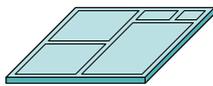
### 3-1 SiP の基本概念

(執筆者：小谷光司) [2009年9月 受領]

SiP とは、文字どおり、パッケージ内で様々な機能を有する複数の集積回路や電子部品を集積化し、単体のパッケージレベルで電子システムを実現したものである。従来、電子システムは、集積回路や受動部品などを含む複数の電子部品を PCB (Printed Circuit Board) 上で実装した SoB (System on Board) 技術にて実現されていた。しかし、集積回路技術の急速な進展により、実現可能な集積度や性能が著しく向上し、複数の機能や構成が異なる回路ブロックを単一の集積回路チップ上に集積化することが可能になり、1 チップに電子システム全体を搭載する SoC 技術が実現されるようになってきた。SiP は、両者の特徴を兼ね備えた技術として近年注目を集めている。

表 3・1 は、SoB 技術や SoC 技術と比較した SiP 技術の特徴や位置づけを示している。従来からの SoB 技術は、PCB 上に、既製の集積回路や受動素子などの回路部品をはんだ付け実装するものであるが、回路基板の設計製造は容易であり、システム構築のための開発期間や仕様変更などの TAT が短く、既製部品を用いるため製造歩留りも高い特徴がある。しかし、チップ間の信号伝送に、製造容易な幅広配線パターン of PCB 上配線を用いるため、システムサイズが大きくなるだけでなく、データ伝送速度は低く、消費電力が大きいという欠点があった。これらの問題点は、高性能化とともに、小型化、低消費電力化が必須な携帯型情報端末やデジタル家電にとって克服しなければならない大きな課題であった。一方、集積回路製

表 3・1 SiP 技術の特徴

集積化手法	SoB	SiP	SoC
構造			
小型化	×	○	◎
高速動作	×	○	◎
低消費電力	×	○	◎
高生産性	×	○	◎
高歩留り	◎	◎	△
短期間開発	○	○	×

造技術の進展は、圧倒的な素子の微細化、高集積化を可能にしてきた。45 nm 世代以降の技術によれば、1 チップで数十億個のトランジスタを集積化できるのである。従来は到底 1 チップに搭載できなかった大規模システム全体を 1 チップに集積化できるようになった。そこで、デジタル信号処理のためのプロセッサやメモリ、コントローラや各種インタフェース、RF 通信回路などの回路ブロックを 1 チップに集積する SoC が実現された。システム全体が超小型化するとともに、ほとんどの信号処理はチップ内で行われるため高速に処理が可能で、入出力ピン数制限を受けないため回路ブロック間のバス幅を広くして高速信号伝播が可能になり、外部駆動のための消費電力も著しく低減可能となった。しかし、最適な電源電圧や素子構造が異なるデジタル論理回路やメモリ回路、アナログ・RF 回路などを同一基板の単一チップに集積化するため、それぞれの回路ブロックの最適条件での動作が困難なことや、チップ面積が大面積化するとともに、製造プロセスが複雑化し、製造歩留まりが悪化し、そもそもの生産性の高さを活かさない問題も顕在化してきた。更に、一部の設計ミスや仕様変更がチップ全体に影響を及ぼすためリスクが増大し、開発期間が長期間化するとともに開発コストが上昇した。そもそも SoC は、顧客の仕様に合わせて様々な IP (Intellectual Property) を組み合わせる個別に開発する ASIC のため必然的に多品種となり、わずかの例外を除いて少量生産となるが、現在の半導体製造技術は多品種少量製造にはまったく適していない。

一方 SiP は、それぞれ最適化された個別の半導体プロセスで製造されたプロセッサやメモリ、アナログ・RF 集積回路チップを一つのパッケージ内にコンパクトに実装してシステムを実現するもので、単一のパッケージ内に複数の集積回路チップを搭載する実装技術である MCP (Multi Chip Package) 技術を適用している。SoB と SoC のそれぞれの利点を活かしながら、それぞれの欠点を克服することが可能なシステム集積化技術である。一般的にはインターポーザと呼ばれる小型配線基板上に複数の集積回路チップを平面的に実装し、全体をモールドリングして一つのパッケージ内に搭載するが、場合によっては後に述べる 3 次元実装技術を用いて集積回路チップ上に集積回路チップを積層する場合もある。個々にパッケージ封入された集積回路チップを PCB 上に搭載するボード実装に比べて圧倒的に小型化できるため、低消費電力化、高速化も可能となる。あらかじめ最適設計され、最適な製造プロセスで製造された良品チップ KGD (Known Good Die) を用いてシステム集積化するため、歩留まりは高く、開発期間も短く、仕様変更にも柔軟に対応することが可能である。まさに SoC の問題点を克服し、SoC を補完する技術として位置づけられる。

実は、このような SiP の基本コンセプトは、古くから存在していた。アナログ IC を中心に複数の集積回路や受動素子を単一パッケージに封入したハイブリッド IC や、セラミック基板上に複数の集積回路チップを実装して大型コンピュータのモジュールに用いられたマルチチップモジュール (MCM) である。しかし、当時のハイブリッド IC や MCM は性能の割に高コストで一般に広く普及するには至らなかった。その後今日に至る実装技術の高度な進展により、低コストで複数チップを実装する技術が確立したため、最近になって本格的な SiP が実現可能となったのである。

## ■10 群 - 3 編 - 3 章

### 3-2 3次元実装技術と3次元SiP

(執筆者：小谷光司) [2009年9月受領]

前述のように、SiPとはMCP技術を用いて複数の集積回路チップからなるシステムを単一パッケージに実装するものである。MCPとして一般的なインターポーザ基板を用いて複数チップを平面的に集積化する2次元MCPに対して、集積回路チップを縦に積層することによって、実装密度は飛躍的に向上し、チップ間の配線距離も短くなりSiPとしても性能向上が期待できる。3次元MCP実装技術の分類を、2次元MCP技術と比較して図3・1に示す。

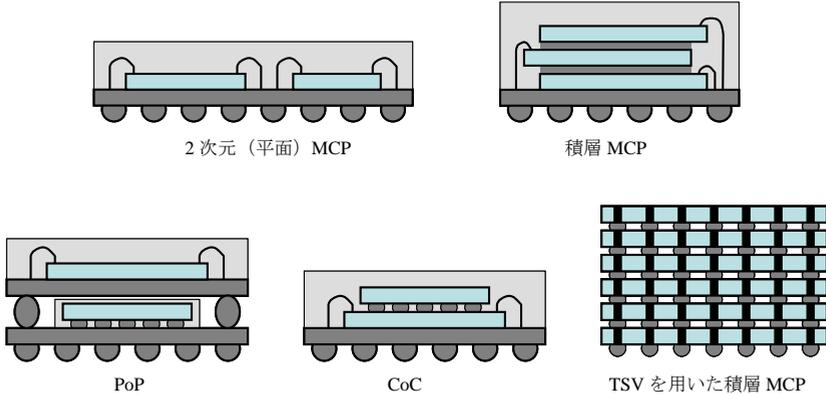


図3・1 2次元MCPと各種3次元実装技術

#### 3-2-1 積層MCP

積層MCPは、インターポーザ上で複数の集積回路チップをダイボンディングにより積層したものである。パッケージ全体の厚さを押さえるため、各々のチップは、通常よりも薄型化されている。それぞれのチップのインターポーザとの電気的接続には一般的にワイヤーボンディングが用いられる。したがって、信号配線はチップの周辺からしか取り出せない。曲率半径を小さく抑えた低ループワイヤーボンディング技術を用いることにより、積層するチップのサイズを同じにしてチップ四辺から配線を取り出すことも可能である。この積層MCPの技術は、主にフラッシュメモリをはじめとする半導体メモリの高密度実装技術として実用化された。

#### 3-2-2 Package on Package (PoP)

インターポーザを用いて内部にチップが実装された複数のパッケージをはんだボールなどで積層したものである。インターポーザ裏面に形成されたはんだボールでパッケージ間を接続するため、ワイヤーボンディングを用いる場合に比べて高密度実装が可能であり、高速信号伝送も可能である。それぞれのパッケージはFace Upで積層するため、原理的には3層以上の積層も可能であるが、ロジック系の下地パッケージ上にメモリ系パッケージを重ねる二

層構造が一般的である。また、積層される各々のパッケージの実装形態は様々であり、積層前のパッケージそのものが積層 MCP で実装されている場合もある。

### 3-2-3 Chip on Chip (CoC)

下地集積回路チップ上に、金バンプやはんだバンプにより別の集積回路チップを Face-to-Face で積層したものである。いわば、下地チップをインターポーザと見なしたフリップチップ実装の様な形態である。面格子状のバンプにより最短距離で高密度にチップ間が接続されるため高性能なマルチチップ集積化が可能になるが、Face-to-Face で積層するため、積層数は2層に限定される。

また、2次元 MCP のインターポーザ基板をシリコンで形成するシリコンインターポーザ技術<sup>3)</sup>は、下地シリコンチップを信号配線にだけ用いた CoC 実装と捉えることができる。配線にしか用いない下地チップは、半導体製造技術を用いるため通常のインターポーザに比べて微細な高密度配線が形成可能であるとともに、最先端半導体製造技術ほどの高度な超微細製造技術は必要ないため比較的安価に製造可能である。材料としての物理的特性はインターポーザと集積回路チップで同じであるため、異種材料を集積して実装する場合の様々な問題を回避することが可能になる。

### 3-2-4 シリコン貫通ビア (TSV) を用いた積層 MCP

積層チップ間の配線として、数十  $\mu\text{m}$  厚に薄型化されたシリコン基板を貫通するビア配線 TSV (Through Silicon Via) を用いる方法が注目を集めている。数  $\mu\text{m}$  から数十  $\mu\text{m}$  ピッチの高密度グリッド状配置の TSV によりチップ間が短距離で高密度に接続される。いわば、チップ表面の半導体デバイス・回路層と、チップ裏面のバンプを接続するインターポーザの役割をシリコン基板そのものが担う形態である。一般的な CoC 実装と異なり Face Up での実装が可能であり、積層数に原理的な上限はない。究極の3次元チップ積層技術であり、SoC 集積化に匹敵する効果が期待できる。

TSV の製造技術は、半導体チップ製造、実装工程中のどの段階で形成するかに着目して以下の4種類に分類される。すなわち、Via-First before FEOL、Via-First after FEOL、Via-Last before Stacking、Via-Last after Stacking である。TSV 形成時期によって、TSV に用いる材料や製造技術が異なり、実現可能な TSV 密度やコストが異なる。一般的に、初期の段階で TSV を形成すればするほどコストは高くなるが微細なピッチの TSV が形成可能である。前2者は、半導体製造プロセス中の配線形成行程前に TSV を形成する方法であり、実装のための行程が半導体製造プロセス中に進出していることを意味しており、今後両者の協調がますます重要となる。

このように半導体製造プロセスと一体化した TSV 積層では、ダイシング前のウェハ上にチップを積層する Wafer-on-Chip 積層や、ウェハ同士を積層した後ダイシングして積層チップを切り出す Wafer-on-Wafer 積層が可能となり、生産性を向上することが可能となる。特に後者では、微小チップを Pick-and-Place で位置合せを行いながら扱う必要がなくなるため生産性は著しく向上する。その代わりに、KGD の選別ができないため、歩留まりの低いチップを積層すると積層したチップ全体の歩留まりが著しく低下するので注意が必要であり、メモリチップ積層などに適した手法である。SiP の観点からは、サイズの異なるチップの積層も可能

な Wafer-on-Chip 積層が最適と考えられる。この場合、チップごとに位置合わせを行いながら積層する必要があるが、最近、液体の表面張力を利用したセルフアセンブリ技術<sup>4)</sup>が報告され注目を集めている。

### 3-2-5 3次元実装技術の展望

TSV を用いた 3次元実装技術により、SiP は SoC 並みの効果を極めて低いコストで実現できるようになるであろう。現在のところ TSV を用いた 3次元実装技術は、メモリチップの積層による容量増大などの用途で応用が始まったところである。今後、更なるコスト低減を実現し、超並列処理チップや視覚情報処理チップ、脳型信号処理チップなど、SiP として 3次元集積化の効果を最大限発揮できる応用に展開されることが期待される。

近年、TSV に代わり、コイルにより発生する磁界を用いた誘導結合チップ間接続技術が提案され、その性能向上が著しい<sup>5)</sup>。数十  $\mu\text{m}$  角のコイルにより数十  $\mu\text{m}$  厚のシリコン基板を通して積層チップ間を数 Gbps の速度で信号伝送可能となっている。微細化が進めば、45 nm 世代以降で TSV を用いた信号伝送よりもエネルギー効率に優れるとの試算もある。無線通信なので、2 層以上の積層チップにおいて、間の何層かのチップを跳び越した通信も可能である。通信用のコイルは一般的なチップ内配線層のパターンとして実現されるため、なら特別な製造プロセスを必要としない。信号だけでなく、チップの動作電力も誘導結合によりワイヤレス伝送できる可能性もあり、非常に低コストの 3次元 SiP 実現が期待される。

これら、TSV や誘導結合を用いた 3次元チップ積層技術は、積層されたチップ間で高密度にチップ間信号伝播が可能のため、チップ内の平面的 (2次元) 配線と合わせて実質的な高密度 3次元配線構造が実現可能である。平面的な 2次元配線しか活用できない SoC 集積化に対して 3次元集積 SiP が信号配線密度で優位となる可能性を秘めている。また、SiP 集積では、SoC には実現できない光デバイスや SAW/BAW 素子、MEMS 素子などの異種デバイスとも一体集積化可能である。このように 3次元実装技術による 3次元 SiP 技術は、SoC 技術を補完するだけではなく、SoC 技術をはるかに凌駕する可能性をも秘めたものであり、今後の発展が期待される。

### ■参考文献

- 1) システムインテグレーション実装技術委員会, “システムインテグレーション実装技術の現状と展望,” エレクトロニクス実装学会誌, vol.12, no.1, pp.39-42, 2009.
- 2) N. Sillon, A. Astier, H. Boutry, L. Di Cioccio, D. Henry, P. Leduc, "Enabling Technologies for 3D Integration: From Packaging Miniaturization to Advanced Stacked ICs," IEEE International Electron Devices Meeting, pp.1-4, 2008.
- 3) M. Matsuo, N. Hayasaka, K. Okumura, E. Hosomi, C. Takubo, "Silicon Interposer Technology for High-Density Package," Electronic Components and Technology Conference, pp.1455-1459, 2000.
- 4) T. Fukushima, Y. Yamada, K. Kikuchi, M. Koyanagi, "New Three-Dimensional Integration Technology Using Self-Assembly Technique," IEEE International Electron Devices Meeting, pp.348-351, 2005.
- 5) K. Niitsu, Y. Shimazaki, Y. Sugimori, Y. Kohama, K. Kasuga, I. Nonomura, M. Saen, S. Komatsu, K. Osada, N. Irie, T. Hattori, A. Hasegawa, T. Kuroda, "An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM," ISSCC Digest of Technical Papers, pp.480-481, 2009.