

■10 群 (集積回路) - 3 編 (システムオンチップ技術)

4 章 IP 間接続

(執筆者：水野正之) [2009 年 9 月 受領]

■概要■

4 章では、IP 間接続について述べる。IP 間接続とは IP という機能ユニットの間の通信を実現するものであり、スループットやレーテンシなどの通信性能とともに、接続を実現するのに必要な配線やトランジスタなどの面積、通信を実現するのに必要な消費電力、IP 間接続の中でデータの内容が変わってしまう確率 (伝送誤り)、データをなくしてしまう確率 (伝送ロス) などが重要な性能パラメータである。

スループットは例えば 1 秒間に何バイトのデータを送信または受信できるかで定義でき、レーテンシは例えば IP 間接続の送信端から受信端までデータが伝わるまでの時間で定義できる。一般的にスループットが高く、レーテンシが短い場合に性能が高い IP 間接続と言える。

IP 間接続の間に、データの流を変えるスイッチやデータを一時保存するバッファがある場合、一般的にはスループットを高くすると IP 間接続のなかでデータが混雑することになり、レーテンシが長くなる傾向がある。これは、高速道路などで走行車の台数が多い (スループットが高い) ときに渋滞が発生して目的地までの到着時間が遅れる (レーテンシが長い) ことと類似している。

伝送誤りと伝送ロスは一般的にはゼロであることが望ましいが、高いスループットでの伝送や伝送路のノイズが大きい環境の場合は、一定の伝送誤りや伝送ロスが生ずる。伝送誤りが生ずる可能性がある場合には、誤り検出や誤り訂正などの機能を別途 IP 間接続に付加する必要がある。また、伝送ロスが生ずる可能性がある場合は、データの再送が実現できるような機能を別途 IP 間接続に付加する必要がある。

【本章の構成】

IP 間接続には様々な形態があるが、ここでは代表的な接続形態を取り上げることとし、4-1 節ではバス、4-2 節ではネットワークオンチップを扱う。また、4-3 節ではバスやネットワークオンチップにデータ信号を送信または受信するための伝送回路を扱う。

■10 群 - 3 編 - 4 章

4-1 オンチップバス

(執筆著：鳥居 淳) [2009年9月 受領]

4-1-1 オンチップバスの必要性

オンチップバスとは、1 チップに複数機能を組み込むにあたり、各々の機能ユニット間に必要となる交信機構を規格化し、各機能ユニットはこの規格に従ったプロトコルでデータ交信を行うデータ交信路のことである。仮に、SoCにおいて、各々の機能ユニット間の接続を個別のプロトコルで行うと、仕様決定やその仕様に基づいた設計、検証が煩雑になり、また、個々の機能ユニットをほかのチップに流用しようとしても、再度、設計変更、検証が必要となり、効率的とは言えない。したがって、この接続仕様を規格化し、各機能ユニットはこの規格に合わせて設計することにより、規格に対する検証を行うことによって、その動作と接続性を保証できることから、開発効率を向上させ、再利用性を高めることが可能となり、SoCには不可欠なものとなっている。

4-1-2 オンチップバスの構成と進化

オンチップバスは、通常、バスでありながら、チップ上で実現するには不向きな 3-state バッファなどは用いられず、通常の論理ゲートと配線で構成される。また、機能ユニットのうち、自らが交信のリクエストを発行するものをマスター機能ユニット、自らは交信のリクエストを発行せず、マスター機能ユニットからの交信要求に従って、データの読み書きを実行するものをスレーブ機能ユニットと呼ぶ。

オンチップバスが提唱された当初は、図 4-1 に示すように、単純にセレクタを組み合わせ、マスター機能ユニットとスレーブ機能ユニットを接続したシングルレイヤーバスが用いられていた。

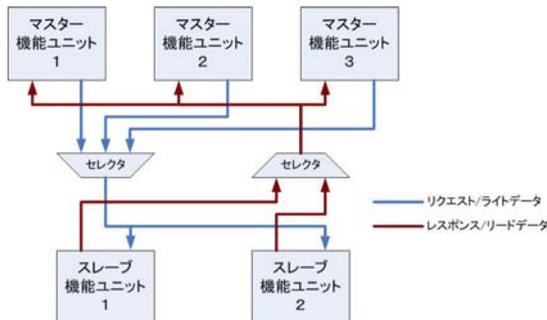


図 4-1 シングルレイヤーバス

一方で、SoC に集積される周辺ペリフェラル用の機能ユニットは、その数が増えることも予想される反面、さほど高い性能を要求するものではなく、標準のオンチップバス規格に準拠するとコスト高になる可能性が高かった。そこで、周辺ペリフェラル用機能ユニットを

接続するために、簡単な構造の周辺バス規格を用意し、**図 4・2** のようにバスブリッジを用いてメインのバスと接続する多重バス構成を採ることが多い。周辺用バスとしては、AMBA²⁾ では APB, CoreConnect³⁾ では、DCR などと呼ばれる規格で定義されている。

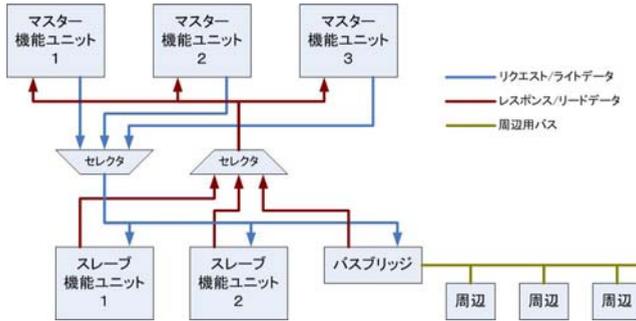


図 4・2 多重バス構造

その後、継続的な SoC の性能向上に従って、オンチップバスに求められる通信能力への要求が高まり、一つのマスタ機能ユニットとスレーブ機能ユニットが通信するだけでなく、マスタ機能ユニットとスレーブ機能ユニットが異なるものであれば、同時に通信できるようにした、マルチレイヤバスも使われるようになった (**図 4・3**)。この構造は、すなわちクロスバー接続と等価となるが、SoC によっては互いに通信を行わない組み合わせの接続を行わないようにして、低コスト化を図っているものもある。

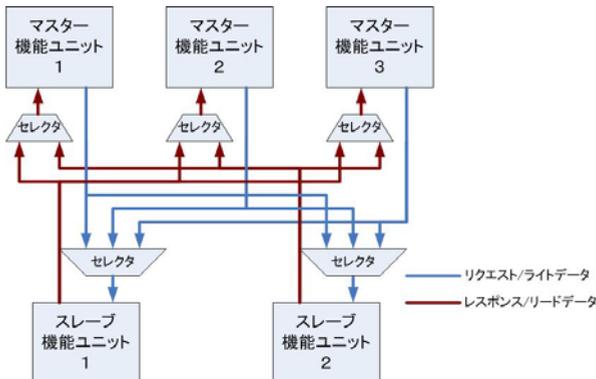


図 4・3 マルチレイヤバス

最近では、制御系のバスとデータ系のバスを分離し、データのアクセスリクエストの順序とは独立にデータをやりとりできるチャネル型のオンチップバス規格が提唱され、ハイエンドの SoC において、広く使われるようになってきている。

4-1-3 オンチップバスの高性能化技術

チャンネル型のオンチップバスでは、スプリットトランザクション (Split Transaction)、非順序処理 (out standing operation) といった高性能化が容易に採用できる仕組みとなっている。スプリットトランザクションとは、データ送信のリクエストを行ってから実際のデータの送信が行われる間バスをほかのリクエストやデータ送信に開放するもので、従来型のオンチップバスにおいてデータを用意するのに時間がかかる送信には非常に有効である。また、非順序処理は、スレーブ機能ユニットが、リクエストに回答する前に、次のリクエストを受領し、リクエストを受けた順序ではなく、用意ができたものから非順序で回答を行うものである。更に、マスター機能ユニットも、複数のリクエストを発行できるようにしたものも存在する。これらの機能によって、バスの転送効率が向上し、実効性能が高まるが、論理の複雑化も引き起こすので、これらのトレードオフを見極めることは SoC 設計者にとって重要かつ難しい課題となっている。

4-1-4 オンチップバスの主要規格

主立ったオンチップバスの規格を表 4-1 に示す。

表 4-1 オンチップバスの主要規格

規格名称	ベンダー	特徴
AMBA ²⁾	ARM	ARM のプロセッサコアは AMBA を備える。ASB,AHB,AXI と進化。最もポピュラーなオンチップバス。
CoreConnect ³⁾	IBM	PowerPC440 コアを用いた SoC。Xilinx でも採用し、広く利用される。
Smart Interconnect ⁴⁾	Sonics	IP コアとのインタフェースの標準規格である OCP に準拠。オンチップバス生成ツール。ロイヤリティ必要。
SuperHyway ⁵⁾	Renesas	SH プロセッサを利用した SoC 向け。詳細非公開。

4-1-5 今後の動向

オンチップバスは、今後とも性能向上要求に応じて進化を続けてゆくと考えられる。現在、ゲーテッドクロック制御や電源遮断などによる省電力化制御に関しては、各々の実装者に委ねられているが、これらの規格への取り込みが早急に進むであろう。また、複数の機能ユニット間で、データのコンシステンシを保つための機能は、現在のところ CoreConnect にのみ組み入れられているが、これらの規格化も進むことが予想される。

オンチップバスは、アービトレーションなどで集中制御を行っている。このため、データ転送レイテンシを比較的強く抑えられるが、グローバル配線が避けられず、配線長も長くなる傾向がある。これらのことから、メニーコア世代に向けたスケラビリティには難があり、将来的には、次章で述べるネットワークオンチップ (Network On a Chip: NoC) と棲み分けられてゆくものと予想される。

■参考文献

- 1) J. McGregor, "Interconnects target SoC Design Comparing Licensable On-Chip Interconnect," Microprocessor Report 6/28, 2004.
- 2) ARM AMBA Specification, <http://www.arm.com/products/solutions/AMBAHomePage.html>
- 3) IBM CoreConnect, https://www-01.ibm.com/chips/techlib/techlib.nsf/products/CoreConnect_Bus_Architecture
- 4) Sonics Smart Interconnect, http://www.sonicsinc.com/downloads_page.htm
- 5) Renesas Super Highway, http://japan.renesas.com/fmwk.jsp?cnt=superhighway_landing.jsp&fp=/products/core_license/superhighway

■10 群 - 3 編 - 4 章

4-2 Network-on-Chip (NoC)

(執筆著：松谷宏紀) [2009年9月 受領]

本章 4-1 節で述べたとおり、現在のところ IP 間接続網としてオンチップバス (図 4・4) が主流である。しかし、複数の IP コアがバスを共有するためコア数が増えるとバスが通信のボトルネックとなる恐れがある。そこで、スイッチ (ルータ) を介した point-to-point リンクで IP コアどうしをネットワーク状に接続する Network-on-Chip (図 4・5) が注目を浴びている。NoC では各スイッチが独立にパケットを転送できるため、バスに比べてスケラビリティに優れる。

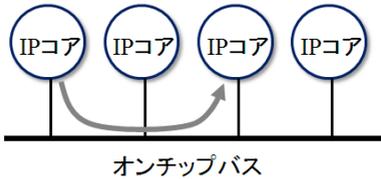


図 4・4 共有メディアネットワーク

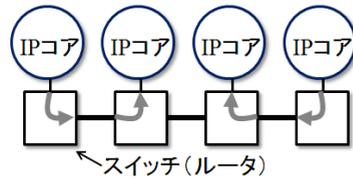


図 4・5 スイッチメディアネットワーク

4-2-1 ネットワークトポロジ

ネットワークトポロジは、IP コアとオンチップルータの接続パターンを定義する。

(1) 分類

規則的な接続パターンのトポロジをレギュラートポロジと呼び、不規則な接続パターンをイレギュラートポロジと呼ぶ。レギュラートポロジはレイアウトやルーティングが容易というメリットがある。一方、通信パターンに合わせて最適化（不要なリンクを削除するなど）されたイレギュラートポロジの方がハードウェア量や性能の面で有利となることもある。

また、直接網と間接網という分類方法もある。直接網ではノードは IP コアとルータから構成され、ノードどうしが直接相互接続される。一方、間接網では IP コアどうしはいくつかのルータを経由して間接的に接続される。ここでは直接網と間接網の例をそれぞれ示す。

(2) メッシュ (直接網)

図 4・6 に 2 次元メッシュトポロジを示す。図中の四角がルータ、丸が IP コアである。各ルータは東西南北の隣接ルータと接続される。メッシュはリンクの長さが均一かつ短いため、2 次元 VLSI 上にレイアウトしやすい。そのため実際の NoC において広く利用されている。

(3) トーラス (直接網)

2 次元トーラスは、メッシュの上端と下端、右端と左端を wrap-around リンクで接続したトポロジである。長い配線は配線遅延を著しく増大させるため、図 4・7 のように同一次元上のノードを畳み込むようにレイアウトすることで極端に長いリンクが生じないようにする。トーラスは同サイズのメッシュと比べて 2 倍の帯域をもち、平均ホップ数も小さい。

(4) ツリー (間接網)

図 4・8 に Fat Tree トポロジを示す。一般的にツリーはルート付近の帯域が性能のボトルネックとなるため、Fat Tree ではツリーをルート方向に多重化することで帯域を広げている。

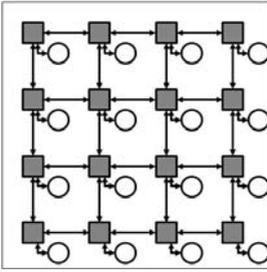


図 4-6 2次元メッシュ

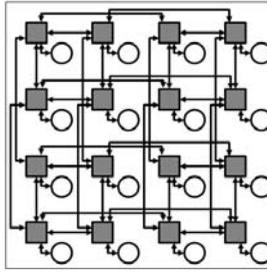


図 4-7 2次元トーラス

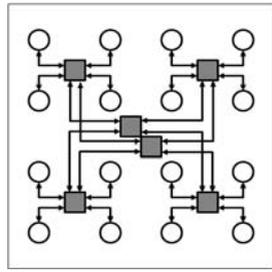


図 4-8 Fat Tree

4-2-2 パケットルーティング

ルーティングは、与えられたネットワークトポロジにおいてパケットをどのような経路で宛先まで転送するかを決める。循環依存が生ずるようなトポロジでは、特定の転送パターンを禁止する(禁止ターンを設ける)などしてデッドロックが生じないようにすることがある。

(1) 分類

ある送信元ノードからある宛先ノードまでの経路が常に同じであるルーティングを固定型ルーティングと呼ぶ。一方、ネットワークの混雑や故障などに応じて動的に経路を変更できるものを適応型ルーティングと呼ぶ。一般的に適応型ルーティングの方が固定型ルーティングよりスループットが出やすい。ただし、適応型ルーティングでは、同一ノード間の転送においてパケットが送信した順番で届かないことがある(インオーダー転送を保証できない)。

(2) 次元順ルーティング(固定型)

次元順にパケット転送を行う。例えば、2次元メッシュではX方向に必要なだけ進んだのち、Y方向の転送を行う。ルーティングが単純であるため、メッシュ状のトポロジにおいて広く用いられている。図 4-9 に次元順ルーティングの禁止ターンを示す。図中の×が禁止ターンである。次元順ルーティングではY方向からX方向へのターンはすべて禁止されている。

(3) ターンモデル(適応型)

ターンモデルは循環依存を断ち切るために最低限必要な禁止ターンのセットを定義している。ターンモデルに基づいた適応型ルーティングとして、West-first ルーティング、North-last ルーティング、Negative-first ルーティング、Odd-even ターンモデルがある。図 4-10 に West-first ルーティングの禁止ターンを示す。次元順ルーティングよりも禁止ターンの数が少ないため、ルーティングの自由度が高く、混雑や故障などに応じて迂回経路を取ることもできる。

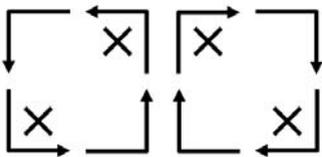


図 4-9 禁止ターン(次元順ルーティング)

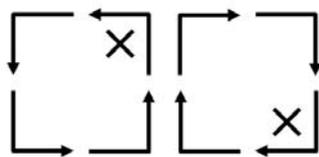


図 4-10 禁止ターン(West-first ルーティング)

(4) Up*/down*ルーティング (適応型)

ツリー型トポロジでは、送信元と宛先の共通の祖先までルート (up) 方向へ転送し、そこから宛先までリーフ (down) 方向へ転送する。代替経路が複数あるため適応型に分類される。

4-2-3 ルータアーキテクチャ

ルータはルーティングアルゴリズムにしたがって入力パケットを適切な方向へ転送する。また、スイッチング方式に従ってパケットのバッファリング及びフロー制御も行う。

NoC ではパケットスイッチング方式として、低遅延かつバッファ量の少ないワームホール方式が用いられることが多い。スイッチング方式の詳細は 6 群 5 編 9-4 節を参照されたい。

(1) ルータの構成

図 4・11 にルータの構成を示す。ルータは 1) ポート数分の入力及び出力チャンネル、2) クロスバスイッチ、3) アービタからなる。図では入力チャンネルにバッファをもたせているが、出力チャンネルにもたせるルータや、入力と出力の両方にもたせる実装もある。仮想チャンネル付きルータでは、物理チャンネルごとに仮想チャンネルの数だけ独立したバッファが必要である。

(2) ルータのパイプライン処理

パケットがルータ A から B へ転送される様子を図 4・12 に示す。ルータにパケットが入力されると、パケットヘッダの宛先アドレスから出力チャンネルを決める (routing computation, RC)。次に、出力仮想チャンネルのアービトレーション (virtual channel allocation, VA) を行い、クロスバスイッチのアービトレーション (switch allocation, SA) を行う。クロスバのアクセス権を取得できたら 1 フリットずつクロスバ上を通過させる (switch traversal, ST)。

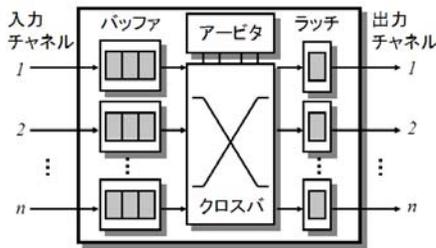


図 4・11 ルータの構成

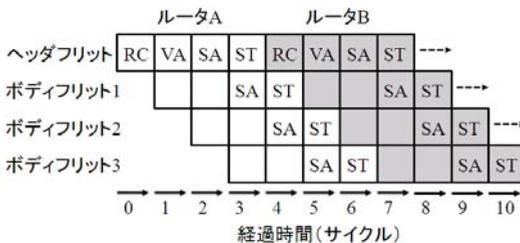


図 4・12 ルータのパイプライン処理

4-2-4 代表的な NoC の例

ここまで紹介してきた技術が実際の NoC でどのように使われているかを以下の表に示す。

表 4-2 代表的なメニーコアシステムで使われている NoC の特徴

システム名	コア数	トポロジ	ルーティング	スイッチング
STI CELL BE EIB ¹⁾	9 コア	リング	最短経路	サーキット
UT TRIPS (operand) ²⁾	25 コア	2 次元メッシュ	次元順	ワームホール
Tilera TILE64 ³⁾	64 コア	2 次元メッシュ	次元順	ワームホール
Intel Teraflops processor ⁴⁾	80 コア	2 次元メッシュ	次元順	ワームホール

4-2-5 NoC の最新動向

最後に NoC の最新動向として、この分野で近年盛んに研究されているトピックを紹介する。

- 1) 半導体技術の微細化に伴い消費電力の削減がますます重要になっている。NoC においても、トラフィック負荷に応じて周波数や電圧を調整する研究や、アイドル中のチャネルへの電力供給を遮断することでリーク電流を抑える研究などが行われている。
- 2) ルータの転送遅延はアプリケーションの性能に大きな影響を与える。通信遅延を減らすために、投機的に RC, VA, SA を完了させておくことで 1 サイクル転送を実現するルータや、経路上のルータを適宜バイパスする低遅延 NoC などが報告されている。
- 3) ルータの永久故障を回避するルーティング方式、クロストークやソフトウェアを回避するためにエラー訂正符号や検出符号を導入したルータなどが研究されている。
- 4) 3次元 IC 向け NoC の研究も盛んである。これまでは積層技術として through-silicon via (TSV) を想定した研究が多かったが、今後は RF や誘導結合など非接触型のメリットを生かした 3次元 NoC も登場すると考えられる。

■参考文献

- 1) Thomas W. Ainsworth, et al., "Characterizing the Cell EIB On-Chip Network," IEEE Micro, vol.27, no.5, pp.6-14, 2007.
- 2) Paul Gratz, et al., "On-Chip Interconnection Networks of the TRIPS Chip," IEEE Micro, vol.27, no.5, pp.41-50, 2007.
- 3) David Wentzloff, et al., "On-Chip Interconnection Architecture of the Tile Processor," IEEE Micro, vol.27, no.5, pp.15-31, 2007.
- 4) Sriram R. Vangal, et al., "An 80-Tile Sub-100-W TeraFLOPS Processor in 65-nm CMOS," IEEE Journal of Solid-State Circuits, vol.43, no.1, pp.29-41, 2008.

■10 群 - 3 編 - 4 章

4-3 回路

(執筆著：野瀬浩一) [2009年9月 受領]

4-3-1 高速オンチップ信号伝送技術

(1) 微細化にともなう IP コア間信号伝送の課題

CMOS 回路は、スケールリング則に基づく微細化により、「高速化」と「小面積化」を実現してきた。しかしながら、トランジスタ間を接続する配線については、微細化を行っても配線抵抗(R)及び配線間容量(C)が増加してしまうため、単位長さあたりの配線遅延は減少しない。そのため、設計ルールが 0.1 μm よりも小さい世代になると、IP コア間配線などの長距離配線遅延が LSI の性能のボトルネック要因の一つとなってしまっている。配線遅延は、配線をいくつかに分割して CMOS バッファ (リピータ) を挿入することで改善できるが、リピータの数が多すぎればリピータ自体の遅延が増加してしまうため、配線遅延の改善にも限界がある。

更に、近年では、微細化に伴う配線遅延の変動要因が増えてきている。例えば、LSI の消費電力の増大により、①LSI の電源電圧の静的な低下 (IR ドロップ) や②動的な変動 (電源ノイズ) も増加する傾向にあるため、リピータ回路の遅延変動も顕著になってきている。また、微細化により③プロセスばらつきによるリピータ回路の遅延ばらつきも大きくなっている。また、LSI の集積度が高まるにつれ配線ピッチも小さくなるため、④配線間容量を介したクロストーク (隣接配線の信号遷移による信号ノイズ) により、周辺の信号遷移の状況に応じて配線遅延が変動してしまう。今後更に信号周波数が高くなると、⑤配線のインダクタンス成分が遅延に与える影響が顕著となり、従来の配線抵抗・配線容量から算出した配線遅延との差分が大きくなる。これらの影響により、配線遅延を設計段階で正しく見積もることが困難となってきており、性能の低下や機能上の不具合、更には信頼性の問題が発生する要因の一つとなっている。このように、微細化に伴う問題はより多様かつ複雑になってきており、これらの問題に対応した設計手法・EDA ツールの開発の重要性が高まっている。

(2) EDA ツールによる IP コア間信号伝送設計の動向

EDA ツールにおいては、特に長距離配線のタイミング検証方法の開発が進んでいる。例えば、レイアウトデータから配線抵抗・容量を抽出し、タイミング解析を行う静的タイミング解析 (Static Timing Analysis) が行われた後に、要求性能に応じてレイテンシ短縮のためのバッファの自動配置を行うツールなどが開発されている。更に、近年では近隣配線どうしの容量データを用いたクロストーク解析や、電源グリッド抵抗・容量も抽出することで電源 IR ドロップの影響も考慮可能なタイミング検証ツールも実用化され始め、プロセスばらつきの影響を統計的に見積もる統計的遅延解析 (Statistical Static Timing Analyzer) の開発も盛んに行われている。一方、電源の動的変動 (電源ノイズ) は、LSI 内部の動作状況に応じて大きく変わってしまい、正しい電源ノイズの見積もりが困難であるという課題がある。また、配線インダクタンス抽出については、信号周波数や信号遷移時間に応じて大きく変わることで、周囲の配線から適切な信号電流の戻りパス (リターンパス) の特定する必要があることなど、克服すべき課題が多い領域である。

4-3-2 異電源・周波数ドメイン間信号伝送回路

LSI の低消費電力化技術として多くの製品に適用されている多電源設計では、LSI 内のブロック (IP コアなど) ごとに最適な電源電圧や動作周波数を割り当てることで電力を最小化する、あるいは、動作しない IP コアの電源供給を一時的に遮断し、無駄なリーク電流を低減する手法が用いられている。これらの多電源ブロック間の信号伝送を行う際には、いくつかの専用セルを付加する必要がある。

(1) レベルシフタ回路・アイソレーション回路

低電源電圧 (VL) ブロックから高電源電圧 (VH) ブロックへ信号を伝送する際、受信側ブロック入力に振幅 VH の信号を入力するために、ブロック間配線にレベルシフタを挿入する。図 4-13 に示したレベルシフタの例では、CMOS 回路 (図 4-14) のようなオフしないトランジスタが存在せず、安定動作とリーク電流抑制が実現できる。

また、あるブロックを電源遮断したとき、そのブロックの出力がフローティング状態になるため、受信側の入力電圧レベルが不安定になる。この状態を避けるため、送信側の信号出力にアイソレーションゲートを挿入する必要がある。これは AND や OR といった簡単なゲートで構成でき、電源遮断をしたとき、アイソレーションゲートのイネーブル信号を OFF にすることで、遮断時の論理を確定することができる。

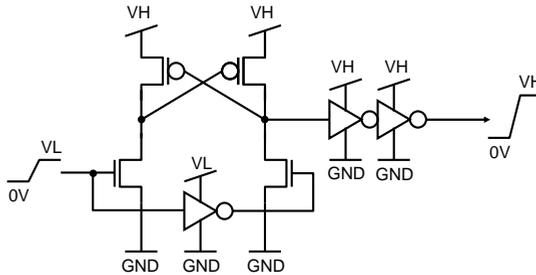


図 4-13 レベルシフタ回路の例

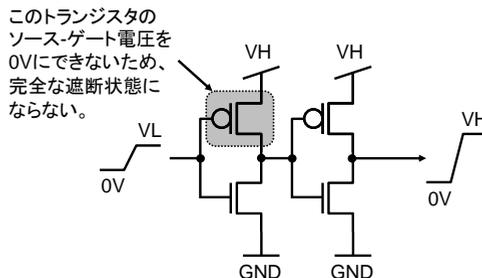


図 4-14 CMOS バッファによる異電源間信号伝送

(2) IP コア間タイミング同期化技術

IP コア間のクロックドメインが異なる場合や、非同期 IP などが存在する場合の IP コア間伝送では、例えば図 4・15 のように、受信信号の遷移タイミングと受信側 IP のクロックタイミングとが近接してしまうと、受信側 IP のフリップフロップのセットアップ/ホールド時間の制約に違反してしまう。このとき、フリップフロップ出力信号の遷移時間が極端に遅くなるメタステーブル状態になり、フリップフロップ出力信号を受ける回路が正しく動作しない危険性がある。そこで、異クロックドメイン間で信号伝送する際には、シンクロナイザ回路が用いられている。シンクロナイザの一般的な構成としては、図 4・16 のように、受信側 IP の入力段に、受信側クロックに同期するフリップフロップを 2 段程度配置する構成がとられている。この場合、初段のフリップフロップでメタステーブル状態が発生しても、メタステーブル期間が後段のフリップフロップのセットアップ違反となるタイミングよりも早く終了すればメタステーブル状態が伝播しないため、メタステーブル発生確率を大幅に低減することができる。このほかにも、論理回路内で発生するグリッジが受信側 IP に伝播しないための設計など、異クロックドメイン間伝送特有の問題を認識した LSI 設計を行うことが重要である。

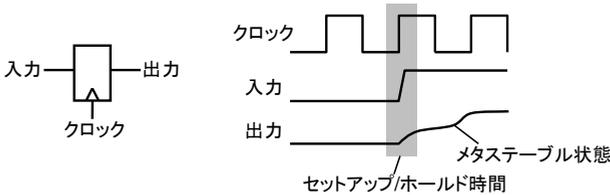


図 4・15 メタステーブル

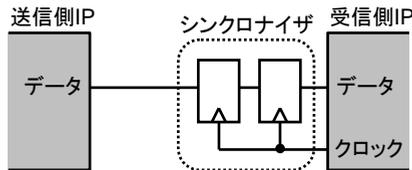


図 4・16 シンクロナイザ回路

(3) IP 電源遮断時のロジックコア内データ一時退避・回復手法

IP コアの電源供給を一時的に遮断する技術は、特にモバイル用途など低電力要求が高い LSI において、より細かい時間単位で遮断と復帰を繰り返して電力削減することが求められているが、電源遮断した際にロジック内部のフリップフロップの信号情報が消去されてしまうと動作復帰ができなくなるという問題がある。そこで、電源遮断前にフリップフロップの情報を、IP コア間配線を介して IP コア外のメモリなどに一時保存し、復帰後にフリップフロップに書き戻す方法が用いられている。しかし、IP コア内の大量のフリップフロップ情報

の読み出し・書込みに時間がかかってしまい、復帰直後にロジック動作ができないという課題がある。この電源遮断・回復時の信号伝送量を削減するため、フリップフロップにデータを一時保存するラッチ回路を追加し、電源遮断時にもフリップフロップ情報を保持する方法¹⁾などが開発されている。この方法は、即時復帰ができるという長所があるが、フリップフロップの面積が増加、更にラッチ回路は電源遮断できないため別電源が必要、といった問題がある。そこで最近ではラッチ回路の代わりに不揮発性メモリ²⁾を利用する技術なども開発されている。

4-3-3 配線遅延・リソース問題を打破する、超広帯域信号伝送回路

リピータによる信号伝送よりも更に高速伝送が可能な伝送回路の研究も進んでいる。その一つとして、距離数 10 cm のチップ間信号伝送に用いられている技術をチップ内配線に適用する開発があげられる。例としては、LVDS (Low-Voltage Differential Signaling) や CML (Current Mode Logic) など小振幅差動電圧を送信する方式があり、電源電圧と同じ振幅の信号を送送する CMOS 信号伝送よりも信号振幅を下げることで信号伝送速度を向上させ、更に差動信号にすることで差動信号両方に同じ電圧量のノイズ (コモンモードノイズ) が注入されたとしても安定した信号受信を可能にしている。これらの技術を LSI 内に適用した場合、従来の 2 倍の配線が必要になることに加え、従来の CMOS 特性とは大きく異なる設計手法が必要になるなどの課題があるが、今後更に高速化する信号の配線遅延を削減する方式の一つとして、開発が期待されている分野である。

データ伝送方式についても、チップ間信号伝送に用いられているシリアル通信技術が IP コア間通信に適用できれば、配線 1 本あたりの伝送データ量が飛躍的に増加し、限られた配線リソースのなかで広帯域信号伝送が可能となる。ただし、シリアル通信の場合、これまでより数倍高い帯域を有する IP コア間配線が必要になる。また、受信 IP コア側のデータサンプリング速度が、受信 IP コア内部の動作周波数の数倍となる可能性があることから、高速サンプリングクロック生成回路などが必要となる。このように、シリアル通信は現状の EDA ツールで対応することは難しく専用設計となってしまうため、現状ではシリアル化せずに配線本数を増やして信号帯域を確保することが一般的である。しかしながら、今後 NoC 化などが進み、チップ全体に占める信号配線の割合が更に増えれば、配線数を大幅削減可能なシリアル通信技術の重要性は増してくると考えられる。更に、配線遅延削減のための新しい配線デバイス (カーボンナノチューブやオンチップ光配線³⁾ など) の開発も進んでおり、「ポスト CMOS バッファ、ポストメタル配線」技術の進展による超高速・広帯域な LSI 内信号伝送方式が今後注目されていくと予想される。

■参考文献

- 1) S. Shigematsu, S. Mutoh, Y. Matsuya, and J. Yamada, "A 1-V high-speed MTCMOS Circuit scheme for power-down applications," Symp. VLSI Circuits Dig., pp.125-126, June, 1995.
- 2) N. Sakimura, et.al, "Nonvolatile Magnetic Flip-Flop for standby-power-free SoCs," IEEE CICC., pp.355-358, June, 2008.
- 3) K. Ohashi, et.al., "Optical interconnect technologies for high-speed VLSI chips using silicon nano-photonics," ISSCC, pp.1686-1695, 2006.