

■10 群 (集積回路) - 4 編 (メモリ LSI)

3 章 不揮発性高速 RAM

(執筆者: 仁田山晃寛) [2010 年 1 月 受領]

■ 概要 ■

高速で低消費電力のメモリ LSI を提供する不揮発性高速 RAM の最近の技術動向を概観し、今後の技術展望を論じる。

【本章の構成】

本編では、不揮発性高速 RAM の代表例として、FeRAM (3-1 節)、MRAM (3-2 節) について述べる。

■10 群 - 4 編 - 3 章

3-1 FeRAM

(執筆著者：恵下 隆) [2008 年 10 月 受領]

FeRAM (Ferroelectric RAM)^{*1} は、強誘電体の自発分極を利用した不揮発性メモリであり、その基本的な着想と動作確認は 1960 年代前後までさかのぼる^{1,2)}。1980 年代後半にアメリカのメーカが実用的な FeRAM を開発して^{3,4)} 以降世界中の半導体メーカが開発に着手した。1990 年代後半から日本の半導体メーカが FeRAM の量産を開始し^{5,6)}、2008 年現在、日本、アメリカ、韓国のメーカが数 Mbit クラスの FeRAM を量産または開発を行っている。本節では FeRAM の応用分野、強誘電体材料、FeRAM の構造などについて概説する。

3-1-1 FeRAM の応用分野

FeRAM の特性を同じ不揮発性の FLASH メモリと比較すると、FeRAM では情報の書き換え回数が FLASH メモリより 10 万倍以上多く、書き換え速度もはるかに大きい^{7,8,9)}。このために、FeRAM 不揮発性メモリとしてだけではなく、ランダムアクセスメモリとしても使用できる。また、消費電力が低いだけではなく、動作電圧も低い¹⁰⁾。さらに、FLASH メモリのような昇圧回路を必要としない利点がある。これらの特長を活かして、FeRAM は IC カードや電子タグ¹¹⁾ などに使われている。また、認証動作を多数回行うリアルタイム認証用のデバイスでは、FLASH メモリより高速動作が可能な FeRAM が主に使われている。さらに、ガンマ線¹²⁾ や中性子線¹³⁾ などの放射線に対する耐性が高いために、宇宙や殺菌用高放射線環境でも使用されている。また、バッテリーバックアップ SRAM (BB-SRAM) の代替えなど、数 Mbit 以下の単体メモリとしての需要も多い。一方、FLASH メモリのような数十 Mbit を越えるストレージメモリとしてはまだ使われていない。当面は、ロジックデバイスとの混載品の市場で主に使用されると考えられる。ただし、後述するように大容量の FeRAM も研究、開発されている。

3-1-2 FeRAM の基礎⁹⁾

強誘電体キャパシタの両電極間に電圧を加えて、分極量と電界の関係を調べると P-E ヒステリシス曲線²⁾ が得られる (図 3-1 参照)。

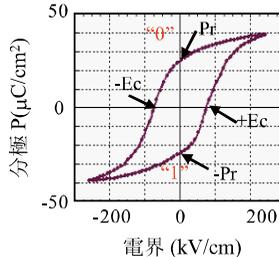


図 3-1 P-E ヒステリシスカーブ

*1 FRAM という表記も用いられている。

*2 容量変化を測定するので D-E 曲線が本来であるが、説明を簡単にするために分極量(P)と電界の関係で示す。

外部電界 (E) をなくしたときの分極量を残留分極 (remnant polarization: Pr), またヒステリクス曲線が電界 (E) 軸と交わる電界を抗電界 (coercive field: Ec) と呼び、それぞれ分極量の大きさ、分極反転する電界の大きさの指標になる。FeRAM によく用いられる強誘電体のチタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}_{1-x}, \text{Ti}_x)\text{O}_3$: PZT) は、ペロブスカイト型の結晶構造 (図 3・2 参照) をもち、 $x < 0.52$ で菱面体、 $x \geq 0.52$ で正方晶となる。FeRAM では、Pr が大きくなる $x \geq 0.52$ の PZT を用いることが多い。この PZT の結晶構造は、図 3・2 のように Pb イオンで囲まれた立方体状になっているが、c 軸方向に少し伸びた正方晶である。Ti イオンまたは Zr イオンの安定位置は、結晶の中心から少し上下にずれた所にある (双安定状態)。このために自発分極が生ずる。

PZT ($x \geq 0.52$) の温度を室温から上げてゆくと、その結晶構造は正方晶から立方晶となり、双安定状態は消失する (図 3・3(a)参照)。この温度をキュリー温度 (T_c) と呼ぶ^{*3}。薄膜 PZT では ($x=0.52$) で約 325 °C 程度である¹⁴。 T_c 以下の温度では、Pr と Ec は連続的に変化し、温度が高いほど Pr と Ec は小さくなる (図 3・3 (b)参照)。この温度特性は、FeRAM を設計する場合において重要である。

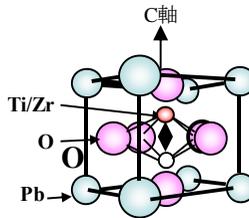


図3・2 チタン酸ジルコン酸鉛 (PZT) の結晶構造

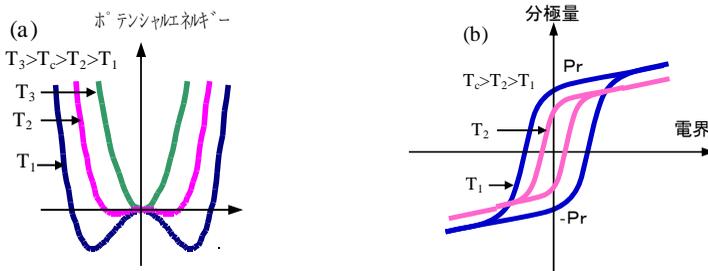


図3・3 (a) 温度をパラメータとする結晶ポテンシャルとOイオンに対するTi/Zrイオンの相対的な変位との関係⁹⁾, (b) 温度をパラメータとするP-Eヒステリシス

3-1-3 FeRAM 用強誘電体キャパシタ材料

FeRAM で使われる強誘電体は、PZT 系と Bi 系の 2 種類がある。FeRAM 用の PZT は、従来

*3 厳密には結晶の構造が変化する温度と T_c は同じではないが、実用上同じ温度としても大きな違いはない。

スパッタ法などの PVD (physical vapor deposition) により成膜されている¹⁶⁾。スパッタ法により成膜した PZT では、通常 La などの不純物を添加すると後述する疲労特性などが改善するため¹⁵⁾、FeRAM でもいくつかの不純物を添加した強誘電体材料を用いている。PZT の 2Pr は、FeRAM で使われる強誘電体のなかでは、比較的大きく $30\sim 40 \mu\text{C}/\text{cm}^2$ である¹⁶⁾。高集積を目指した最近の FeRAM では、MOCVD (metal-organic chemical vapor deposition) を用いた PZT が用いられている^{17, 18, 19)}。Bi 系材料では、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT), $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT), $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ (BLT) などが FeRAM で用いられている。これらの材料は、 $(\text{Bi}_2\text{O}_2)^{2-}(\text{Me}_{n-1}\text{R}_n\text{O}_{3n+1})^{2+}$ (Me は 1~3 価の金属, R は Ti, Nb など) の化学式で表され、Bi 層状ペロブスカイト型の結晶構造²⁰⁾ をもつ (図 3・4 参照)。BIT は古くから後述の FET 型 FeRAM で用いられている²¹⁾。SBT は、PZT に比べて疲労耐性が大きいと言われていたが、2Pr は $10\sim 20 \mu\text{C}/\text{cm}^2$ と PZT より小さい²²⁾。BLT は、BIT を改良した材料で、2Pr は $20 \mu\text{C}/\text{cm}^2$ 以上となっている²³⁾。

最近、強誘電性と強磁性を併せもつ (multiferroic) ペロブスカイト構造の BiFeO_3 (BFO) が注目されている。従来 BFO は、 T_c が 830°C と高いが、常温では大きな Pr が得られず²⁴⁾、リーク電流が大きいために実用的な材料ではないと思われていた。成膜方法の改良などにより、室温でも大きな Pr が得られて注目を集めるようになった^{24, 25)}。また Cr, Mn などの不純物添加によっても、リーク電流が軽減している²⁶⁾。

強誘電体キャパシタの電極材料もその特性に重要な影響を与える。FeRAM の強誘電体キャパシタ用の電極では、Pt が使われる場合が多いが、疲労耐性など特性を改善する目的から、Ir 酸化物電極²⁷⁾ や酸化物ペロブスカイト結晶構造の $\text{La}_{0.5}\text{Sr}_{0.5}\text{CoO}_3$ (LSCO)²⁸⁾、 SrRuO_3 (SRO)²⁹⁾ などが用いられている。

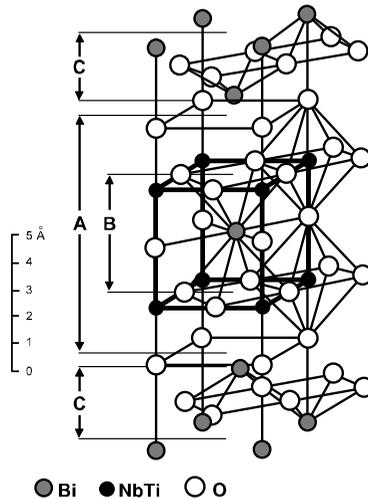


図3・4 ビスマス層状ペロブスカイト $(\text{Bi}_2\text{O}_2)^{2-}(\text{Me}_{n-1}\text{R}_n\text{O}_{3n+1})^{2+}$ の基本的な構造 ($n=1$)²⁰⁾、

A: $(\text{Me}_{n-1}\text{R}_n\text{O}_{3n+1})^{2+}$, B: nの繰りかえし部分, C: $(\text{Bi}_2\text{O}_2)^{2-}$

3-1-4 キャパシタ型 FeRAM の基本回路

2008 年現在、量産されている FeRAM は、選択トランジスタと強誘電体キャパシタを組み合わせた FeRAM である (キャパシタ型 FeRAM¹⁰⁾。このなかには 2 トランジスタ・2 キャパシタ (2T2C) 型と 1 トランジスタ・1 キャパシタ (1T1C) 型がある。

2T2C FeRAM では、二つのキャパシタを組み合わせて、それぞれ異なる方向に分極させ、読み出し信号差を大きくすることによりメモリの読み出し精度を上げている。しかし、この方式ではセル面積が大きくなる。一方、1T1C FeRAM では一つのキャパシタに記憶させる方式で、2T2C 型に比べてメモリの読み出し精度は低くなるが、セル面積を小さくでき、大容量化にむく。2T2C 型も 1T1C 型も DRAM に似た構造であるが、DRAM では集積度を上げるためにプレート線の電位を固定する方式 (Vcc/2 方式、Vcc は電源電位) が一般的である。FeRAM では、読み出しマージンを大きくとるためなどの理由により、プレート線を 0 V から Vcc まで駆動させてキャパシタからビット線へ電荷をださせ、ビット線の電位上昇を検出する場合がほとんどである。

これらの FeRAM では、一般的に情報を読み出すために必ずプレート線を駆動させる必要があり (図 3・5(c)参照)、キャパシタの分極方向を書き換える破壊読み出しとなる。プレート線に電源電圧を印加して、データを読み出す場合、通常ビット線はグランドに接続してないため、各セルのキャパシタには電源電圧が直接印加されず、ビット線容量とセル容量で分割された電圧がかかる。このために、後述するような減分極やインプリントが生じた場合、読み出しマージンが減少する。これを救済するために、ビット線の電位を下げてもセルキャパシタに高い電圧をかける方式が報告されている。その一つはビット線を擬似的にグランドに落としてセルキャパシタに高い電圧を印加する方法³⁰⁾ (Bit line ground sensing) であり、他は容量結合で押し下げる方法³¹⁾ (Zero cancelation) である。

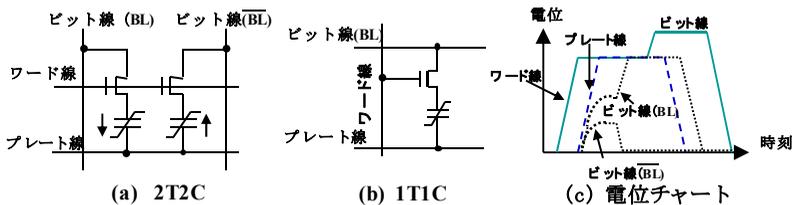


図3-5 (a) 2T2C FeRAM, (b) 1T1C FeRAMの回路構成, (c) ワード線, ビット線, プレート線の電位と動作タイミング (2T2Cの場合)

3-1-5 キャパシタ型 FeRAM のキャパシタ構造

FeRAM の量産当初では、プレーナ型と呼ぶ構造が主流であった (図 3・6(a)参照)。このタイプでは、選択トランジスタの拡散層直上に強誘電体キャパシタを配置しない。このために、後述のスタック型 FeRAM よりセル面積が大きくなるが、スタック型 FeRAM で問題となる W プラグの酸化問題などを回避でき、製造プロセスが簡単になる。一方、DRAM と同様にトランジスタの拡散層直上に強誘電体キャパシタを配するスタック型の FeRAM (図 3・6(b)参照) が 1990 年代後半から開発され^{17, 18, 19, 32)}、これにより、セル面積を縮小できるようになった。

現在 64 Mbit クラスの FeRAM が試作されている。PZT 系の材料を用いたスタック型 FeRAM では、強誘電体キャパシタを 600 °C 以上の酸化性雰囲気で作製するために、下部電極に接続する W プラグが酸化されてしまう。そこで、下部電極に酸素を透過させない Ir 電極をつけている。またキャパシタ面積を縮小するために、強誘電体材料にはスパッタ PZT より特性が良い MOCVD PZT を用いている。SBT 系の材料を用いた FeRAM でも初期はプレーナ型であったが^{16,33)}、スタック型の FeRAM も開発され、1 V を下回る低電圧動作可能な FeRAM が試作されている³⁴⁾。

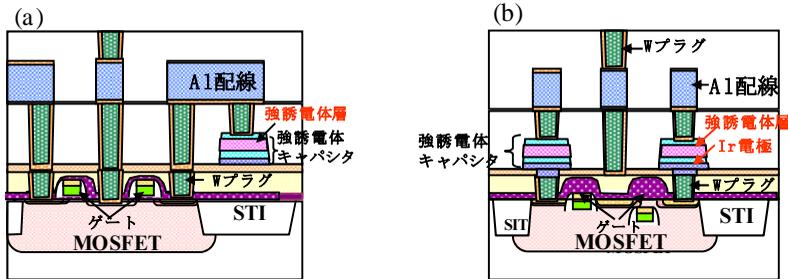


図 3-6 (a) プレーナ型 FeRAM, (b) スタック型 FeRAM (Al 第 1 層まで)

3-1-6 キャパシタ型以外の FeRAM

キャパシタ型の FeRAM のほかに、FET のゲート絶縁膜に強誘電体を使い、分極方向によって閾値がかわることを利用してメモリ動作を行う FET 型 FeRAM がある³⁴⁾。この FeRAM では、キャパシタ型の FeRAM と異なり、トランジスタの設計寸法に合わせてセル面積を縮小できる利点がある。また、記憶の読み出しは、トランジスタのドレイン電流を検出するために、強誘電体の分極反転は必要とせず、非破壊読み出しである。FET 型 FeRAM では、電源オフ後に電極がグランドレベルになった場合、減分極電界が強誘電体中に発生して記憶が短時間で消失する³⁵⁾。このために、記憶保持時間は最長でも 30 日くらいである³⁶⁾。

キャパシタ型や FET 型 FeRAM のほかに、SRAM において電源オフ時に記憶を強誘電体キャパシタに退避させて不揮発化する FeRAM も報告されている^{37,38)}。これらのなかで 6T4C 型の FeRAM は、SRAM として高速動作し、書き換え回数も無制限である³⁹⁾。

3-1-7 将来の FeRAM

2008 年現在市販されている FeRAM は、設計寸法 0.5 μm から 130 nm の 2T2C または 1T1C 型だけである。2007 年の ITRS (International Technology Roadmap for Semiconductors)⁷⁾ によれば、2013 年に 90 nm、動作電圧 1.2 V と予測されている。課題は、書き換え特性を DRAM 並の 10^{15} 回へ近づけ、低電圧化を図ることである。これにより、FeRAM の市場は、混載デバイスを中心にさらに拡大していくと考えられる。

* 4 1T 型とも呼ばれる。

■参考文献

- 1) I.M. Ross, U.S. Patent 2,791,760, 1957.
- 2) T.L. Moll and Y. Tarui, IEEE Trans. Electron Devices, no.ED-10, pp.338-339, 1963.
- 3) S.S. Eaton, D.B. Bulter, M. Parris D. Willson, and H. McNeillie, IEEE Int. Solid-State Cir. Conf. Tech., Dig., pp.130-131, 1988.
- 4) J.T. Evans and R. Womack, IEEE J. Solid-State Circuits, vol.23, pp.1171-1175, 1988.
- 5) T. Yamazaki, K. Inoue, H. Miyazawa, M. Nakamura, N. Sashida, R. Satomi, A. Kelly, Y. Katoh, H. Noshiro, K. Takai, R. Shinohara, C. Ohno, T. Nakajima, Y. Furumura, and S. Kawamura, IEEE Int. Solid-State Cir. Conf. Tech., Dig., pp. 613-616, 1997.
- 6) K. Arita, Y. Shimada, Y. Uemoto, S. Hayashi, M. Azuma, Y. Judai, T. Sumi, E. Fujii, T. Otsuki, L.D. McMillan, and C.A.P. De Araujo, Proc. 10th IEEE Int. Symp. on Applications of Ferroelectrics, vol.1, pp.13-16, 1996.
- 7) International Technology Roadmap for Semiconductors, Front end process, 2007.
- 8) International Technology Roadmap for Semiconductors, EMERGING RESEARCH DEVICES, 2005.
- 9) J.F. Scott 著, 田中均洋, 磯部千春, 三浦薫 訳, 強誘電体メモリー物理から応用まで一, シュプリンガー・フェアラーク東京, 2003.
- 10) 石原宏 監修, 強誘電体メモリーの新展開, 石原 第 1 章, pp.1-8, 有本, 田村 第 8 章, 榊井 第 12 章, pp.112-125, シーエムシー出版, 2004.
- 11) H. Nakamoto, D. Yamazaki, T. Yamamoto, H. Kurata, S. Yamada, K. Mukaida, T. Ninomiya, T. Ohkawa, S. Masui, and G. Gotoh, Solid-State Circuits, vol.42, pp.101-110, 2007.
- 12) S.T. Philpy, D.A. Kamp, and G.F. Derbenwick, Proc. IEEE Aerospace Conf., vol.4, pp. 2294-2299, 2004.
- 13) A. Eto, A. M. Hidaka, Y. Okuyama, K. Kimura, and M. Hosono, IEEE Int. Electron Devices Meeting, Tech. Dig., pp.367-370, 1998.
- 14) A. Okada, J. Appl. Phys., vol.48, pp.2905-2909, 1977.
- 15) Q.Y. Jiang, E.C. Subbarao, and L.E. Cross, J. Appl. Phys., vol.75, pp.7433-7443, 1994.
- 16) 彦坂, 恵下, 応用物理, vol.71, no.9, pp.1120-1125, 2002.
- 17) S.Y. Lee, H.H. Kim, D.J. Jung, Y.J. Song, N.W. Jang, M.K. Choi, B.K. Jeon, Y.T. Lee, K.M. Lee, S.H. Joo, S.O. Park, and K. Kim, IEEE Symp. VLSI Tech. Dig., pp.111-112, 2001.
- 18) Y. Horii, Y. Hikosaka, A. Itoh, K. Matsuura, M. Kurasawa, G. Komuro, K. Maruyama, T. Eshita, and S. Kashiwagi, IEEE Int. Electron Devices Meeting, Dig., pp.539-542, 2002.
- 19) T.S. Moise, S.R. Summerfelt, H. McAdams, S. Aggarwal, K.R. Udayakumar, F.G. Celii, J.S. Martin, G. Xing, L. Hall, K.J. Taylor, T. Hurd, J. Rodriguez, K. Remack, M.D. Khan, K. Boku, G. Stacey, M. Yao, M.G. Albrecht, E. Zielinski, M. Thakre, S. Kuchimanchi, A. Thomas, B. McKee, J. Rickes, A. Wang, J. Grace, J. Fong, D. Lee, C. Pietrzyk, R. Lanhham, S.R. Gilbert, D. Taylor, J. Amano, R. Bailey, F. Chu, G. Fox, S. Sun, and T. Davenport, IEEE Int. Electron Devices Meeting, Dig. pp.535-538, 2002.
- 20) B. Aurivillius, Ark. Kemi., vol.1, pp.463-480, 1949.
- 21) S.Y. Wu, IEEE Trans. Electron Devices, vol.ED-21, pp.499-504, 1974.
- 22) C.A-Paz de Araujo, J.D. Cuchiario, L.D. McMillan, M.C. Scott, and J.F. Scott, Nature, vol.374, pp.627-629, 1995.
- 23) B.H. Park, B.S. Kang, S.D. Bu, T.W. Noh, J. Lee, and W. Jo, Nature, vol.401, pp.682-684, 1999.
- 24) J. Wang, J.B. Neaton, H. Zheng, V. Nagarajan, S.B. Ogale, B. Liu, D. Viehland, V. Vaithyanathan, D.G. Schlom, U.V. Waghmare, N.A. Spaldin, K.M. Rabe, M. Wuttig, and R. Ramesh, Science, vol.299, pp.1719-1722, 2003.
- 25) K.Y. Yun, D. Ricinchi, T. Kanashima, and M. Okuyama, Appl. Phys. Lett., vol.89, p.192902, 2006.
- 26) S.K. Singh, H. Ishiwara, K. Sato, and K. Maruyama, J. Appl. Phys., vol.102, pp.094109, 2007.
- 27) T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, Appl. Phys. Lett., vol.65, pp.1522-1524, 1994.
- 28) S.G. Ghonge, E. Goo, R. Ramesh, T. Sands, and V.G. Keramidis, Appl. Phys. Lett., vol.63, pp.1628-1630, 1993.
- 29) C.B. Eom, R.B. Van Dover, J.M. Phillips, D.J. Werder, J.H. Marshall, C.H. Chen, R.J. Cava, R.M. Fleming, and D.K. Fork, Appl. Phys. Lett., vol.63, pp.2570-2572, 1993.
- 30) S. Kawashima, T. Endo, A. Yamamoto, K. Nakabayashi, M. Nakazawa, K. Morita, and M. Aoki, IEEE J. Solid-State Circuits, vol.37, pp.529-598, 2002.

- 31) J. Eliason, S. Madan, H. McAdams, G. Fox, T. Moise, C. Lin, K. Schwartz, J. Gallia, E. Jabillo, B. Kraus, and S. Summerfelt, *IEEE Int. Solid-State Cir. Conf. Tech., Dig.*, pp. 427-430, 2005.
- 32) O. Hidaka, T. Ozaki, H. Kanaya, Y. Kumura, Y. Shimojo, S. Shuto, Y. Yamada, K. Yahashi, K. Yamakawa, S. Yamazaki, D. Takashima, T. Miyakawa, S. Shiratake, S. Ohtsuki, I. Kunishima, and A. Nitayama, *Symp. VLSI Tech., Dig.*, pp.126-127, 2006.
- 33) T. Eshita, K. Nakamura, M. Mushiga, A. Itho, S. Miyagaki, H. Yamawaki, M. Aoki, S. Kishii, and Y. Arimoto, *Symp. VLSI Tech. Dig.*, pp.39-140, 1999.
- 34) K. Yamaoka, S. Iwanari, Y. Murakuki, H. Hirano, M. Sakagami, T. Nakakuma, T. Miki, and Y. Gohou, *IEEE J. Solid-State Circuits*, vol.40, pp.286-292, 2005.
- 35) T.P. Ma and J.-P. Han, *IEEE Electron Device Lett.*, vol.23, pp.386-388, 2002.
- 36) K. Takahashi, K. Aizawa, B.E. Park, and H. Ishiwara, *Jpn. J. Appl. Phys.*, vol.44, pp.6218-6220, 2005.
- 37) K. Dimmer and S.S. Eaton, Jr., U.S. Patent 4,809,225, 1989.
- 38) 瀬上貴昭, *機能材料*, vol.23, no.8, pp.58-68, 2003.
- 39) S. Masui, T. Ninomiya, M. Oura, W. Yokozeki, K. Mukaida, and S. Kawashima, *IEEE J. Solid-State Circuits*, vol.38, pp.715-725, 2003.

■10 群 - 4 編 - 3 章

3-2 MRAM

(執筆著者：奥田博明) [2009 年 3 月 受領]

3-2-1 はじめに

既存のメモリ，PRAM (Phase-change Random Access Memory)，スピン注入書き込み MRAM の (アクセス+書き込み) 時間 と容量について図 3-8 に整理した。

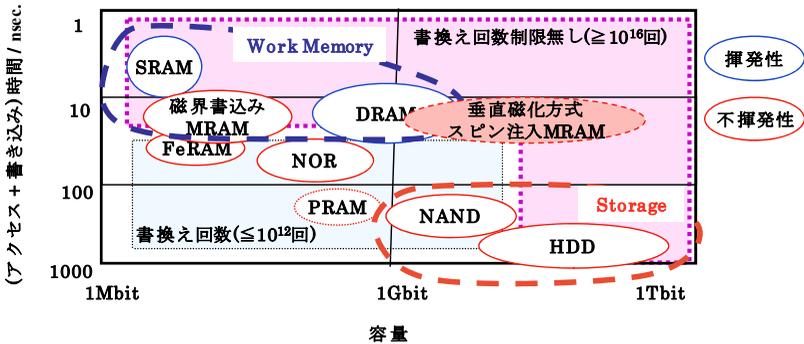
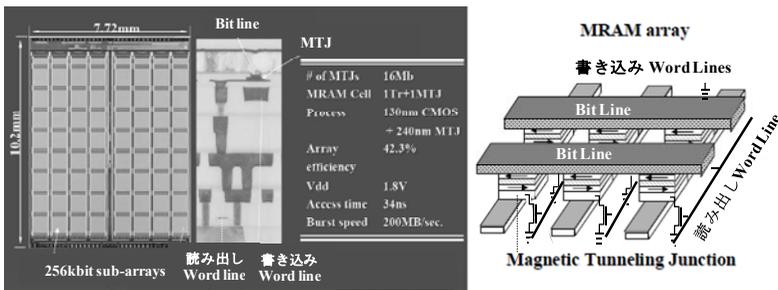


図 3-8 各種メモリの (アクセス+書き込み) 時間・容量マップ

高速で書き換え回数の制限が無いものはワークメモリとして，大容量のものはストレージとして広く利用され，それぞれ数兆円の世界市場を形成している。ストレージはその誕生からずっと不揮発であるが，ワークメモリは DRAM の誕生以来，揮発性であった。しかし，2006 年にフリースケールセミコンダクター社から 4 M ビットの磁界書き込み MRAM (Magneto-resistive Random Access Memory) が製品化され，容量は小さいながらも不揮発性ワークメモリが誕生した¹⁾。さらに，同年には図 3-9 に示すような 16 M ビットの MRAM が開発されたように，次第にワークメモリの不揮発化が進展していくことが今後予想される²⁾。



(a) 16Mbit MRAM

(b) アレイ部の概念図

図 3-9 16 Mbit MRAM と MRAM アレイ部の概念図

しかし、以前として最も広く使用されているワークメモリは、安価で書き換え回数に制限のない DRAM (Dynamic Random Access Memory) である。それは、近年、携帯機器でも画像・動画が利用されるため、ワークメモリにある程度の容量が必要とされているからである。DRAM は揮発性のため、休止状態から電源を入れた段階では、何も情報を蓄えてはいない。電源を入れてストレージから情報を読み出し、その情報を DRAM に書き込み、初めて機器が使用可能となる。PC では、この時間が 1 分以上かかるため、電源を入れた状態にする場合が多く、その結果、膨大な電力を浪費している。また、DRAM は使用中でもデータが消えてしまうため、数十 msec.ごとにデータを書き直す (リフレッシュ) 必要があり、使用時にも多くの電力を消費している。

DRAM と同程度の容量の不揮発性ワークメモリがあれば、電源を切っても情報は失われないうために、電源を入れると同時に機器が使用できる。不要なときには電源を切り、必要なときだけ電源を入れて使用できるため、膨大な省電力化が期待できる。また、使用時におけるリフレッシュが不要なため、使用時の消費電力は 1/10 程度に低減できる。このように、DRAM と同程度の容量の不揮発性ワークメモリを実現することは利便性のみならず、環境面でも大きな効果をもたらすと考えられる。

図 3・8 に示すように、書き換え回数の制限がない不揮発性メモリは MRAM だけである。MRAM が DRAM と同程度に大容量化されれば、究極の不揮発性ワークメモリが実現する。スピン注入書き込み MRAM の開発は、まさにこの究極の不揮発性ワークメモリの実現を狙っているのである。

3-2-2 動作原理

図 3・9 に示すように MRAM は、Bit Line と Word Line の交点の記憶セルとして、TMR (Tunnel Magneto-Resistance) 効果を有する MTJ (Magnetic Tunnel Junction) を用いている。MTJ はトンネル障壁とこれを挟持する二枚の磁性層からなり、一方の磁性層は磁化の方向が固定された参照層として、他方の磁性層は磁化の方向が書き換えられる記憶層として使用される。現在、磁性層としては、通常 Ni, Fe, Co 合金、トンネル障壁としては AlO_x や MgO が使用されている。

(1) 記憶保持原理

図 3・10 に示すように、記憶層の磁化の向きに対してデータの“0”と“1”を対応させる。不揮発性をもたせるためには、“0”の状態と“1”の状態の間にはエネルギーバリア (記憶保持エネルギー) が必要である。10 年間の不揮発性をもたせるためには、このエネルギーバリアの大きさを $60 k_B T$ 程度とする必要がある (k_B はボルツマン定数、 T は絶対温度)。記憶保持エネルギーの付与方法としては、形状の異方向性を用いる面内磁化方式と結晶格子の異方向性などを用いる垂直磁化方式とがある。

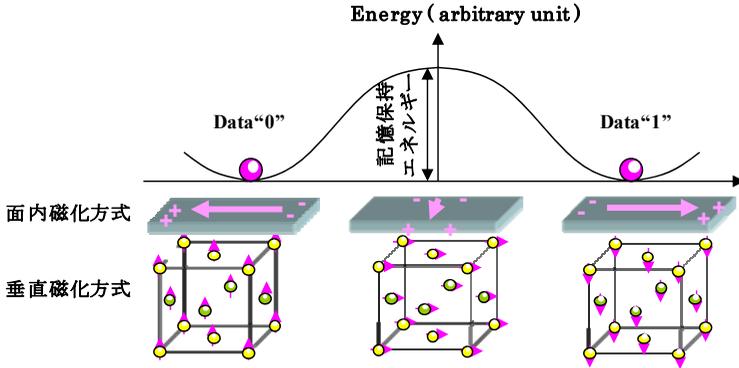


図 3・10 MRAM の記憶保持原理

面内磁化方式では MTJ を横長形状とし、長辺方向と短辺方向で静磁エネルギーの差を発生させ、これを記憶保持エネルギーとして利用する。

垂直磁化方式では結晶格子の異方向性により、原子の磁化の方向が垂直方向を向く場合と膜面内にある場合で磁気エネルギーの差が発生し（結晶磁気異方性エネルギー）、これを記憶保持エネルギーとして利用する。結晶磁気異方性エネルギーの大きさは 10^7 erg/cc 程度と非常に大きいため、MTJ を 10 nm 程度に微細化しても 60 $k_B T$ 程度の記憶保持エネルギーを確保できる。これが、垂直磁化方式が MRAM の高集積化に向く理由の一つである。

(2) 書き込み原理

MRAM の書き込み原理には図 3・11 に示すように (a) 磁界書き込み、(b) スピン注入書き込み、(c) 磁壁電流駆動書き込みの三つがある。磁界書き込みはすでに実用化されており、後者二つは MRAM の大容量化を狙って現在活発に研究・開発されている。

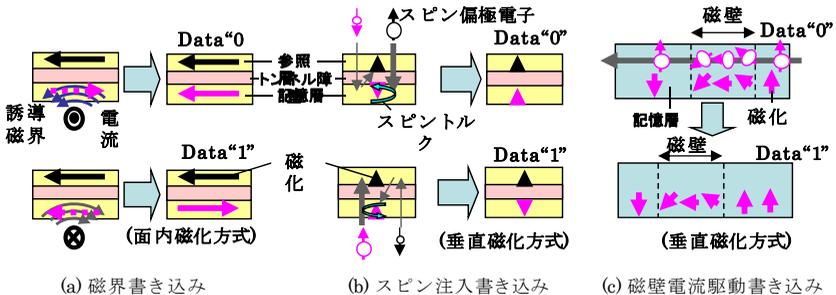


図 3・11 MRAM の書き込み原理

磁界書き込み原理では、MTJ に近接して配置された書き込み配線に電流を流して誘導磁界

を発生させ、これを利用して MTJ の記憶層の磁化を誘導磁界の向きに書き込む。スピン注入書き込み原理では、スピン偏極した電子を MTJ の記憶層に注入し、MTJ の記憶層の磁化に偏極方向のスピントルクを発生させ、同方向に磁化を反転させる^{3,4)}。磁性体中を流れる電子のスピンは一般に偏極しており、一方のスピンをもち電子 (Majority) の数がもう一方のスピンをもち電子 (Minority) よりも多く存在する。図 3・11(b)では Majority 電子を太い矢印で、Minority 電子を細い矢印で示している。Data“0”の書き込みにおいては、スピン偏極した電子を参照層から記憶層に注入する。参照層の Majority 電子のスピンのトルクが記憶層の磁化にトルクを与えてその磁化を反転させる。Data“1”の書き込みにおいてはスピン偏極した電子が記憶層から参照層に注入される。この場合、Minority 電子のトンネル確率が低いため Minority 電子が記憶層内に蓄積し、自分自身にトルクを与えてその磁化を反転させる。この様子を図 3・11(b)では Minority 電子が反射しているように図示している。

磁壁電流駆動書き込みは、図 3・11(c)に示すようにスピン偏極した電子を磁壁に流しこむ。電子のスピンは磁壁の磁化と相互作用し、反時計回りに回転していく。記憶層の磁化はその反作用とし、時計回りに回転し、結果的に磁壁が右に移動する⁵⁾。後述の図 3・19(a)に示すアーキテクチャに適用することを狙って開発が行われている。

(3) 読み出し原理

図 3・12(a)に垂直磁化方式の MgO トンネル障壁を有する MTJ を示す。以前は、アモルファス AlO_x がトンネル障壁として用いられていたが、MgO トンネル障壁が発見され 400~500% の大きな抵抗変化率が得られるようになった^{6,7)}。集積化に向く垂直磁化方式でも 100% を超える抵抗変化率が報告されるようになってきている⁸⁾。MTJ は、図 3・12(b)に示すように各々の磁化が平行の場合に小さな抵抗値 (Data“0”に対応) を、反平行の場合に大きな抵抗値 (Data“1”に対応) をとる。

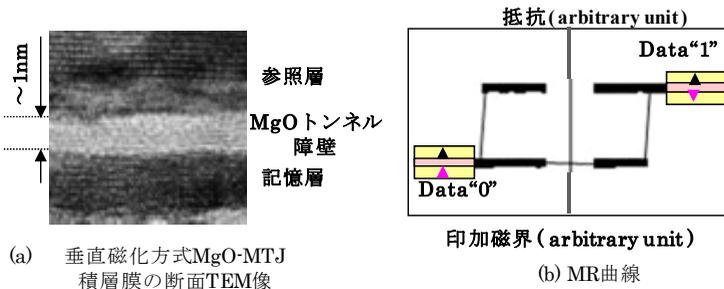


図 3-12 MRAM の読み出し原理

3-2-3 磁界書き込み MRAM

図 3・13(a)に書き込み原理として、誘導磁界を利用した磁界書き込み MRAM の単位セルを示す。MTJ の形状を横長形状とする必要があること、しかも磁化反転磁界のパラツキを制御するためには多少複雑な横長形状としなければならないこと、また誘導磁界を発生させる 2 本の書き込み配線が必要であるため、図 3・13 に示すように $11 F^2$ 程度の比較的大きなセルサ

イズとなる (Feature Size: F , 配線のハーフピッチとほぼ同等)。DRAM のセルサイズは $6\sim 8 F^2$ であるため、残念ながら DRAM を置き換えることは困難であると考えられる。

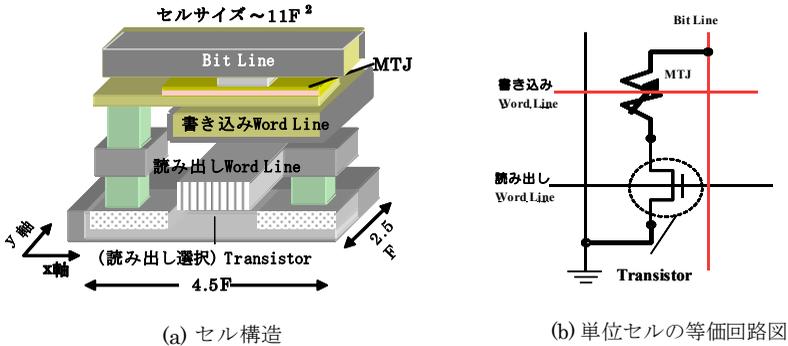


図 3-13 磁界書き込み MRAM の単位セルとその等価回路図

読み出しにおいては、選択 Transistor を ON にして、MTJ の抵抗値を測定する。書き込み時は直交する二つの書き込み配線 (Bit Line と Word Line, 図 3-13(b)では赤で表示) に電流を流し、 x 軸・ y 軸と 45° 方向に合成磁界を発生させて書き込む。図 3-14 に示すように、選択されたセルには合成磁界が印加され、磁化反転閾値を超えるため情報を書き込むことができる。この方法では、片方の磁界だけでは磁化反転閾値を超えないため、選択されたセルのみ書き換えることができる。しかし、この閾値曲線がセルごとにはばらつくと一方の磁界のみで書き換わるセルが出てくる。この一方の磁界のみ印加されるセルを半選択セルと呼ぶが、半選択セルの誤書き込みの問題が長らく MRAM の実用化を阻害している。

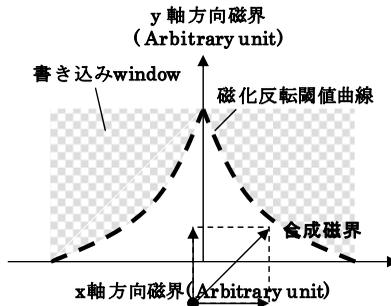


図 3-14 書き込みに際する選択原理

(1) 誤書き込み防止技術 (Disturb Robust 技術)

誤書き込みを防止する技術を Disturb Robust 技術と呼ぶ。この技術としてサブチェンコ switching が提案され⁹⁾、図 3-15 にその概要を示す。

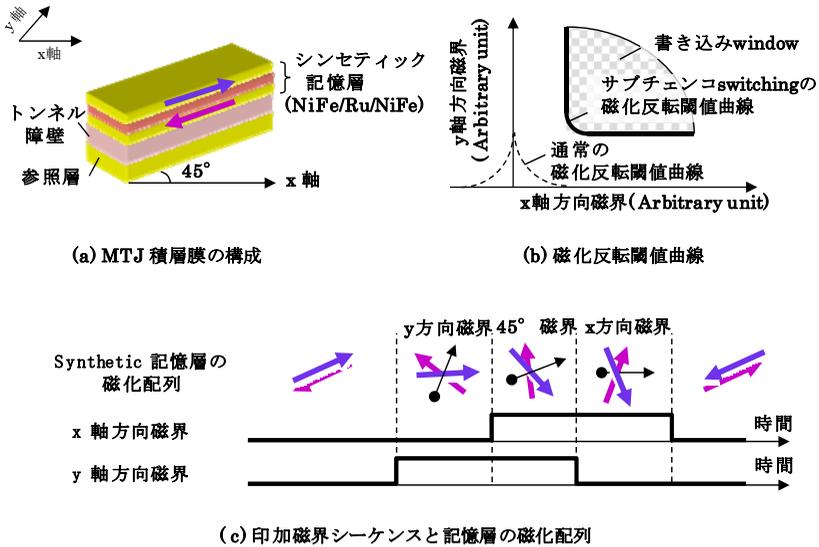


図 3-15 サブトレンチ switching (Disturb Robust 技術)

この switching では、図 3-15(a)に示すように記憶層としてシンセティック記憶層と呼ばれる NiFe/Ru/NiFe 積層膜を使用する。Ru の厚さを適切に設定すると、RKKY 相互作用と呼ばれる金属磁性層間の交換相互作用が上下の磁性層の磁化を反平行にするように働く。このシンセティック記憶層に弱い磁界を印加しても、二枚の磁性層の磁化が受けるトルクが相殺するため何も変化は起きないが、フロップ磁界と呼ばれる磁界より大きな磁界を印加すると、図 3-15(c)に示すように印加磁界を挟むような磁化配列をとる。印加磁界を 45° ずつ 4 回まわしてゆけば、シンセティック記憶層の磁化を 180° 回すことができる。この様子を図 3-15(c)に示す。この switching においては図 3-15(a)に示すように MTJ の長辺を x 軸と 45° 傾けて配置し、まず一方の書き込み配線のみを流してフロップ磁界以上の磁界を y 方向に発生させる。次に同様にもう一方の書き込み配線にも電流を流して x 方向の磁界も発生させ、 45° の方向に合成磁界を印加する。今度は y 方向の磁界を取り去り x 方向の磁界のみ残す。最後にすべての磁界を取り去ると、それぞれの磁化は長辺方向に向くので、結果的に磁化を 180° 回転させることができる。この switching のよさは、図 3-15(b)に示すような磁化反転閾値曲線にある。一方の磁界のみ印加される半選択状態 (x 軸 or y 軸方向) では、反転閾値が存在しないため誤書き込み (Disturb) が発生しない。また、半選択状態では磁化反転のエネルギーバリアが増大し、Disturb に非常に強くなっている。この switching を利用し、2006 年に 4 M ビットの MRAM が製品化された。

しかし、この switching は図 3-15(b)に示すように通常の switching (破線) と比べると磁化反転閾値が大きく、その結果 10 mA を超える大きな書き込み電流を必要とし、大容量化に際して課題を残すこととなった。

そこで、電流値を増大させないで誤書き込みを解消する switching が検討された。図 3・16 にその一例を示す。この switching は磁化過程制御 switching と呼ばれる¹⁰⁾。この switching ではプロペラ形状のような特殊な形状をもつ MTJ が用いられている。その磁化分布は、磁界印加がない状態では MTJ 内で不均一（横に寝た S 字状）となる。これに x 方向と 45° 方向の合成磁界を印加すると均一な磁化分布をとり、比較的小さな閾値磁界により磁化反転する。一方、x 方向の磁界を印加した場合は、その磁化分布が誇張された S 字状態となるため、その内部エネルギーが増大し、反転しづらくなる。その結果、x 方向の磁界が印加される半選択状態のセルの誤書き込みの解消に大きな効果があった。図 3・9 に示す 16 M ビットの MRAM ではこの switching が採用された。その結果、書き込み電流値が 4~5 mA 程度に低減され、42.3% のアレイ占有率と 1.8 V の低電圧駆動が実現された。その後、x 方向だけでなく、y 方向の磁界が印加された半選択セルの誤書き込みも解消された新しい磁化過程制御 switching も提案されている¹¹⁾。

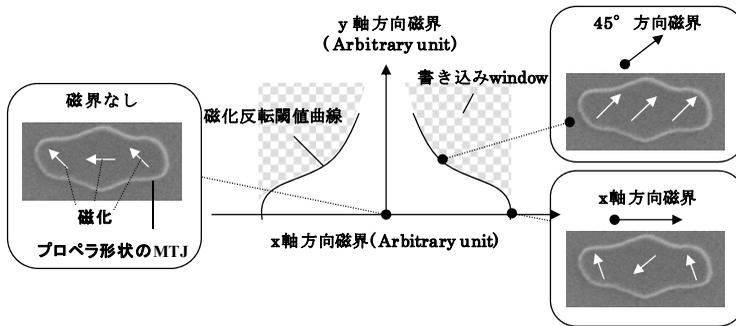


図 3・16 磁化過程制御 switching による Disturb Robust (誤書き込み防止) 技術の一例

また、図 3・17 に示すように、ビットごとに書き込み選択トランジスタを設けて半選択セルを無くす試みもされている¹²⁾。同図でも書き込み時に通電されている配線は赤で示している。当然のことながら、この方法ではセルサイズが大きくなるデメリットがあるが、nsec.レベルの高速書き込みができるメリットをもっているため、混載 SRAM の代替えを狙って開発が進められている。この方式では書き込み配線が一本でよいため、書き込み配線を MTJ に近接して配置し、1 mA 程度の書き込み電流値とすることができる。しかし、1 mA 程度の電流を供給するためには Transistor の幅も 1 μm 程度必要であり、より大きな市場を狙うためには書き込み電流値をさらに低減していくことが必要となる。

さらには図 3・17 に示すように、8~32 ビットごとに書き込み選択 Transistor を設け、その Transistor につながれた記憶セルはすべて書き込む方式も提案されている¹³⁾。この場合は、書き込み選択 Transistor の大きさを小さくするため、Word Line 電流を小さく、Bit Line 電流は大きく設定されている。この方式に磁化過程制御 switching を組み合わせると、Word Line, Bit Line の両方に対しての誤書き込みを解決できる。

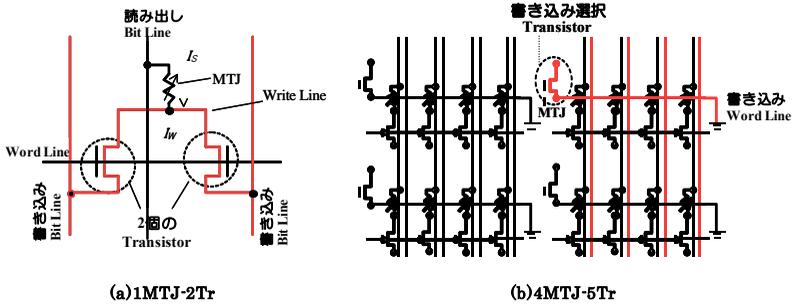


図 3-17 書き込み選択トランジスタを設けた MRAM の例

このように磁界書き込み MRAM 技術は 2001～2006 年の間に目覚ましい進歩を遂げ、256 Mbit 程度までの大容量化の可能性がでてきた。しかし、書き込み電流により発生させる誘導磁界は空間に漏えいするため、書き込み効率の向上には限度があり、Gbit 級の大容量化は困難であると考えられている。

3-2-4 スピン注入 MRAM

前述のように、磁界書き込み原理を用いた MRAM は Gbit 級の大容量化は困難であるため、スピン注入書き込み原理を用いた MRAM の研究開発が活性化している。スピン注入 MRAM の単位セルを図 3-18 に示す。

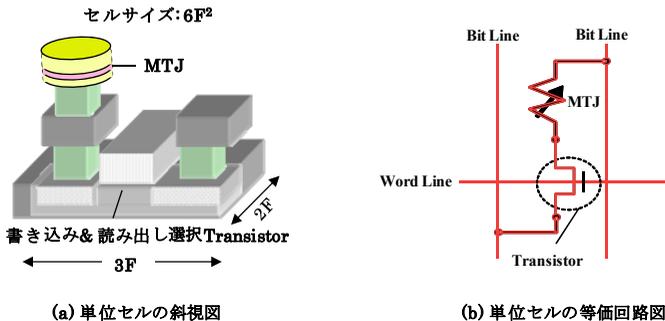


図 3-18 スピン注入 MRAM の単位セルとその等価回路図 (垂直磁化方式の例)

この書き込み原理では、読み出し・書き込みともに選択 Transistor を ON にして、記憶セルを選択する (書き込み時に通電されている配線は赤で示している)。よって、半選択セルは存在しない。また、誘導磁界を発生させる書き込み配線がないため、同図に示すように DRAM と同等の $6 F^2$ の微細なセルサイズが実現できる。微細な選択 Transistor で流せる電流には限度があるため、書き込み電流値をその限度以下に低減することが必要となる。Gbit 級の大容量

量化のためには F を 65 nm 程度にする必要があり、利用可能な書き込み電流値は通常 $30 \sim 40 \mu\text{A}$ (電流密度 $1 \times 10^{-6} \text{ A/cm}^2$ 以下) 程度となる。

スピン注入書き込み原理では電子の漏えいはないため、高効率な書き込みが実現すると期待されたが、通常の面内磁化方式の MTJ では $100 \mu\text{A}$ を超える反転電流値となり、G ビット級の大容量化は全く不可能と思われた。

そこで、図 3・19(a)に示すような磁化の方向を MJT の膜面と垂直方向にする垂直磁化方式の MTJ を用いたスピン注入書き込み MRAM が提案された。図 3・19(b)には面内磁化方式のスピン注入磁化反転の様子を示す。スピン注入により磁化を反転させる際、磁化の歳差運動が増大し、磁化が垂直成分をもたなければならない。このときのエネルギーバリアは記憶保持エネルギーに比べて一桁以上大きい。このときのエネルギーバリアは記憶保持エネルギーに比べて一桁以上大きい。面内磁化方式のスピン注入磁化反転はエネルギー的には非常に効率が悪いと言える。一方、垂直磁化方式の場合は図 3・19(a)に示すようにスピン注入により磁化を反転させるため、超えなければならないエネルギーバリアは記憶保持エネルギー ($60 k_B T$ 程度) と同じであり、非常に効率がよい。その結果、垂直磁化方式の反転閾値電流 (I_{cp}) は同図中の①のように記述できる。面内磁化方式の反転閾値電流 (I_{cl}) は同図中の②のようになり、カッコ内の第二項の分だけ大きくなる。ここに、 e は電子の電荷、 \hbar はディラック定数、 α はダンピング定数、 $g(\theta)$ はスピン注入効率、 θ は参照層と記憶層の磁化のなす角度である。

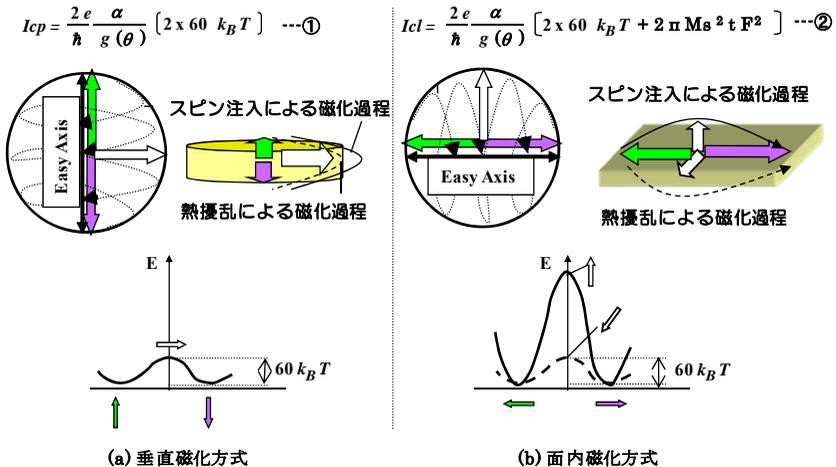


図 3・19 面内磁化方式と垂直磁化方式のスピン注入磁化反転

このように垂直磁化方式の MTJ は反転閾値電流を大きく低減できる可能性をもつが、垂直磁化方式の MTJ を作成することが非常に困難だった。特に MgO トンネル障壁を用いる場合、 MgO の格子定数と垂直磁化膜の格子定数の差が大きいことなどの理由があり、その作成例は皆無だった。

2007 年の IWFIP (7th International Workshop on Future Information Processing Technologies)

で垂直磁化方式により低電流化できることと、初めて垂直磁化方式の MTJ を用いたスピン注入磁化反転の成功例が報告された (図 3・20 参照)¹⁴⁾。その直後にはその詳細が報告された¹⁵⁾。これを図 3・21 に示す。この場合、1 kOe を超える大きな保持力を有する垂直磁化膜をたった $3.5 \times 10^6 \text{ A/cm}^2$ の電流で反転させることに成功している。その後も人工格子系の垂直磁化 MTJ により同程度の電流密度でのスピン注入磁化反転が報告され、垂直磁化方式の優位性が確認された¹⁶⁾。2008 年には図 3・22 に示すように直径 50 nm の垂直磁化方式 MTJ を用いた 1 kbit の垂直磁化方式スピン注入 MRAM の開発も報告された¹⁷⁾。さらには図 3・23 に示すように MTJ のサイズを縮小することによって 50 μA と非常に小さな電流でスピン注入磁化反転を起こすことができることが報告され、Gbit 級の大容量化も現実のものに近づいている^{18, 19)}。

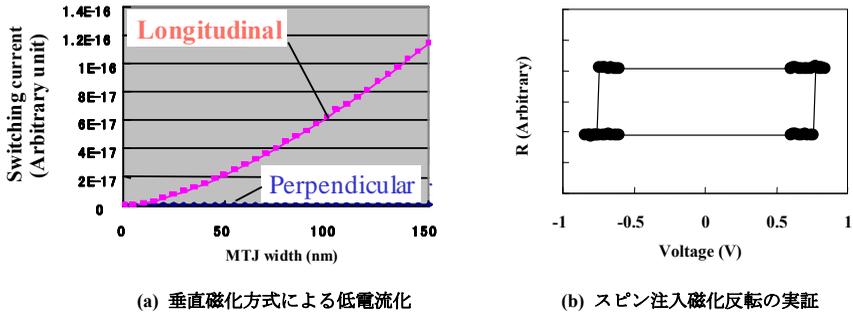


図 3・20 垂直磁化方式 MTJ を用いたスピン注入磁化反転

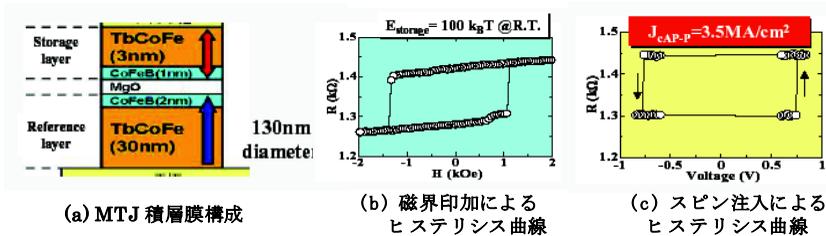


図 3・21 垂直磁化方式 MTJ を用いた低電流密度でのスピン注入磁化反転の実証

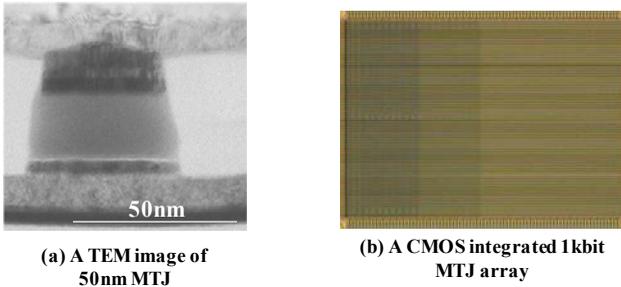


図 3-22 微細 MTJ を用いた 1 kbit の垂直磁化方式スピン注入 MRAM

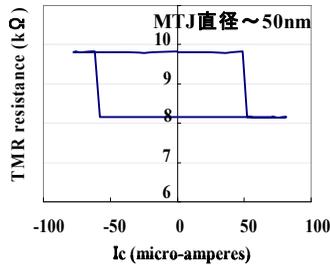


図 3-23 垂直磁化方式 MTJ の低電流密度でのスピン注入磁化反転

3-2-5 スケーラビリティ

垂直磁化方式の MTJ では、微細化による反転電流値の低下のほうが、記憶保持エネルギーの低下よりは大きいことが報告された²⁰⁾。その結果、不揮発性を保持して反転電流値を低減できるため、直径 40 nm の MTJ を用いれば 30 μA 以下の電流でスピン注入磁化反転を起こすことができると予想されている。図 3-24 に CMOS トランジスタのドライブ電流 (I_d) と垂直磁化方式の反転閾値電流 (I_c) の Feature size 依存性を示す。ともに同程度の減少傾向を示すため、65 nm (1 G ビット程度) の Feature Size で MRAM が開発されれば 10 nm の Feature Size での設計も原理的には成り立つ。10 nm の Feature Size で 6F^2 のセルサイズが実現すれば 50 G ビットを超える大容量化が可能となる。このように、垂直磁化方式のスピン注入 MRAM は非常に良好なスケーラビリティを有しているといえる。

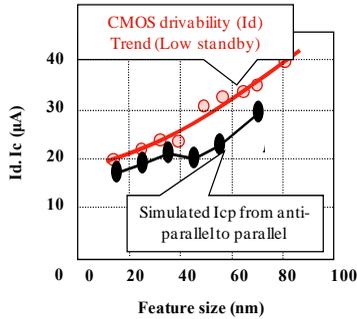


図 3-24 垂直磁化方式スピン注入 MRAM のスケールビリティ

3-2-6 まとめ

磁界書き込み MRAM においては Disturb Robust 技術が開発され、その結果 MRAM が製品化された。その後、大容量化を目指してスピン注入書き込み MRAM の研究が活性化し、垂直磁化方式の提案により最大の課題である書き込み電流値の低減に目処がたってきた。最近では数 msec. のパルス幅で、 $10 \mu\text{A}$ 程度（電流密度 $0.3 \times 10^6 \text{ A/cm}^2$ ）の反転電流値も報告されている²¹⁾。垂直磁化方式は非常に良好なスケールビリティを有するため、バラツキを制御する技術さえ構築できれば、低消費電力化が必要な携帯機器分野のみならず、DRAM 代替応用としても使用されることになるはずである。

■参考文献

- 1) M. Durlam, et al., IEDM Technicql Digest, p.995, 2003.
- 2) H. Yoda, et al., IEEE Trans. Magn., vol.42, p.2724, 2006.
- 3) J. Slonczewski, Phys. Rev. B, vol.39, p.6995, 1989.
- 4) Y. Huai, et al., Appl. Phys. Lett., vol.84, p.3118, 2004.
- 5) L. Berger, Phys. Rev. B, vol.54, p.9353, 1996.
- 6) T. Miyazaki and N. Tezuka, J. Magn. Magn. Mater., vol.139, L231, 1995.
- 7) S. Yuasa, T. Nagahama, A. Fukushima, Y. Suzuki, and K. Ando, Nat. Mater., vol.3, p.868-871, 2004.
- 8) M. Yoshikawa, et al., Intermag 2008 digest book, AC-01, 2008.
- 9) L. Savtchenko, et al., U.S. Patent 6,545,906.
- 10) T. Kai, et al., Jpn. Patent P2004-12806.
- 11) M. Nakayama, et al., IEEE Trans. Magn, vol.42, p.2724, 2006.
- 12) N. Ishiwata, et al., 214th ECS Meeting digest, E-08, abs.,no.#2106.
- 13) W. Reohr, U.S. Patent 6,335,890.
- 14) H. Yoda, et al., 7th IWFIP, Session IIIc.
- 15) M. Nakayama, et al., J. Appl. Phys., vol.103, p.07A710, 2008.
- 16) T. Nagase, et al., American Physical Society March meeting 2008, New Orleans.
- 17) H. Yoda, et al., Intermag 2008 digest book, FA-04, 2008.
- 18) H. Yoda, et al., Meeting Abstracts MA 2008-2, PRIME 2008, abs.,no.2108.
- 19) T. Kishi, et al., IEDM 2008 digest, 12-6.
- 20) T. Kai, et al., 第 32 回日本磁気学会学術講演会, abs.,no.15pB 9.
- 21) NEDO (New Energy and Industrial Technology Development Organization), 第 1 回「スピントロニクス不揮発性機能技術プロジェクト」(中間評価) 分科会, 公開資料.