

■10 群 (集積回路) - 6 編 (アナログ LSI)**10 章 システム応用**

(執筆者：道正志郎) [2009 年 5 月 受領]

■概要■

本章では、アナログ回路のシステム応用例について解説する。具体的には、アナログ回路が、システム性能を決定するキーデバイスとして、デジタルシステム中でどのように活用されているのかの具体例について、幾つか紹介する。

【本章の構成】

本章では以下に関して、その技術的特長、ブロック構成、信号処理動作、及びシステムの決定要因などについて解説する。

- 10-1 ディスク信号処理 LSI
- 10-2 LCD ドライバ LSI
- 10-3 光送受信アンプ
- 10-4 超高速インタフェース用 LSI
- 10-5 無線通信用 LSI
- 10-6 イメージセンサ LSI
- 10-7 指紋認証センサ LSI

■10 群-6 編-10 章

10-1 ディスク信号処理 LSI

(執筆著者：源代裕治) [2009年6月 受領]

ディスク信号処理 LSI は、ハードディスクや光ディスクといった記録媒体への、デジタルデータの記録再生に必要な信号処理を担う。性能として、記録再生系の物理特性の範囲内で、記録密度を限界まで上げ、また正しく情報を復元できることが求められる。機能ブロックとしては大きく、ヘッドアンプ、リードライトチャネル、デジタルバックエンドの3ブロックに分けられる。1990年前後から PRML と呼ばれる信号処理方式が急速に普及し、発展しながら現在に至っている。PRML は、サンプル点における符号間干渉 (Inter-Symbol Interference) を制御するパーシャルレスポンス (Partial Response) 波形等化技術と、そのサンプル値列から記録データ列を推定するときの最適性を定める最尤規範 (Maximum Likelihood Criterion) を並べた略号である。

10-1-1 チャネル信号処理の基礎

1 ビットの孤立再生波形は一般にインパルス状もしくはダイパルス状で、系の物理特性から決まる有限な幅を持つ。孤立再生波形を $u(t)$ とおき、記録ビット間隔を T とする。再生波形 $w(t)$ が記録データの2値系列 $a_k \in \{0, 1\}$ の線形重ね合わせで、

$$w(t) = \sum_k a_k u(t - kT) \quad (1 \cdot 1)$$

と表現されるとする。再生波形はデータ周期でサンプリングされ、サンプル点は T の整数倍の時刻である。 $u(t)$ のパルス幅に対しビット間隔 T を小さくしていく、すなわち記録密度を高めていくと、サンプル値 $w(kT)$ が前後に広い範囲の a_k 値の組合せに影響され多くの値をとるようになる。この現象が符号間干渉である。

パーシャルレスポンス等化 (以下 PR 等化) は、符号間干渉を取り扱い可能な複雑さに制限するため、孤立再生波 $u(t)$ をサンプル点において有限個しか非零値を持たない波形 $u^*(t)$ になるように線形変換する手法である。 $u^*(t)$ は一般に、 $t=0$ から前後に離れるに従い振動しながら減衰する波形となる。PR 等化では線形フィルタにより、その零クロス点がサンプル点と重なるように変形するのである。 $u^*(t)$ は非零値列によって特徴付けられ、PR(1,2,1)とか PR(1,0,-1) などと呼ばれる。一部の PR 等化には歴史的呼称があり、前者は PR2、後者は PR4 とも呼ばれている。

PR 等化後の再生波形は $w^*(t) = \sum_k a_k u^*(t - kT)$ と表される。サンプル値 $w^*(kT)$ は有限個の値しかとらない。例えば、PR2 では5値になる。サンプル値列と a_k 列は、状態遷移図 (State Diagram) もしくはトレリス線図 (Trellis Diagram) により対応付けられる。

実際の再生信号ではノイズのため基準値からずれたサンプル値が得られる。トレリス線図の各枝の基準サンプル値と実際のサンプル値の差の2乗をブランチメトリック (Branch Metric) と呼び、この総和、すなわちパスメトリック (Path Metric) を最小にするパスを選ぶのがビタビアルゴリズム (Viterbi Algorithm) である。ノイズが加法的白色ガウス (AWG : Additive White Gaussian) であると仮定すると、誤差エネルギーを最小にする a_k 列が最尤推定になる。

PRML は線形重ね合わせの仮定 (式(1・1)) のうえに構築された技術であるが、この仮定は近似的にしか成り立たない。記録再生系をできるだけ線形モデルに近づけるため記録時に、書込みビット列に応じて書込み波形をあらかじめ補正しておくことが行われる。この手法を、ハードディスクの場合にはライトプレコンペンセーション (Write Precompensation)、光ディスクではライトストラテジ (Write Strategy) と呼ぶ。

10-1-2 リードライトチャンネル LSI の構成

一般的な HDD チャンネル LSI のブロック図を図 1・1 に示す。ディスク記録媒体には 2 値化情報が同心円状に、もしくはスパイラル状に記録されている。

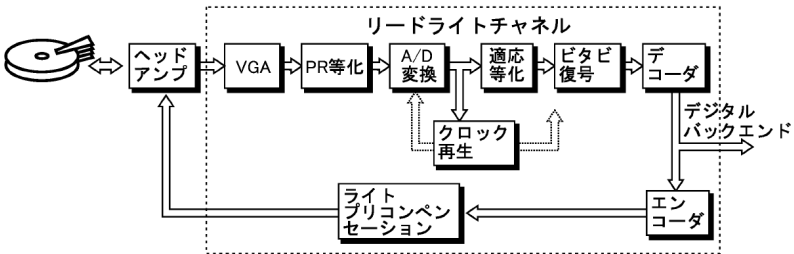


図 1・1 リードチャンネルのブロック図

a_k 列は情報源のデジタルデータそのままではなく、符号変換が施されたものである。元の 2 値系列をそのまま書き込むと、0 や 1 の連続、すなわちラン長 (Run Length) が制限されていないため再生時のクロックリカバリが困難であったり、0 と 1 の発生頻度が大きく偏ることで DC レベル変動が大きかったりといった問題が生じる。そのため 16/17 変換や (1,7)RLL 符号などの各種変調手法が用いられている。

磁気ヘッドからの微弱な再生波形を扱いやすい振幅まで増幅するヘッドアンプは、リードライトチャンネル LSI とは別チップとして実装されることが普通である。

ヘッドアンプからの信号は可変ゲインアンプ (VGA) で適切な振幅になるよう調整される。振幅情報はビタビ復号の基準レベルと比較して決めるのが、原理に忠実な実装である。PR 等化には振幅特性だけでなく位相特性も重要であり、A/D 変換前の PR 等化器として等リップルフィルタやベッセルフィルタなどがよく用いられる。A/D 変換器は 6 ビット前後の解像度で十分であるが、チャンネル周波数で動作する高速性 (～数 GHz) が求められる。サンプル点の決定はクロック再生 PLL が担い、その位相検出にはサンプル値の基準値からのずれが用いられる。再生クロックは、後段のデジタル回路にも供給される。AD 変換器とビタビ復号器の間にある適応等化フィルタは、PR 等化器の等化残りを補償するとともに、再生信号の特性変動に対処する役割を担う。エンコーダ/デコーダは前述した変復調を行うほか、元のデータ列を並べ替えたり、アドレス情報や冗長ビットを付加したりして、ディスクの傷や指紋などのディフェクトに対する耐性を高めている。

■参考文献

- 1) 岡村博司(編著)：“ハード・ディスク装置の構造と応用,” CQ 出版社, 2002.
- 2) 小川博司, 田中伸一(監修)：“図解ブルーレイディスク読本,” オーム社, 2006.

■10 群-6 編-10 章

10-2 LCD ドライバ LSI

(執筆著者：石山久展) [2009年6月 受領]

今や液晶ディスプレイ (LCD) は携帯電話、パソコン、液晶テレビ、デジタルカメラなど、様々な電子機器のディスプレイとして普及している。LCD を表示させるのに必要な IC が LCD ドライバである。特に、小型、低消費電流が求められる携帯電話を代表とするモバイル機器に搭載する LCD ドライバには、様々なアナログ回路が集積される。本節では、携帯電話機用 LCD ドライバに求められるアナログ回路の応用例を説明する。

10-2-1 携帯電話機用 LCD ドライバの概要

携帯電話機の LCD には TFT^{*1} 液晶が搭載される。QVGA (320×240 RGB) 画素の TFT パネルの場合、320 本のゲート線を駆動するためゲートドライバ 320 回路、240×3 (RGB) = 720 本のソース線を駆動するためソースドライバ 720 回路が 1 チップに集積される。図 2・1 に携帯電話機用 LCD ドライバの外観写真を示す。

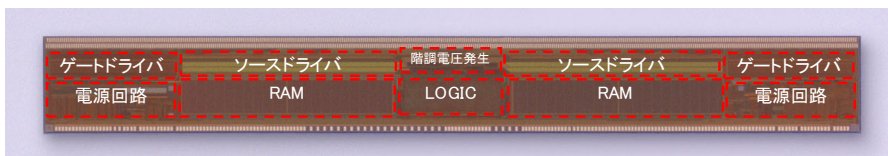


図 2・1 LCD ドライバ LSI 外観写真

LCD ドライバを構成する主な機能を赤枠で囲ってある。ゲートドライバは TFT のゲートをオン/オフするデジタル信号を出力する。ソースドライバは表示データに応じた階調電圧を出力する回路である。携帯電話機用 LCD ドライバには、表示に必要な機能のすべてが集積される。以下にアナログ要素の強い電源回路と階調電圧発生回路について説明する。

(1) 階調電圧発生回路

階調電圧を生成し、ソースドライバに供給する。RGB 18 bit (26.2 万色表示) の場合、各色 64 階調 (6 bit) を表現するため 64 電圧が生成される。階調電圧は単純な均等分割電圧ではなく、液晶の光学特性及びガンマ値を考慮した電圧に分割される。

(2) 電源回路

ゲートドライバ、ソースドライバ、及び表示パネル上の共通電極 (VCOM) に必要な電源を生成する。メーカーやパネルによって異なるが、以下に必要な電圧を参考に示す。

ゲートドライバ：	H 側	10～15 V 程度	L 側	-5～-15 V 程度
ソースドライバ：	H 側	3～5 V 程度	L 側	0 V 程度
VCOM：	H 側	3～5 V 程度	L 側	-2～1 V 程度

*1 TFT は Thin film transistor の略称で、薄膜トランジスタである。非晶質 (アモルファス) と多結晶のトランジスタが存在するが、本節ではアモルファス TFT 用 LCD ドライバの説明を行っている。

通常 LCD ドライバに外部から与えられるアナログ用の電源電圧は 2.5~3.3 V 程度の電圧のみである。基準電圧回路、昇圧回路、電圧レギュレート用の OP アンプ、電子ボリュームなどを組み合わせ、上記の駆動に必要な電圧がすべてチップ内で生成される。

10-2-2 ソースドライバ

LCD ドライバで最も注意を払うアナログ回路がソースドライバである。階調電圧発生回路で生成した階調電圧から、表示データに応じて階調電圧を DAC*2 にて選択し、LCD に書き込む。階調電圧発生回路及び DAC のインピーダンスは高いため、ボルテージフォロワアンプで電流増幅し、LCD を駆動する。図 2・2 にソースドライバのブロック図を示す。

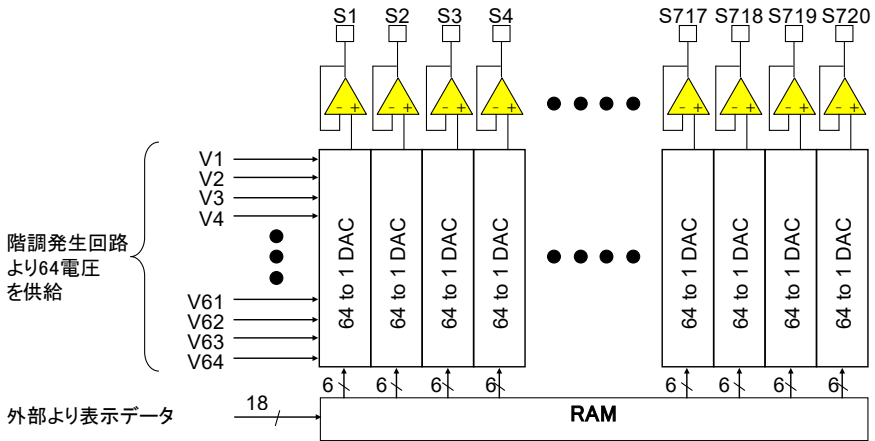


図 2・2 ソースドライバブロック図

ソースドライバの駆動電圧は 3~5 V 程度が求められるため、5 V 程度の耐圧のトランジスタが用いられる。また、LCD の高解像度化によりソースドライバは、例えば QVGA の場合 720 回路も必要であり、チップに占める面積の割合が大きい。しかし、5 V 耐圧が必要なためプロセス微細化の恩恵を受けにくく、回路技術で面積を縮小させることが非常に重要である。

液晶はわずかな電位差で透過率が変化し、人間の目に見えてしまう。そこで端子間の出力電圧のばらつきを少なく抑える必要がある。ばらつきはボルテージフォロワアンプのオフセットばらつきが主因であり、アンプを構成するトランジスタのばらつきに起因する。一般的にトランジスタのばらつきは、トランジスタのサイズ（面積）に依存する。しかし、単純にトランジスタサイズを大きくするとチップ面積が大きくなってしまいうため、チップ面積を抑え、かつ端子間出力偏差を抑える回路構成を選択することが重要である。

近年携帯電話の LCD には RGB 24 bit（各色 256 階調）が求められる。最も単純な手法としては、階調電圧発生回路にて 256 階調（8 bit）を生成し DAC で選択する手法がある。しかし、RGB 18 bit（各色 64 階調）に対して DAC の面積が 4 倍必要になり、チップ面積が大幅に増大

*2 DAC は Digital - Analog Converter の略称で、デジタル信号をアナログ信号に変換する回路。

してしまう。そこで、DAC を上位 6 bit に抑制し、隣接階調から下位 2 bit 分の階調を補完するなどし、面積増大を抑えながら RGB 24 bit (1678 万色表示) を実現するなどの工夫が必要である。いまや世界で最も数量の多い商品の一つである携帯電話は、競争の激しい商品であり、機能・性能の実現だけでなく、同時にコスト (チップサイズ, プロセス工程数など) を徹底して作り込むことが非常に重要な分野である。

■10 群-6 編-10 章

10-3 光送受信アンプ

(執筆著者：大友祐輔) [2009年5月 受領]

光通信は、光信号の減衰の少ないガラスのファイバに、主に 0 と 1 のデジタル光信号を伝送する。図 3・1 に光送受信構成を示す。送信部では、電圧振幅を電流に変換してレーザダイオードを駆動するレーザドライバ回路に特徴がある。受信部では、光信号をフォトダイオードで電流振幅に変換した後、その電流を電圧振幅に変換するプリアンプ、入力電圧振幅の大きさにかかわらず一定の電圧振幅を出力するポストアンプ、データと同期するクロックを再生するクロックデータリカバリー (CDR) 回路に特徴がある。CDR 回路は 8 章 8-4 節で説明されているため、ここでは他の 3 種の回路について述べる。0 と 1 の繰り返しと連続する 0 や 1 の信号を誤りなく送るために、各回路には低周波から高周波 (データレートの 7 割) の広い周波数領域を一律に増幅する特性が求められる。一方で、回路のノイズはそれらの増幅帯域で積分されるため、高速かつ長距離通信の実現には、SN 比を考慮した設計が必須である。

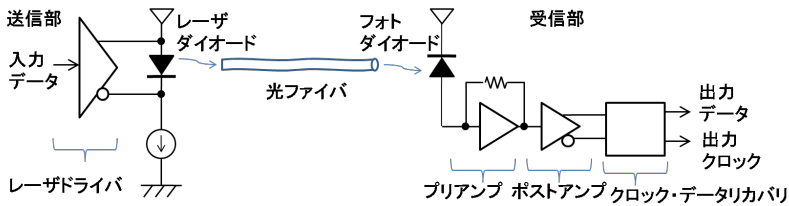


図 3・1 光送受信構成

10-3-1 受信アンプ

(1) プリアンプ

プリアンプには、トランスインピーダンスアンプ (TIA) 回路が使用される。図 3・2 と表 3・1 に、TIA が電圧増幅回路より SN 比において優れることをまとめた。2つの回路は、トランスインピーダンスゲインを等しく設定すると、帯域も等しい値となる。しかし、TIA では、出力において抵抗の熱雑音電圧が増幅されないために、SN 比が、アンプの電圧増幅率 A のルートに比例して優れる。実際には、アンプを構成する素子の雑音も考慮してシミュレーションによ

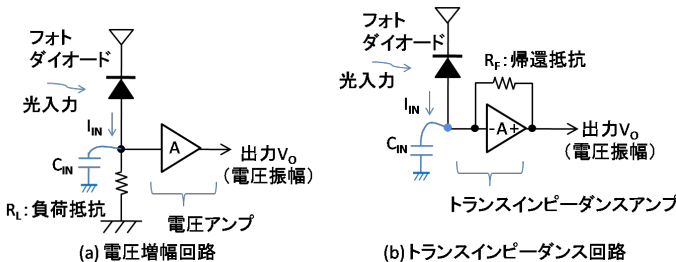


図 3・2 プリアンプ回路

り設計を行う。ダイナミックレンジをより広くとるために、光電流 I_N のバイパス量や、帰還抵抗値を出力からの帰還により調整する研究が進展している¹⁾。

表 3・1 プリアンプ回路の特性比較

	電圧増幅型	トランスインピーダンス型
出力電圧	$V_{O1} = AV_m = AR_L I_m$	$V_{O2} = -R_f I_m$
Tiゲイン	$G_1 = AR_L$	$G_2 = R_f (G_2 = G_1 \text{とするためには、} R_f = AR_L)$
帯域	$f_{-3dB} = \frac{1}{2\pi R_L C_{IN}}$	$f_{-3dB} = \frac{1}{2\pi R_f \frac{1}{1+A} C_{IN}} \approx \frac{1}{2\pi R_L C_{IN}}$
出力雑音電圧	$V_{NO1} = \frac{A}{2} V_{N1} = \frac{A}{2} \sqrt{4kT R_L \Delta f}$	$V_{NO2} = \frac{1}{2} V_N = \frac{1}{2} \sqrt{4kT R_f \Delta f}$
SN比	$SNR = \frac{V_{O1}}{V_{NO1}} = \frac{AR_L I_m}{\frac{A}{2} \sqrt{4kT R_L \Delta f}} = 2 I_m \sqrt{\frac{R_L}{4kT \Delta f}}$	$SNR = \frac{V_{O2}}{V_{NO2}} = \frac{R_f I_m}{\frac{1}{2} \sqrt{4kT R_f \Delta f}} = 2 I_m \sqrt{\frac{R_f}{4kT \Delta f}} = 2 I_m \sqrt{\frac{AR_L}{4kT \Delta f}}$

(2) ポストアンプ

TIA から出力される信号の振幅は、数 mV から数百 mV の幅がある。デジタル回路で安定に受信を行うために、電圧振幅を一定の振幅に増幅・制限するリミッタアンプが使用される。リミッタアンプは、差動増幅回路を縦列多段に接続して構成する (図 3・3)。数 mV の入力を増幅するため、隣接トランジスタの特性差に起因する差動オフセットを補正するオフセットキャンセル回路を用いる。出力信号の品質は、差動増幅回路の高周波側のカットオフ、オフセットキャンセルによる低周波側カットオフ、群遅延偏差に依存する²⁾。

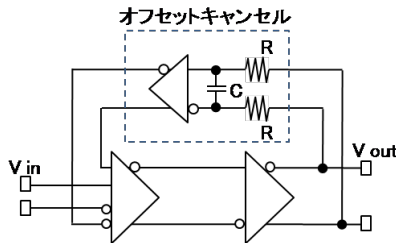


図 3・3 リミッタアンプ

10-3-2 送信ドライバ

光通信の伝送距離を延伸するためには、レーザダイオードの発光強度を強くすることが直接的な方法である。レーザドライバは、駆動電流量を段階的に増した差動増幅回路を縦列に配置して構成する。レーザは、熱によって発光強度が低下する。大電流を流しても発熱量を抑えるように、その実装においては終端抵抗をゼロオームに近づける方向に向かっている (図 3・4)。線路に不整合で、かつ不定インピーダンス負荷を高速駆動できるように、レーザドライバの最終出力段には、アクティブバック終端などの技術が用いられる³⁾。

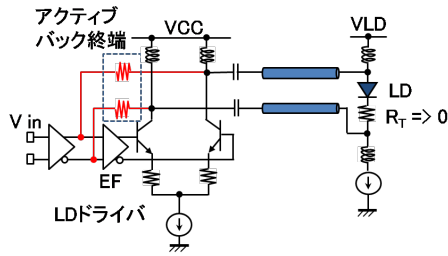


図 3・4 レーザドライバ回路

■参考文献

- 1) H. Ikeda, et al. : "An auto-gain control transimpedance amplifier with low noise and wide input dynamic range for 10-Gb/s optical communication systems," pp.1303-1308, September, IEEE J. Solid State Cir., 2001.
- 2) M. Nogawa, et al. : "A 10-Gb/s burst-mode limiting amplifier using a two-stage active feedback circuit," Dig. Tech. Papers 2-5, Symposium on VLSI Circuits, 2009.
- 3) S. Morley : "A 3V 10.7Gb/s differential laser diode driver with active back-termination output stage," Dig. Tech. Papers 12.1, ISSCC, 2005.

■10 群-6 編-10 章

10-4 超高速インタフェース用 LSI

(執筆者：深石宗生) [2009年7月 受領]

マイクロプロセッサの性能向上に伴って、プロセッサチップが必要とするバンド幅、特に CPU チップ-メモリチップ間など、プロセッサと外部チップとの間でのデータ伝送容量増加への要求が高くなっている。その結果、チップ間インタフェースの性能が、チップ内部回路の性能に加えて、システムの性能を決定する要因となっている。例えば、パソコンにおいて、90年代半ばから現在に至る約10年間で、CPU速度が200MHzから4GHz弱に向上してきたのに比例する形で、パソコン周辺機器とのインタフェースは、33MHz動作のPCIインタフェースから2.5GHz動作のPCI-Expressインタフェースへと移行してきた。

数十MHzのインタフェースとGHz動作の高速なインタフェース、それら両者の間で一番の技術的な違いは、パラレルインタフェースからクロックレス伝送を特徴とするシリアルインタフェースへの転換である。クロックレス伝送は、従来、東京-大阪間などを結ぶ超長距離通信を行う光伝送技術などに広く用いられてきた技術である。このようなクロックレス伝送に用いられていたデータ信号からクロック信号成分を抽出するクロック及びデータ抽出回路 (Clock & Data Recovery : CDR) をボード上などの近距離でのチップ間インタフェースへ適用することによって、チップ間インタフェースでのGHz動作が実現された。

また、伝送データがシリアル化されGHzを超えるような高速化が進むに伴い、LSI内部のデータ入出力回路の動作速度とLSI外部の伝送路特性との特性乖離も顕在化してきている。すなわち、伝送速度を制限していたLSI内部回路の動作速度が半導体技術の進展に伴って高速化されてきたため、受動部品であるLSI外部のプリントボードやケーブルなどの伝送路の特性が伝送速度を制限するようになってきた。

本節では、高速インタフェースにとって重要となるクロックレス伝送と伝送路特性を考慮した入出力回路技術を中心に述べる。

10-4-1 GHzを超える電気インタフェース技術の変遷と課題

図4・1にチップ間の伝送方式の変遷を示す。チップ間インタフェースでは、必要とされるバンド幅の向上、そしてそれを実現する伝送速度の高速化に伴い、バス接続型、1対1接続型、シリアル伝送型、多並列シリアル伝送型へと伝送形態が変化してきた。以下、これら4つの伝送形態の特徴と変遷の理由を説明する。

- ① **バス接続型インタフェース** : チップ間のデータ伝送に必要なとされるバンド幅が数百Mbpsから数Gbps程度であった時代では、PCIやDDRメモリインタフェースに代表されるような、一つの伝送路に複数のチップやモジュールを接続する多数接続型のバス接続形態が広く用いられてきた。この形態では、様々な機能モジュールや多数のメモリモジュールなどが簡単に接続可能で機能やメモリ容量の拡張性に優れているものの、伝送線路に多くの分岐点が存在しその分岐点でインピーダンスの不整合が存在するため、分岐点で伝送波形が劣化し高速化が困難という特徴を持つ。

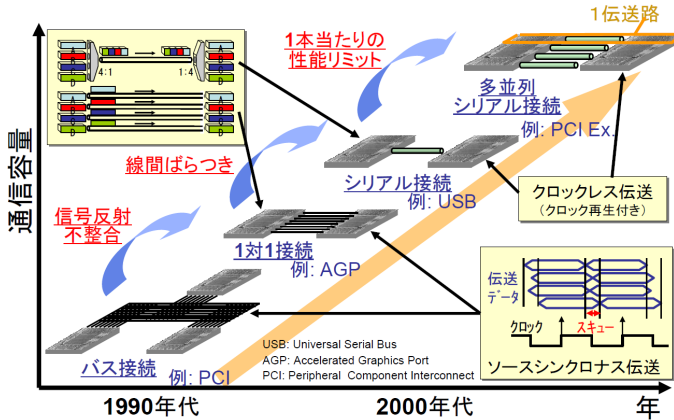


図 4・1 チップ間伝送方式の変遷

- ② **1対1接続型インタフェース**：1対1接続型とは、接続するチップ数を2つに限定し、チップ間の接続を1対1にする接続方法で、バス接続型で高速化を阻害していた伝送線路の分岐点をなくしたものである。この形態では、伝送路の分岐点に起因するインピーダンス不整合が生じず、高速化が可能となる。このような1対1接続形態をとっているインタフェースとしてはAGPなどがある。しかしながら、1対1接続型のデータ伝送では、データ伝送と同時にクロック信号も併走させ、受信器にて送信されたクロック信号をそのまま用いてデータ信号をチップに取り込むソースシンクロナス伝送が用いられているため、複数の伝送路の長さのばらつきに起因したデータ到着時間の差(スキュー)が高速化に伴って相対的に大きくなり、高速化の阻害要因となってしまう。
- ③ **シリアル伝送型インタフェース**：複数の送信データ間やデータ信号とクロック信号間のスキュー問題を解決し、更なる高速化を目指した伝送方式がシリアル伝送形態である。シリアル伝送では、比較的低速な複数のデータ信号をまとめ、高速な1本のデータ信号として伝送するのに加えて、受信チップで用いるクロック信号を送信データから抽出するクロックレス伝送機能を有している。そのため、1対1接続で問題となった伝送路でのスキュー問題が存在しない。シリアル伝送技術がチップ間インタフェースに用いられている例としては、USBやシリアルATAなどがある。しかしながら、シリアル伝送では伝送データの大容量化を伝送速度の高速化だけに求めるため、大容量化に限界がある。
- ④ **多並列シリアル伝送型インタフェース**：そこで現在では、シリアル伝送を多数用いるXAUIやPCI-Expressに代表されるような多並列シリアル伝送形態が主流となり始めている。多並列シリアル伝送では、複数の伝送路を用いて伝送されるデータの一つひとつにおいて最適なタイミングのクロック信号を抽出し正確なタイミングでそれぞれ複数のデータ信号をチップに取り込むと同時に、複数の伝送路で発生するスキューは受信回路内部で高速な伝送データを低速データに変換した後に取り除いている。

シリアル伝送LSIの高速化は、まず基幹系通信用途への適用を目指して行われ、その後多並列のチップ間伝送向けに展開されている。また、使用されるトランジスタは、まずは高速動作

に優れている GaAs や InP といった化合物半導体材料や SiGe 材料を用いて開発され、その後、安価で高集積化やロジック回路との親和性が高い CMOS トランジスタに移行する傾向がある。現在では、CMOS を用いたシリアル伝送 LSI は、基幹系通信向けでは 1 伝送路当たりの伝送速度が 40 Gbps に達し、更に高速化を進めている。一方、多並列伝送向けにおいても、10 Gbps に達している。今後、多並列伝送向け CMOS LSI の動作速度も向上を続け、40 G を目指して開発されていくと予想される。

10-4-2 クロックレス伝送を実現するシリアル伝送回路

シリアル伝送回路 (図 4・2) は、送信部の機能として、CPU などの内部論理回路から出力される多ビットのデータを 1 ビットの高速データに変換する機能 (パラレル-シリアル変換)、伝送路への出力データを作成し信号を出力する機能 (出力バッファ)、各ブロックを高速で動作させるための高速クロックを作成する機能 (PLL) に大別され、必要に応じて受信器にて伝送データからクロック信号を抽出しやすくするなどの目的で、伝送データを符号化する機能が追加される。なお、符号化機能は、低速動作が可能なパラレル-シリアル変換機能の手前で行われることが多い。

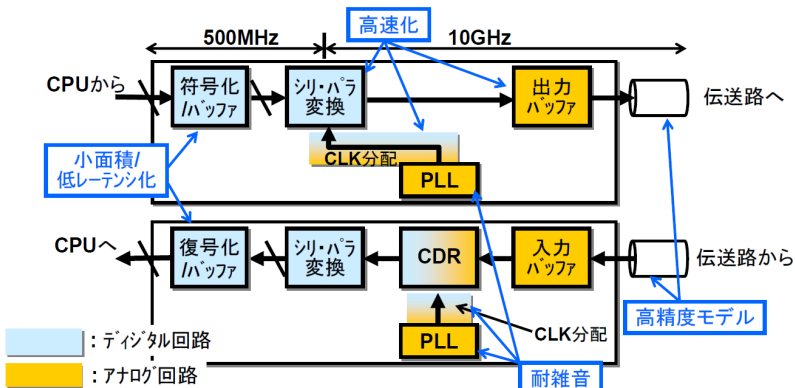


図 4・2 シリアル伝送回路及び必要技術

一方、受信部での機能は、伝送路を介して入力されるデータを受信する機能 (入力バッファ)、クロックレス伝送を実現するための 2 つの機能として受信データから最適タイミングのクロック信号を作成する機能 (クロック及びデータ抽出; Clock & Data Recovery: CDR) 及び高速クロック信号作成機能 (PLL)、高速シリアルデータを多ビットのパラレルデータに変換する機能 (シリアル-パラレル変換)、そして符号化されたデータを復号化する機能に分けられる。

それぞれの機能ブロックでは動作速度に応じて、比較的低速な動作であるシリアル-パラレル変換機能と符号化/復号化機能にはデジタル回路技術、高速動作が要求される PLL、CDR、入出力バッファにはアナログ回路技術が必要であるため、シリアル伝送回路はアナログ混在の回路技術が必要とされる。デジタル回路での課題には高速化に加えて、一般的なデジタル回路の課題と同様に、小面積化や低レイテンシ化が挙げられ、アナログ回路での課題には高速

化に加えて耐ノイズ技術，低電力化，高速伝送設計に必要なチップ外部のパッケージ，ボードなど伝送路の高精度なモデル化技術などが挙げられる。

CDR では，送信されたランダムなデータ信号からデータ信号の周波数と等しいクロック信号を抽出すると同時に，送信データに抽出されたクロック信号のタイミングを最適に合わせることが要求される．伝送データ速度が高速化されるに伴って，それらの要求の実現は更に困難になっていく．加えて，多並列伝送では電力や面積を小さく保ちつつ要求を満たす必要もある．このような要求に答える多並列伝送の CDR は大きく 2 つの方式が採用されている（図 4・3）。

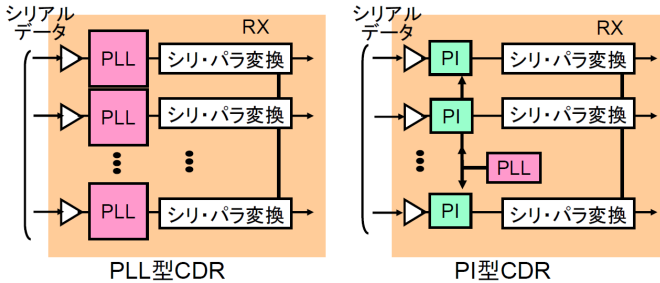


図 4・3 CDR 技術

1 つ目の方式は PLL 型と呼ばれ，シリアルデータから最適なクロック信号を抽出するのに，複数のシリアルデータのそれぞれに PLL を用い，クロック信号の位相と周波数の双方を同時に最適化する．2 つ目の方式は位相補間（フェーズインターポレータ：PI）型と呼ばれ，高速クロックを作成する PLL は多数のシリアルデータで共通化し，データごとにクロックの位相だけを調整する．PLL 型 CDR では各々のシリアルデータに対して PLL を用いてクロック信号の位相と周波数の双方を同時に最適化するため，クロック信号のジッタが小さいという優位性を持つものの，PLL に必要なローパスフィルタの面積が大きく，多並列伝送では面積オーバーヘッドが大きくなる．一方，PI 型 CDR では，PLL を複数のデータで共通化しているため，小面積である．しかしながら，クロック信号の位相だけを最適化しているため，周波数を正確に最適化することが困難である点や，PLL からの高速なクロックの分配を高精度に行う必要がある点などから，PLL 型 CDR に比べ抽出されたクロック信号の精度が悪くなる課題がある．多並列シリアル伝送では，その適用先の多くが伝送距離が数 m 以下のチップ間通信であるため，伝送中での伝送データの揺らぎが小さく抽出クロック信号のジッタへの要求がそれほど高くないことから，ある程度のクロック信号の精度の悪化を犠牲にしても小面積性能に優先度を置く場合が多く，PI 型 CDR が広く用いられている．

10-4-3 高速シリアル入出力回路技術

半導体技術の進展に伴い，伝送データ速度は GHz を超えるほどの高速化が可能となっている．しかしながら，チップ外部の伝送路に関しては半導体のような能動素子が用いられず受動素子で構成されること，装置の大きさやチップを搭載するプリント基板の大きさがほとん

ど変わらないことなどから、伝送されるデータ信号をチップの動作速度の高速化に比例するように高速化するのは非常に困難である。この原因は、伝送データ速度が高速になると伝送媒体での伝送減衰に起因した伝送データの歪みが大きくなるからである。例えば、5 Gbps を超える速度のデータをプリントボード上の数十 cm の伝送路で伝送した場合、受信チップで受信されるデータ振幅は、送信チップから出力された信号振幅の 1/10 以下まで減衰してしまう場合がある。

伝送媒体での信号減衰の原因は、表皮効果による抵抗損失と伝送路を構成する誘電体の誘電損失に大別される。抵抗損失は、 \sqrt{f} (f : 伝送周波数) に比例し、誘電損失は f に比例する。加えて、伝送データがランダムデータの場合、伝送データには低周波から高周波までの周波数成分を含んでいるため、伝送データを構成する各周波数成分で減衰差や位相差が生じる。これを、伝送データの前後への波形干渉、すなわち符号間干渉 (ISI) と呼ぶ。ISI とは、伝送データが前後に染み出し (干渉し)、前後のビットではその干渉したデータがノイズのように振舞う現象で、ISI が大きくなるような高速データ伝送下では正確なデータ伝送ができない。

このような伝送データの高速化に伴って顕在化する ISI の影響を補償するのが、イコライズ技術である。イコライズは送信側で行うプリエンファシスと受信側で行うポストイコライズとに大別される。プリエンファシスとは、伝送路で引き起こされる ISI の影響を予測して、送信側であらかじめ送信波形を補正して伝送する技術である。プリエンファシス技術を用いることで、受信端での伝送波形の幅は 1 ビット幅に抑えられ、前後のビットへのデータ干渉を抑制できる (図 4・4)。

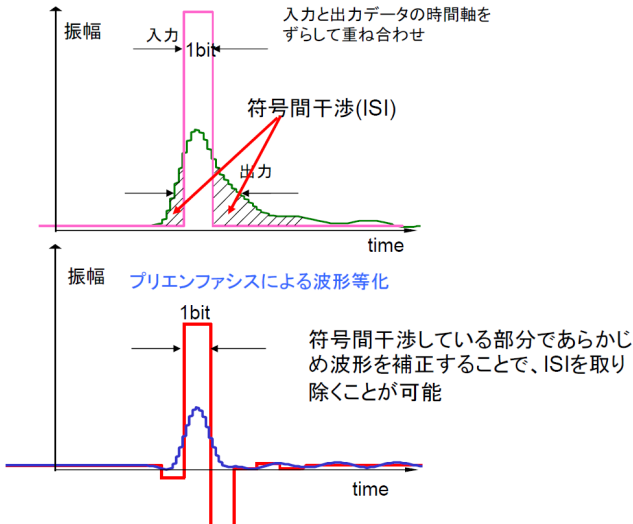


図 4・4 符号間干渉とプリエンファシスによるイコライズ

一方、受信側で波形整形するポストイコライズには、アナログ的に受信信号にハイパスフィルタを施すユニアイコライズと、デジタル的に受信信号に前のビットのデータを加算するデジションフィードバック型イコライズがある。

一方、イコライズ技術だけでなく、高速化を可能とするインタフェース技術として開発されているのが多値伝送である（図 4・5）。多値伝送とは、従来の 2 値（NRZ：No Return to Zero）伝送では 1 データ幅に 1 ビットのデータ（0 または 1）を電圧方向に割り当てて伝送していたのに対して、1 データ幅に多ビットのデータ（例えば 2 ビット、4 値伝送の場合は 0, 1, 2, 3）を電圧方向に割り当てて伝送するものである。2 値伝送と同等なデータ量を伝送する場合、例えば 4 値伝送であれば、1 データ幅を 2 倍に、すなわち伝送レートを 1/2 に低減することができる。したがって、高速化とともに顕在化する ISI の影響を受けずに、または ISI が小さいなかでの伝送が可能となる。しかしながら、4 値伝送では伝送信号の電圧振幅が 2 値伝送の 1/3 となり、信号の読み取りマージンが低下する。そのため、2 値伝送と 4 値伝送のどちらが有利かは一概には決定できず、伝送路の特性に依存する。伝送路減衰の周波数依存性が小さい場合は、4 値伝送に比べ 2 倍の速度が必要な 2 値伝送における信号減衰よりも、4 値伝送の伝送信号の電圧方向幅が 1/3 となる信号減少効果のほうが大きく、2 値伝送が有利である。一方、伝送路減衰の周波数依存性が大きい場合は、4 値伝送が有利となる。

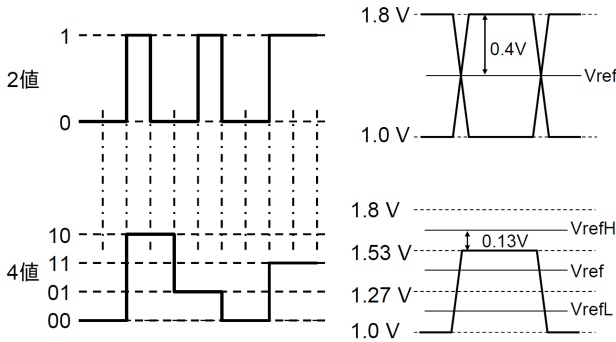


図 4・5 2 値伝送と多値（4 値）伝送の比較

また、4 値伝送の場合、隣り合う信号伝送路からの信号漏話（クロストーク）や反射によるノイズの影響は 2 値伝送に比べて大きくなる。これは、4 値伝送に含まれる信号遷移で最大なものは 0 から 3 などに遷移する場合で、この遷移の大きさは信号振幅の 3 倍となるのに対し、2 値伝送の場合は、信号遷移の最大幅と信号振幅の大きさが同一だからである。したがって、4 値伝送ではクロストークや反射によるノイズの影響が 2 値伝送に比べて 3 倍大きくなる。すなわち、4 値伝送では SN 比が 2 値伝送に比べ悪化してしまう。そこで、4 値伝送でのノイズ対策として、最大遷移を 0 から 2 までと制限するなどの工夫がとられることが多い。

■10 群-6 編-10 章

10-5 無線通信用 LSI

(執筆著者：濱田基嗣) [2009年6月 受領]

無線通信用 LSI は、無線通信に用いられる高周波信号を受信もしくは送信、あるいはその両方を行う LSI である。携帯電話、コードレス電話、無線 LAN (Local Area Network)、無線 PAN (Personal Area Network) (Bluetooth など)、無線 MAN (Metropolitan Area Network) (WiMAX など)、無線センサネットワーク (Zigbee など)、無線 IC カード、無線タグ、無線 USB などのアプリケーション用の LSI が実用化されている。今後、無線 BAN (Body Area Network) への応用も加わるであろう。また、厳密な意味で通信の範疇ではないが、テレビやラジオのチューナや GPS (Global Positioning System) の受信 LSI も無線通信用 LSI に含める場合もある。技術的観点では、無線通信周波数 (すなわちキャリア周波数)、信号帯域、通信距離 (出力電力及び受信感度)、が鍵となるパラメータである。無線通信用 LSI と呼ぶ場合には、シリコンプロセスを用いるものが多く、BiCMOS プロセスもしくは CMOS プロセスが用いられる。GaAs などの化合物半導体を用いた高周波デバイスの場合は、その集積規模の観点から無線通信用 IC と称されることが多い。

CMOS トランジスタの微細化により、従来はバイポーラトランジスタでないと設計できなかった周波数領域にも CMOS トランジスタを用いることが可能となってきた。高周波回路設計には、キャリア周波数の 10 倍程度の遮断周波数 (f_t) を有するトランジスタが必要と言われていた。MOS トランジスタの遮断周波数 (f_t) は、そのゲート長に反比例し、ゲート長 100 nm の nMOS トランジスタで、概ね 10 GHz である。上記の例に従えば、この場合、キャリア周波数 1 GHz 程度の回路が設計可能ということになる。

しかしながら、微細 CMOS トランジスタは、信頼性の観点から電源電圧を低くして使う必要があり、バイポーラトランジスタが約 3 V の電源電圧を供給されるのに対して、65 nm 世代の CMOS トランジスタでは電源電圧は約 1 V である。アナログ回路設計の観点からは、線形性の確保や電源電圧変動に対するロバストな設計が非常に難しくなっている。

一方で、半導体プロセスの進化により、無線通信用 LSI の集積規模は年々高まっており、複数の通信規格に対応するものや、複数の周波数帯に対応するものも開発されている。図 5・1 に典型的なダイレクトコンバージョン型の無線通信用 LSI のブロック図を示す。ブロックの分類として、送信系/受信系/局部発振器という機能別の切り口と、高周波回路/アナログベースバンド回路/デジタルベースバンド回路という回路形式別の切り口が存在する。受信系は、アンテナで受けた微弱な信号を低雑音増幅器 (LNA) で増幅し、周波数ミキサでダウンコンバージョンする。その後、チャンネル選択フィルタにより所望波を切り出し、ベースバンド増幅器により A/D 変換器 (ADC) への入力レベルを調節する。デジタルベースバンド回路では、復調やプロトコル処理が行われる。送信系は、デジタルベースバンド回路によってデジタル変調信号が生成され、D/A 変換器 (DAC) によりアナログ信号に変換される。その際に生じる高調波成分を切り落とすために存在するのが、アンチエイリアシングフィルタである。フィルタ出力信号は周波数ミキサにより局部発振器信号と掛け合わせることでアップコンバージョンされる。その出力信号は電力増幅器により増幅され、アンテナに供給される。図 5・1 では電力増幅器と記述したが、遠距離の通信では、無線通信用 LSI の外部に、更に信号レベルを高める

ための電力増幅器を配することが多い。その場合には無線通信用 LSI 内の電力増幅器は、外部高出力電力増幅器を駆動する増幅器という意味で、ドライバンプと呼ばれる。

一概には言えないが、送信系/受信系両方の高周波回路とアナログベースバンド回路までが集積されたものを、無線トランシーバ LSI と称し、加えてディジタルベースバンド回路まで集積されたものを無線トランシーバ SoC と称して特に区別することができる。

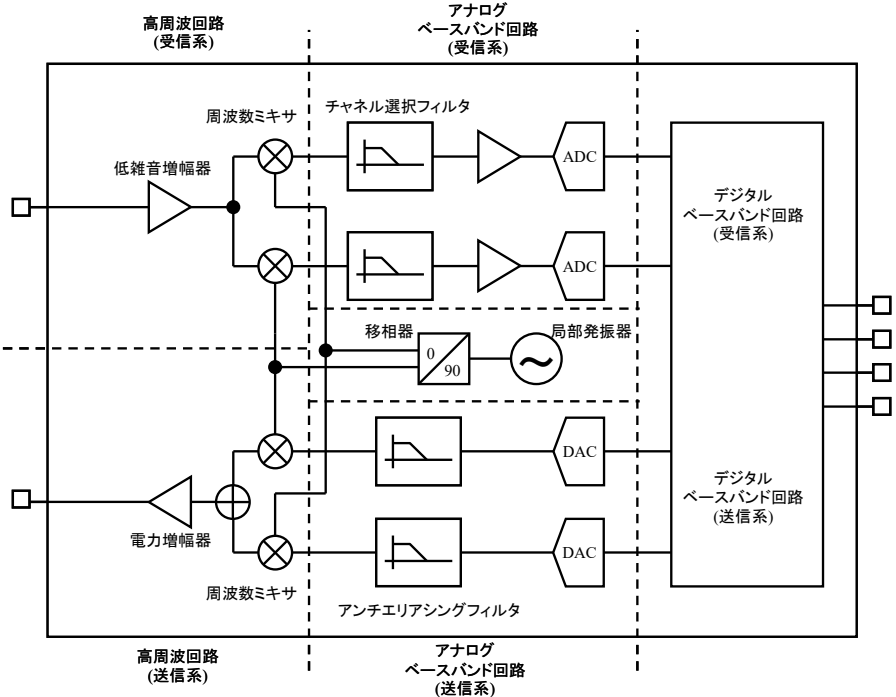


図 5・1 ダイレクトコンバージョン型無線通信用 LSI のブロック図

無線通信用 LSI による無線通信システムの実現においては、従来の個別部品による無線通信システムの実現に対して以下のような特徴がある。

- ① **観測可能な外部ノード数の減少**：ブロック間の接続が LSI 内部で閉じるため、外部からそのノードを観測しにくい。一方で、内部ノードに閉じることで、外部からの雑音の飛び込みや外部への雑音の放射が少なくなるという利点もある。可観測性については、モニター回路を付与することで向上できる部分もある。また、外部ノードがないことで、そのノードを駆動する電力が不要となり、低電力化に寄与するとともに、入出力インピーダンス整合が必要な箇所が減り、設計が容易になるという側面もある。また複数のブロックが一つの LSI にまとまることにより、システムを構成する部品点数の削減につながり、低コスト化が可能となる。また、ブロック間伝送の際の特性インピーダンスに関して、必ずしも 50Ω にする必要がないので、設計自由度が向上する。

- ② **再設計コストの増大**：複数のブロックを同時に設計し製造することになるため、一部のブロックにのみ不具合が存在する場合にも、システム全体を再設計し製造することとなる。特に、微細 CMOS プロセスでは製造に用いるフォトマスクが高価であることもあり、再設計のコストは大きい。また、微細 CMOS プロセスを用いた設計では、素子ばらつきが大きいため、厳しい無線規格を製造ばらつきまで含めて保証することは困難である。一方、CMOS トランジスタをスイッチとして用いて、そのスイッチのオン/オフの制御により回路特性を製造後に調節できるようにしておくことで、再設計をできるだけ回避している。調節の設定の保存は不揮発性メモリ内に行う必要があり、フューズ素子や EEPROM などが用いられる。
- ③ **信号干渉の増大**：複数の回路ブロックが一つの LSI に搭載されることで、それぞれの信号の干渉の可能性が高まる。一般に大振幅の信号が加害者側となり、小振幅の信号が被害者側となる。典型的な課題として、デジタルブロックの動作（接地電位と電源電圧との間でフル振幅での動作）がアナログブロックへ悪影響を与えるケース、あるいは局部発振器に不要な周波数成分（スプリアス）を生じるケースがある。また、チップ外部への入出力信号（I/O 信号）も比較的大きな電源電圧でフル振幅動作するため注意が必要である。また、トランシーバ LSI では、送信系の電力増幅器の出力の受信側への回り込みによる受信感度の劣化や、局部発振器信号の低雑音増幅器への回り込みによる受信系 DC オフセットの発生という問題もある。

これら干渉の問題は、周波数ブランニング、差動回路設計、レイアウト最適化、キャンセル機構の導入などによる解決が図られている。

- ④ **パッケージングの課題**：大規模なシステムを集積するがゆえに、チップ面積も従来のアナログ高周波 IC に比べると大きくなることが多い。その場合に問題となるのがパッケージングである。面積の大きなチップを入れるためのパッケージは配線の引き回しが長くなりがちであり、その配線の寄生インダクタンス、寄生キャパシタンスが大きい。また、大きなシステムを構成するためにピン数も多くなる。いわゆる無線通信 SoC では、BGA (Ball Grid Array) パッケージが用いられることが多い。BGA パッケージではチップとパッケージ基板との間をワイヤボンディングで接続するが、寄生インダクタンスを小さくするためには、短いことが望ましい。また、高周波回路設計では、この寄生効果を考慮して設計する必要がある。パッケージングの際のワイヤボンディングや基板配線の電磁界シミュレーションを行い、等価回路を抽出し、それを用いて高周波回路ブロックの設計を行うのが一般的である。

近年では、ミリ波通信に代表されるような無線通信周波数の高周波化により、ワイヤボンディングを用いたパッケージングでは回路性能を引き出すことが困難となり、プリント基板ボードに LSI を直接実装するフリップチップ実装も行われるようになってきている。

これら多くの課題がありながらも、多くのアプリケーションで無線通信用 LSI が実用化されているのは、ひとえに部品点数削減によるコスト削減と生産性の向上の効果によるところが大きい。送受信を切り替えるアンテナスイッチや、PLL のループフィルタ、また単一電源供給での動作を可能にする電源回路を搭載することも多い。また、無線トランシーバ SoC では、部品点数や回路面積を最小化できるダイレクトコンバージョン方式が採用されるケースが増えてきている。

■10 群-6 編-10 章

10-6 イメージセンサ LSI

■10 群-6 編-10 章

10-7 指紋認証センサ LSI

(執筆著者：重松智志) [2009年6月 受領]

小型携帯機器への指紋認証搭載を実現する、一つのチップで指紋の読み取りから認証まで行う指紋認証センサ LSI (図 7・1) について述べる。

指と同等の面積を必要とする指紋センサと指紋の照合を行う認証回路とを一つのチップに搭載する指紋認証センサ LSI の構成を図 7・2 に示す¹⁾。本構成では、認証回路をピクセル単位に分割し、センサで読み取った指紋を全ピクセルの並列処理により照合する。各ピクセル内では、処理回路の直上にセンサ素子であるセンサ電極が形成され、センサ電極で検出した信号をセンサ回路で増幅、デジタルデータへ変換する。センサ回路の出力とレジスタに記憶されたユーザの登録データとを処理回路で比較し、全ピクセルでの比較結果をもとに指紋の照合・認証が行われ、認証結果のみがチップ外に出力される²⁾。指紋センサと認証回路を積層化する本構成により、指紋センサと認証回路のワンチップ化が実現される。

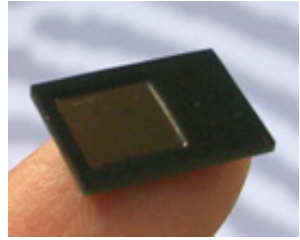


図 7・1 指紋認証センサ LSI

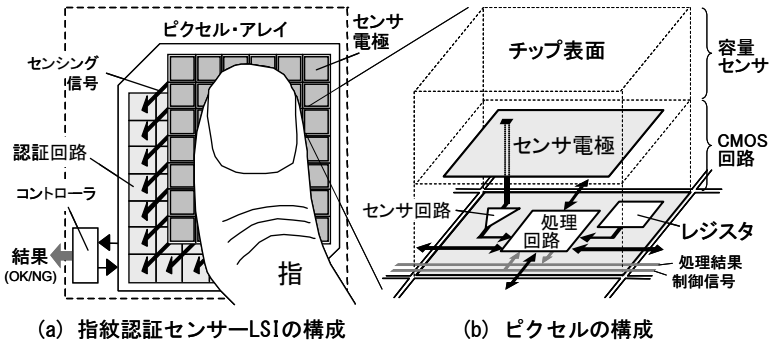


図 7・2 指紋認証センサ LSI の構成

指紋センサ回路は、センサ電極と指表面との間に形成される容量 C_f の大きさを検出することで、指紋の形状を読み取る (図 7・3)。センシング回路は、差動の電荷転送型アンプを用い、センサ電極の寄生容量 C_p の影響を抑え、センサ電極の微小な容量 C_f を電圧 ΔV_0 に変換する³⁾。電圧時間変換回路は、 ΔV_0 を出力応答時間信号 T_0 に変換することでセンサ回路のダイナミックレンジを拡大する。また、キャリブレーション回路は、指が置かれていない状態で、センサの出力 T_0 と基準信号が同じになるように C_p を調整することで、センサ表面に付いた汚れなどによる C_f の変動を相殺し、すべてのセンサの感度を常に均一にする⁴⁾。

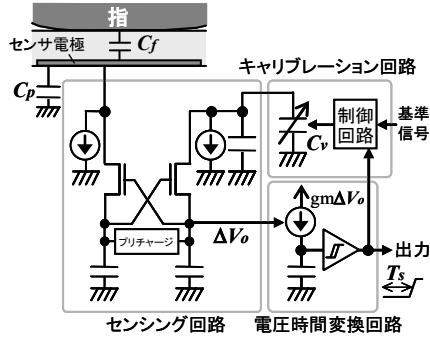


図 7・3 指紋センサ回路

本手法により、指紋認証装置の小型軽量、薄型、低価格化が実現され、いままで搭載が困難であった様々な小型携帯機器への指紋認証の搭載が可能となる。また、ユーザの指紋情報が外部に漏れることがないため、ユーザプライバシーの完全な保護も実現される。

■参考文献

- 1) S. Shigematsu, et al. : "A single-chip fingerprint sensor and identifier," IEEE J. Solid-State Circuits, vol.34, no.12, pp.1852-1859, Dec. 1999.
- 2) S. Shigematsu, et al. : "Pixel-parallel Image-matching Circuit Schemes for a Single-chip Fingerprint Sensor and Identifier," IEICE Trans. Electron, E88-C, no.5, pp.1070-1078, May 2005.
- 3) H. Morimura, et al. : "A Novel Sensor Cell Architecture and Sensing circuit Scheme for Capacitive Fingerprint Sensor," IEEE J. Solid-State Circuits, vol.35, no.5, pp.724-731, May 2000.
- 4) H. Morimura, et al. : "A pixel-level automatic calibration circuit scheme for capacitive fingerprint sensor LSIs," IEEE J. Solid-State Circuits, vol.37, no.10, pp.1300-1306, Oct. 2002.