

■10 群 (集積回路) -7 編 (モノリシックマイクロ波集積回路)

1 章 MMIC デバイス技術

(執筆者：末松憲治) [2010 年 1 月 受領]

■概要■

化合物半導体及びシリコン半導体を用いたモノリシックマイクロ波集積回路 (Monolithic Microwave Integrated Circuit : MMIC) の基本構造, 製造技術と, これら MMIC に使われるトランジスタ, ダイオードなどの各種半導体素子について説明する.

【本章の構成】

本章では, 化合物 MMIC の構造, 製造プロセス (1-1 節), シリコン MMIC の構造, 製造プロセス (1-2 節), 高周波化合物トランジスタ (1-3 節), 高周波シリコントランジスタ (1-4 節), ダイオード (1-5 節) に関して, 基本構造・構成, プロセス技術, 半導体素子の動作原理及び特性例などを示す.

■10 群 - 7 編 - 1 章

1-1 化合物 MMIC の構造、製造プロセス

(執筆著：村口正弘) [2008 年 11 月 受領]

MMIC の設計では、通常は能動素子構造には手を加えず、能動素子の配置やそれらを接続する配線の設計を行うことが中心となる。したがって、MMIC 設計においては、能動素子のプロセスよりも配線のプロセスを理解することがより重要である。ここでは、化合物半導体における配線プロセスを解説する。

GaAs や InP を基板とした化合物半導体トランジスタを用いた MMIC 構造を図 1・1 に示す。MMIC の製造プロセスは、通常の能動素子のプロセスに高周波配線用プロセスが加わったものと考えてよい。トランジスタ、ダイオード、抵抗を形成した後、第 1 層配線、第 2 層配線、めっき配線により、キャパシタ、インダクタ、伝送線路を形成する。配線層は主に Au が使用され、蒸着またはスパッタによる Au 膜をリフトオフやイオンビームミリングでパターン形成する。エアブリッジが必要な場合は、最上配線層はめっきによる配線となる。層間絶縁膜には、プラズマ CVD による Si_3N_4 膜や SiO_2 膜が用いられている。キャパシタは、配線層と層間絶縁膜とで MIM (Metal-Insulator-Metal) キャパシタを形成し実現する。インダクタは、高インピーダンス線路をスパイラル状やメアンダ状に配して実現する。

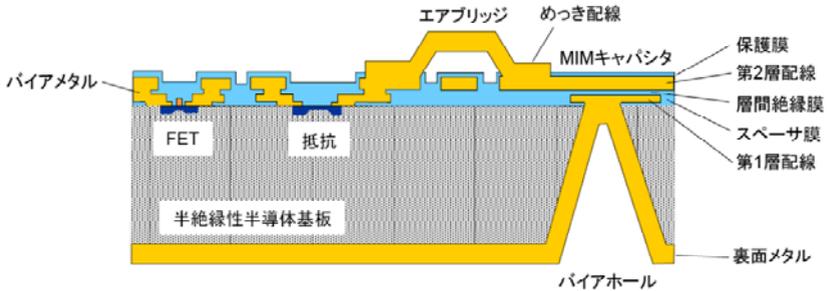


図 1・1 化合物半導体 MMIC 構造

1-1-1 リフトオフ配線

Si-IC のプロセスで用いられている Al 配線は、図 1・2(a)に示すようなドライエッチングが採用されているが、化合物 MMIC では Au 配線を用いるため、半導体表面に影響を与えずにドライエッチングを行うことが難しい。そこで、下層配線プロセスでは、図 1・2(b)に示すリフトオフプロセスが採用されている。リフトオフプロセスでは、まずホットレジストで配線部を開口させ、メタルを蒸着する。このとき、配線部以外の部分のメタルは、ホットレジストの上に蒸着される。次に、有機溶剤を吹き付けてホットレジストを溶解し押し流すと、配線部分以外のメタルもホットレジストと一緒にはがれ落ちて配線が完了する。ここで、蒸着時に配線として残すメタルとレジスト上のメタルとの切り離しが十分でないと、配線のエッジにトゲ状のバリができ、上層メタルとのショートの原因となる。したがって、配線として残すメタルとレジスト上のメタルとが完全に切り離されるようにホットレジストの開口断面が台形状になるようにする必要があり、スペーサリフトオフなどの手法が考案されている。

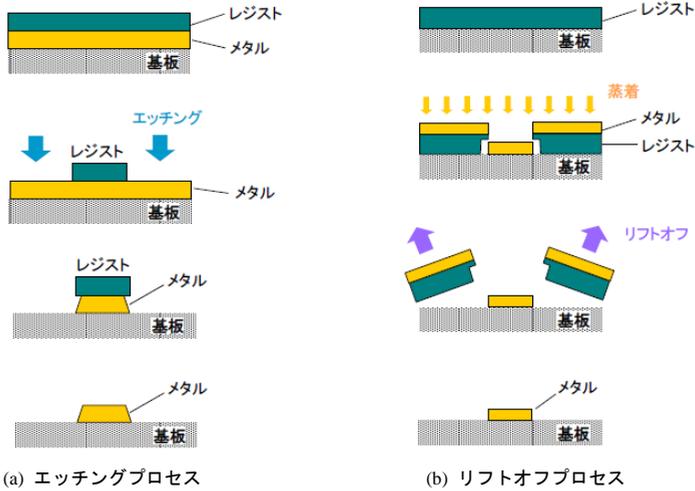
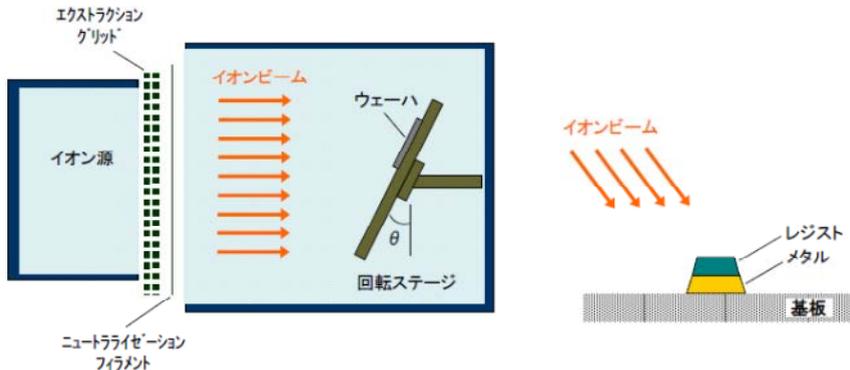


図 1・2 下層配線プロセス

1-1-2 イオンビームミリング配線

主に第 2 層配線に用いられている。図 1・3 に示すイオンビームミリング装置で加工する。イオンビームミリングとは、不活性ガスである Ar 粒子を加速し、ウェーハ表面にぶつけることにより金属をエッチングする手法で、ホットレジストと比較して Au などの金属のエッチング速度が速いことを利用する。化学反応によるエッチングではなく、物理的に削る方法である。ウェーハを固定するステージは、ビームに対して角度をもたせ、かつ回転させることにより金属を削りだすときのエッジの形状をコントロールできる。リフトオフと比較して、確実性が高いこと、配線エッジのバリのトラブルがないことなどが特長である。



1-1-3 めっき配線

エアブリッジが必要な場合や、メタルを厚くしたい場合に用いる。エアブリッジを形成するプロセスを図 1・4 に示す。まず、ブリッジの橋脚となる部分をレジストで開口する。次に、スパッタで薄いメタルをウェーハ全面に堆積させる。スパッタを用いるのは、レジストの側壁にもメタルを付着させるためである。このメタルは、電解めっき時の導電パスとして使用する。次に、めっきパターンとして残したい橋の部分をレジストで開口させる。この状態で電解めっき液に入れ、ウェーハのエッジから導電パスを通じて電流を流すと、レジストの開口部のみにめっきメタルが成長する。最後に、レジストを取り去るとエアブリッジが完成する。このような電解めっきによる配線プロセスは、成膜速度が速く、厚膜の形成が容易であるとともに、めっきの等方的成膜性によりステップ状の被膜が可能であることから、エアブリッジ形成に適したプロセスといえる。

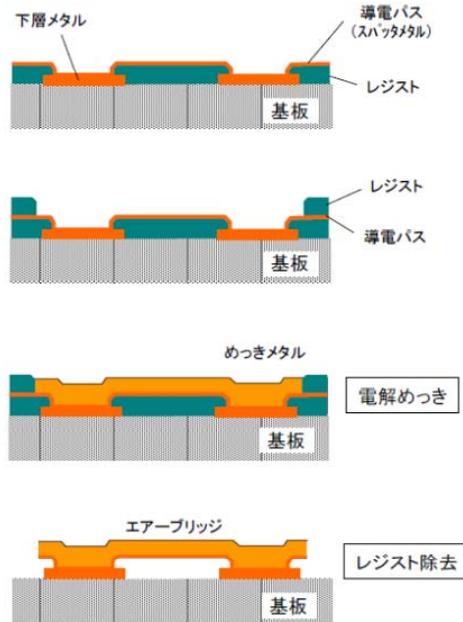


図 1・4 エアブリッジ配線 (めっきプロセス)

1-1-4 MMIC の各配線層プロセスの特徴

(1) 第 1 層配線

下地は平坦であり、ホトリソグラフィも容易なため、微細な配線を形成できる。ただし、半導体表面が露出している場合があるので、ドライエッチは適さず、絶縁膜によるスペーサを用いたリフトオフで形成する。絶縁膜は、リフトオフを容易にし、配線エッジのバリを防ぐとともに、第 1 層配線後の平坦性を保つ役割も果たしている。第 1 層配線のリフトオフでのバリは第 2 層配線とのショートを招き、配線工程では最も注意すべきトラブルの一つである。

(2) 第1-第2層間絶縁膜及びスルーホール

第1層配線後、層間絶縁膜を堆積し、スルーホールを形成する。必要に応じてバイアメタルの形成も行う。バイアメタルは、微小なスルーホールで確実な1-2層間の接続を行うために導入する。スルーホールによる段差をなくし、平坦化にも寄与する。スルーホールは、ドライエッチで形成し、スルーホール下の1層メタルがエッチストップの役割を果たす。バイアメタル形成は、層間絶縁膜がスペーサとなるため、リフトオフは容易である。

(3) 第2層配線

第2層配線では、後工程が少ないので、配線厚の制限は少ない。ただし、第1層配線時と比較して下地の平坦性が悪くなっているため、最小線幅のルールは緩くする必要がある。配線形成は、リフトオフもしくはイオンビームミリングが用いられる。

(4) めっき配線及び保護膜形成

MMICでは、エブリッジを必要とする場合が多く、その場合はめっき配線プロセスが追加される。

樹脂モールドパッケージで実装する場合は耐湿性の問題が発生するので、表面に保護膜(パッシベーション膜)を堆積し、ワイヤー接続する電極パッド部のみを開口する。セラミックパッケージなどでハーメチックシールドされる場合は寄生容量となるパッシベーション膜の形成を行わないこともある。

(5) 裏面プロセス

ウェーハの表面のプロセスが終了した後、必要に応じて裏面の研磨や、バイアホール(裏面)の形成が行われる。バイアホールは、裏面にパターン形成した後、エッチングで形成している。

■参考文献

- 1) 相川正義, 大平 孝, 徳満恒雄, 広田哲夫, 村口正弘, “モノリシックマイクロ波集積回路(MMIC),” 電子情報通信学会, pp.26-30, 1997.
- 2) 榎木孝知, “MMICプロセス技術,” MWE'93 Microwave Workshop Dig., pp.23-28, 1993.

■10 群 - 7 編 - 1 章

1-2 シリコン MMIC の構造、製造プロセス

(執筆者：末松憲治) [2010 年 1 月 受領]

本節では、まず 1-2-1 項において、シリコン MMIC に用いられる半導体プロセスの種類と特徴について述べる。次いで、1-2-2 項において、シリコン MMIC の構造と、化合物半導体の MMIC との相違点を、1-2-3 項において、シリコン MMIC に用いられる受動回路素子の構造を、それぞれ説明する。

1-2-1 シリコン MMIC に用いられる半導体プロセス

シリコン MMIC は、1960 年代に pin ダイオードを用いたモノリシック高周波スイッチ¹⁾、1970 年代前半に Bipolar Junction Transistor (BJT) を用いた GHz 帯広帯域増幅器²⁾などの開発が行われたものの、その後、より高い周波数帯で動作可能な GaAs-MMIC が実用化され、開発の重点は GaAs に移って行った。

しかし、1990 年代に入ってプロセス微細化が進み、BJT だけでなく CMOS FET の高速化、更には BJT に比べて高速な SiGeHBT の実用化により、GHz 帯で十分な利得をもつ様々なシリコントランジスタがマイクロ波帯で使用可能となってきた³⁾。また、携帯電話を初めとする低コスト、大量生産、小型、低消費電力を要求するワイヤレス通信端末用途市場の成立とともに、シリコン MMIC が Radio Frequency IC (RFIC) とも呼ばれ、急速に注目されるようになり⁴⁾⁻⁶⁾、2000 年前後に実用化されるに至った。

現在のシリコン MMIC に用いられる半導体プロセスを表 1・1 に示す。この表に取り上げたものは、アナログあるいはデジタルのシリコン IC プロセスをベースにしたものであり、このほかに高周波高出力増幅器に特化したプロセスとして、高出力 Bipolar、MOS (LDMOS を含む) などがある。Si-MMIC に用いられるプロセスとしては、Bipolar、CMOS、BiCMOS、及び Bipolar、BiCMOS の BJT を SiGe Hetero-junction Bipolar Transistor (HBT) で置き換えた SiGe、SiGeBiCMOS があげられる。

表 1・1 Si-MMIC 用プロセスの種類

プロセス名	使用可能なトランジスタ	特徴
Bipolar	BJT(npn, pnp)	リニアICなどに用いられるアナログIC主体のプロセス。BJTの動作周波数の限界から、2GHz帯程度までの適用例にとどまっている。
BiCMOS	BJT(npn, pnp), MOSFET(nMOS,pMOS)	ロジック用のCMOSとアナログ用のBJTの両方のトランジスタを使えるプロセス。ロジックを含むアナログIC(ミックスドシグナルIC)に多く使われている。
CMOS	MOSFET(nMOS,pMOS)	ロジックICに多く使われるプロセス。近年、トランジスタの微細化による高速化が進み、マイクロ波、ミリ波帯のMMICにも使われるようになってきた。
SiGeHBT	SiGeHBT(npn), BJT(pnp)	動作周波数の限界が見えてきたBJTをより高速なSiGeHBTで置き換えたプロセス。npnトランジスタはHBTとなっているが、pnpトランジスタはBJTの場合が多く、コンプリメンタリな高速動作は難しいことが多い。
SiGeBiCMOS	SiGeHBT(npn), MOSFET(nMOS,pMOS)	ロジック用のCMOSと高速アナログ用のSiGeHBTの両方のトランジスタが使えるプロセス。BiCMOSよりも高速な用途に使われる。

これらのプロセスのうち、Bipolar (SiGe) や BiCMOS (SiGeBiCMOS) は、通常、アナログ IC 用の仕様となっており、アナログ回路に必要とされる精度のよい容量素子や、抵抗素子

が準備されている。しかし、CMOS は、ロジック IC 用の仕様がベースであり、アナログ回路に必要とされる容量素子や抵抗、更にはマイクロ波帯で必要とされるスパイラルインダクタなどの誘導素子が含まれてないことがある。これらマイクロ波用（高周波用）を含めた受動素子を追加したプロセスを RF-CMOS と呼ぶこともある。

1-2-2 シリコン MMIC の構造

シリコン MMIC の構造例を図 1・5 に示す。化合物半導体（例えば、GaAs）の MMIC との違いは主に次の 2 点である。

- (1) 基板として、ドーパしたシリコン基板（抵抗体）を用いる（GaAs-MMIC の場合は、ノンドーパの半絶縁性半導体基板を用いる）。
- (2) 多層配線を用いることができる（GaAs-MMIC の場合は、単層+エアブリッジの 2 層配線）。

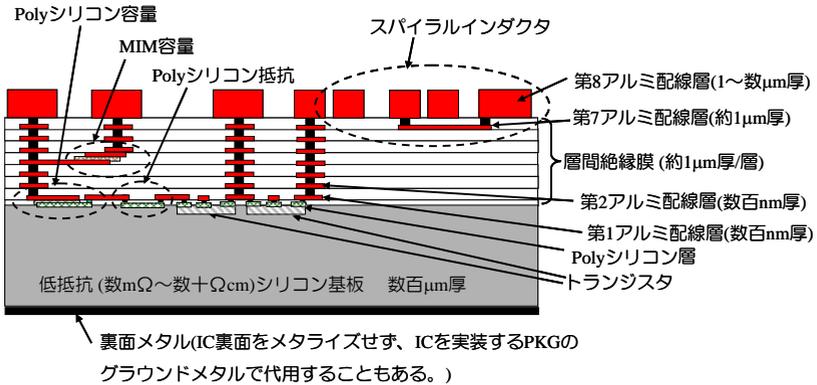


図 1・5 Si-MMIC の構造例 (断面図)

それぞれの違いに関して、より詳細に記述する。

- (1) 通常のシリコンプロセスでは、ドーパしたシリコン基板が使われるため、シリコン MMIC でも特別な場合を除き、数 mΩ ~ 数十 Ω cm 程度の低抵抗シリコン基板が用いられる。このため、①基板上の伝送線路や受動回路素子の損失が大きい、②基板上のアイソレーションが取り難く、分離のための特別な構造が必要となる、という課題がある。①に関しては、基板の工夫、線路構造の工夫がなされている。基板の工夫としては、高抵抗基板 (数 kΩ cm 程度)、Silicon On Insulator (SOI) 基板、あるいは Silicon On Sapphire (SOS) 基板の使用があげられる。シリコン基板の抵抗率として数 KΩ cm 程度あれば、IC としての線路損失は、ほぼノンドーパの半絶縁性半導体基板と変わらないという結果が得られており、高抵抗基板あるいは SOS 基板を用いれば、化合物半導体と同様の高周波回路が IC 上で形成可能である⁷⁻⁸⁾。SOI 基板は、半導体の能動層の直下に数 μm 程度の絶縁層があるものの、マイクロ波的には、絶縁層の下層の低抵抗シリコン基板が見えてしまうため、伝送線路損失の低減効果が少ない。ただし、SOI 基板のシリコン基板を高抵抗シリコン基板にすれば、化合物半導体と同様、低い誘電体損失特性が実現でき

る⁹⁾。②に関しては、ディープトレンチやウェル構造の工夫、あるいは SOI 基板の採用などにより、基板上での高アイソレーション化が図られている。

- (2) トランジスタの高集積化にともない、接続用配線の多層化が進んできた。0.8 μm プロセスでは、配線用金属層として3~4層が一般的であったが、0.18 μm では6層程度、90 nm では8層程度が一般的である。通常の化合物半導体プロセスでは、金属層として1~2層が一般的である。ただし、配線の立体交差部には、エアブリッジ配線が追加されるため、実質的には2~3層といえる。

1-2-3 シリコン MMIC 用受動回路素子

(1) 容量

化合物半導体の MMIC と同様の Metal-Insulator-Metal (MIM) 容量の他、Poly Si-Insulator-Poly Si 容量 (Poly シリコン容量と略すこともある)、MOS 容量などが使われる。図 1・5 に示したように、MIM 容量は、他の容量に比べて、上層 (基板からの距離の遠い) に構成されるため、基板との寄生容量による損失の影響が少なく、高周波に適した構成といえる。Poly シリコン容量は、比較的下層に作られるため、MIM 容量に比べて基板との寄生容量の影響を受けやすいといえる。Poly シリコン容量の構造例を図 1・6 に示す。この場合、上層、下層の両電極ともに、トランジスタなどの電極に使われる高ドーパの多結晶シリコン (Poly シリコン) を用いているが、上層電極に関しては、金属を被せることで直列抵抗成分を低減している。MOS 容量は、MOSFET のゲート容量を容量素子として用いたものであり、上記 2 種類の容量に比べて大きな容量が実現できるものの、ドレイン-ソース側の端子の基板との寄生容量値が最も大きく、マイクロ波帯では接地とのバイパス容量などに使われる程度である。これ以外には、容量値が小さい場合、化合物半導体の MMIC と同様、インターディジタル容量なども使われることがある。

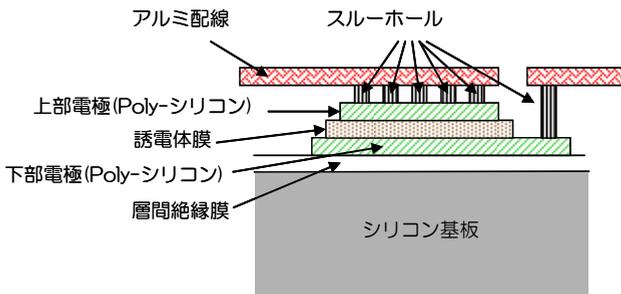


図 1・6 Poly シリコン容量の構造例 (断面図)

(2) インダクタ

インダクタとしては、化合物半導体の MMIC と同様に、高インピーダンス線路、スパイラルインダクタがある。図 1・7 にスパイラルインダクタの構造例を示す。化合物半導体の MMIC では、巻き線配線と交差する部分をエアブリッジ配線で接続するが、シリコン MMIC の場合、最も損失の少ない、最上層の配線層 (図では、第 5 アルミ配線層) を巻き線に用い、次いで

損失の少ない最上層直下の配線層（第4アルミ配線層）を交差する引き出し線路に用いている。なお、最上層の配線は、シリコン基板からの距離が最も離れているため、基板による誘電体損失を受けにくく、かつ、多層配線時の平坦化プロセスである Chemical Mechanical Polishing (CMP) を行う必要がないため、数 μm の厚い金属膜を用いて導体損失を抑えることができるという利点がある。このため、高インピーダンス線路をはじめ、 50Ω の伝送線路などマイクロ波の伝送線路は、最上層の配線を用いることが多い。

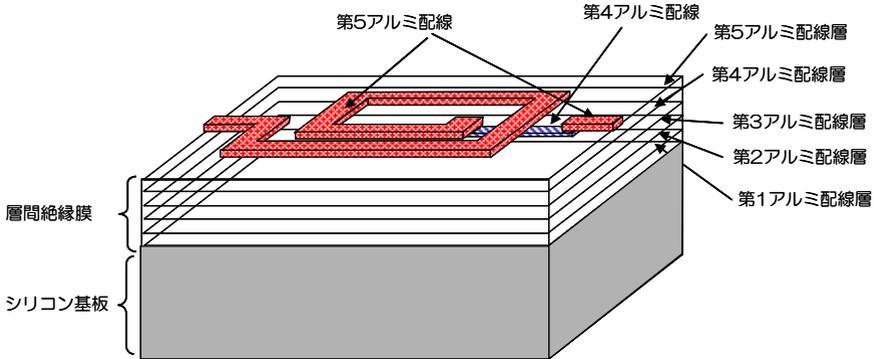


図1-7 スパイラルインダクタの構造例（斜視図）

(3) 抵抗

抵抗としては、化合物半導体の MMIC と同様に、トランジスタの電極などに用いられるドーブした半導体あるいは、抵抗専用の薄膜が用いられる。ただし、一般的にシリコン MMIC の場合、アナログ IC のプロセスがベースになっていることもあり、化合物半導体に比べて使える抵抗の種類が多く、温度特性やシート抵抗値などにより使い分けられる。

■参考文献

- 1) Alfred Ertel, "A 9 GHz silicon monolithic integrated TR switching circuit," 1996 IEEE International Electron Devices Meeting, vol.12, p.110, 1996.
- 2) J. Bernard Coughlin, Rik J. H. Grelsing, Pieter J. W. Jochems, Henk J. M. van der Laak, "A monolithic silicon wide-band amplifier from DC to 1 GHz," IEEE Journal of Solid-State Circuits, vol.8(6), pp.414-419, Dec. 1973.
- 3) D. Harame, L. Larson et al., "SiGe-HBT technology: device and application issues," 1995 IEEE International Electron Devices Meeting, pp.731-734, Dec. 1995.
- 4) Mohammad Madhiahian, Kiyotaka Imai, Hiroshi Yoshida, Yasushi Kinoshita, Tohru Yamazaki, "L-C-band low-voltage BiCMOS MMIC's for dual-mode icellular-LAN applications," IEEE Trans. Microwave Theory and Techniques, vol.44(11), pp.2025-2031, Nov. 1996.
- 5) Noriharu Suematsu, Masayoshi Ono, Shunji Kubo, Yoshitada Iyama, Osami Ishida, "L-band internally matched Si-MMIC front-end," IEEE Trans. Microwave Theory and Techniques, vol.44(12), pp.2375-2378, Dec. 1996.
- 6) A.Rofougaran, James Y.-C.Chang, Maryam Rofougaran, Asad A.Abidi, "A 1 GHz CMOS RF front-end IC for a direct-conversion wireless receiver," IEEE Journal of Solid-State Circuits, vol.31(7), pp.880-897, Jul. 1996.
- 7) Masayoshi Ono, Noriharu Suematsu, Shunji Kubo, Kensuke Nakajima, Yoshitada Iyama, Tadashi Takagi, Osami Ishida, "Si substrate resistivity design for on-chip matching circuit based on electro-magnetic simulation," IEICE Trans. Electron., vol.E84-C(7), pp.923-930, Jul. 2001.
- 8) Robb A.Johnson, et al., "Advanced thin-film silicon-on-sapphire technology: microwave circuit applications,"

IEEE Trans. Electron Devices, vol.45(5), pp.1047-1054, May 1998.

- 9) F.Gianesollo, et.al., "State of the art integrated millimeter wave passive components and circuits in advanced thin SOI CMOS technology on high resistivity substrate," 2005 IEEE International SOI Conference, pp.52-53, Oct. 2005.

■10 群 - 7 編 - 1 章

1-3 高周波化合物トランジスタ

(執筆著者: 松永高治) [2008 年 11 月 受領]

本節ではモノリシックマイクロ波集積回路 (MMIC) を構成する能動デバイスである化合物半導体トランジスタの特徴について述べ、MMIC の高性能化の観点より、高周波化、低雑音化、高出力化に関するアプローチを説明する。

1-3-1 化合物半導体トランジスタの分類

高周波 MMIC に使われる化合物半導体トランジスタは、III-V 族半導体を使った GaAsMESFET, GaAsHEMT, InPHEMT, GaAsHBT などが代表的である。最近では GaNFET の適用も始まっている。なかでも GaAs 系化合物半導体は Si に比べて 5 倍以上の高い電子移動度をもつことや、飽和速度が Si の 2 倍などの特徴により、特に無線通信などの高速、高周波動作が必要とされるアプリケーションに使用されている。近年、Si 系トランジスタも微細化が進み、化合物半導体トランジスタと同等以上の高周波特性を実現する報告例も多くなってきているため、Si ベースの高周波 CMOS (RF-CMOS) による高周波 MMIC の報告が多くなっている。

高周波 MMIC に求められる代表的性能及び機能は、高出力性、低雑音性、高集積性があるが、高出力特性と高耐圧性を併せもつ化合物半導体トランジスタは上記特性に対応し、高出力増幅器や低雑音増幅器などへの展開に適している。また、CMOS は高機能性、低コスト性が期待される。したがって、図 1・8 に示すように、化合物半導体トランジスタと CMOS の適用は、それぞれの特徴を活かした無線アプリケーションのなかで選択される。

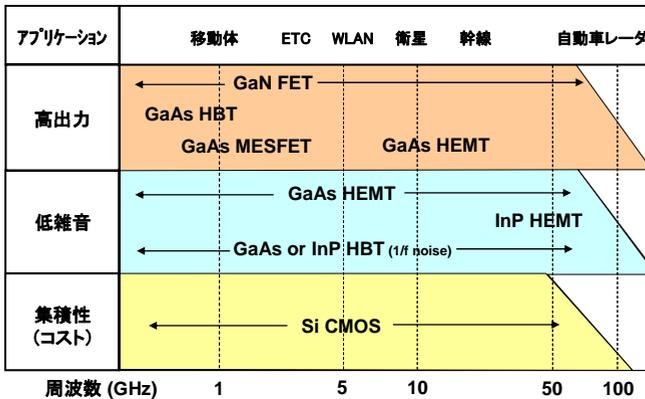


図 1・8 化合物半導体トランジスタ及び Si トランジスタと無線アプリケーション

化合物半導体トランジスタは、動作原理上、FET (電界効果トランジスタ) と HBT (ヘテロ接合バイポーラトランジスタ) に大きく分けられる。GaAs MESFET の代表的構造と真性部 (ゲート直下) と外部抵抗を加えた簡略化した等価回路を図 1・9 に示す。半絶縁性 GaAs 基板上に不純物ドーピングされたチャネル層を形成し、ソース電極、ドレイン電極はオー

ミック接続を施す。ゲート電極はショットキー接続され、チャンネル中のキャリアを制御することで整流作用を行う。

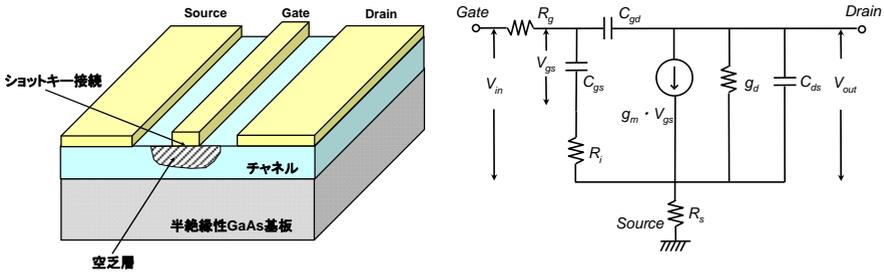


図 1・9 GaAs MESFET（電界効果トランジスタ）の構造図と等価回路

FET の高周波特性を図る指標として、電流の増幅率を示す遮断周波数 (f_T)、電力の増幅率を示す最大発振周波数 (f_{max}) がある。等価回路パラメータを使って最も簡略化して表記する式(1・1)のようになる¹⁾。

$$f_T = \frac{g_m}{2\pi C_{gs}}, \quad f_{max} = \frac{f_T}{2[(R_g + R_i + R_s)g_d + 2\pi f_T C_{gd}(R_i + R_s + 2R_g)]^{1/2}} \quad (1 \cdot 1)$$

したがって、FET における f_T, f_{max} の向上には g_m の増大、 $g_d, C_{gd}, C_{gs}, R_g, R_s$ の低減が必要になる。

次に、HBT の代表的構造と真性部と外部抵抗を加えた簡略化した等価回路を図 1・10 に示す。HBT は高ドーパ GaAs ベース構造、AlGaAs または InGaP エミッタ構造、AlGaAs コレクタ構造が基本である。エミッタ電極に正方向電圧を印加することで少数キャリアをベース中に注入し、再結合で消滅したキャリア以外の拡散電流がコレクタ電流となるが、このときに β （電流増幅率）が大きいほど、電流駆動能力が大きい。 β を大きくするにはベースからエミッタへの正孔注入電流を低減することが重要であり、バンドギャップ障壁を作ることができるヘテロ接合構造は、極めて大きな β を得ることに適している。

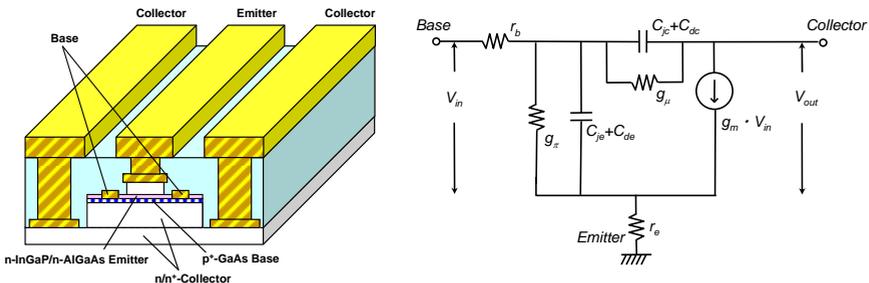


図 1・10 GaAs HBT（ヘテロ接合バイポーラトランジスタ）の構造図と等価回路

β は HBT の f_T と等価であり、 f_T はベース-エミッタ間及びベース-コレクタ間の接合容量と拡散容量の関係から、 f_{\max} はベース抵抗 (r_b)、ベース-コレクタ間の接合容量 (C_{jc}) により近似により式(1・2)のように記述される¹⁾。

$$f_T = \frac{g_m}{2\pi(C_{je} + C_{de} + C_{jc} + C_{dc})}, \quad f_{\max} = \frac{\sqrt{f_T}}{\sqrt{8\pi r_b C_{jc}}} \quad (1 \cdot 2)$$

したがって、HBT における f_T, f_{\max} の向上には g_m の増大、 $r_b, C_{je}, C_{de}, C_{jc}, C_{dc}$ の低減が必要になる。

化合物半導体トランジスタとしての FET 及び HBT の高周波化は、キャリア濃度の増加、ゲート長の短縮、ベース層厚の薄層化などのように、真性部の g_m の増大化と容量成分の低減化、寄生抵抗の低減化が必要になる。しかしながら、これら高周波化を推し進めると素子耐圧の劣化を招くことが多いため、用途に合わせて構造を決定する必要がある。次項では、高周波化合物半導体デバイスを MMIC 展開する場合に重要な特性指標になる、低雑音化と高出力化の観点から、低雑音トランジスタ、高出力トランジスタの基礎及び開発例を示す。

1-3-2 低雑音トランジスタ

高周波デバイスの雑音は、大きく分けて熱雑音、ショット雑音、G-R 雑音、 $1/f$ 雑音などがあり、高周波帯では熱雑音、ショット雑音が、低周波帯では G-R 雑音、 $1/f$ 雑音が主因である。FET 及び HBT の高周波帯での雑音指数 (F) は Fukui の式で経験的に記述されており、図 1・9、図 1・10 のそれぞれの等価回路により、式(1・3)のように記述される²⁾。

$$\begin{aligned} \text{FET:} \quad F &= 1 + 2k \frac{f}{f_T} \sqrt{g_m (R_g + R_s)} \\ \text{HBT:} \quad F &= 1 + \left(\frac{f}{f_T} \right)^2 g_m r_b \left[1 + \left\{ 1 + \left(\frac{f}{f_T} \right)^2 \frac{2}{g_m r_b} \right\}^{1/2} \right] \end{aligned} \quad (1 \cdot 3)$$

これより、高周波帯での低雑音化には g_m の増大、 R_g, R_s, r_b の低減が必要になる。特に HBT の雑音は FET に比較して、周波数の自乗にかかわる項があり、高周波帯での雑音は一般に大きい。一方、低周波帯での雑音特性では $1/f$ 雑音が主因であり、これは半導体表面、結晶界面での欠陥、トラップによるキャリア捕獲放出により発生するエネルギーといわれているが、マクロ的にはこれら捕獲放出時定数が複数存在することによる、信号の揺らぎ成分 (-3 dB/oct.) と考えられる。したがって G-R 雑音も広義の意味での $1/f$ 雑音といえる。 $1/f$ 雑音 (S_I) を上記の発生原因より定量的に導くと、電流量 (I)、動作領域 (S)、動作領域での全キャリア数 (N) より、式(1・4)のように記述される³⁾。

$$S_I \propto \frac{1}{f} \cdot \frac{I^2}{S^2} \cdot \frac{\Delta N}{N} \quad (1 \cdot 4)$$

$1/f$ 雑音の低減は動作領域当たりの電流の低減が有効であるが、表面界面での再結合電流に関わるキャリア数 (ΔN) の低減が必要である。表面状態の影響を受けにくい HBT が FET よりも一般には優れている。また、発振器の位相雑音は $1/f$ 雑音起因によるものであり、低

位相雑音化が求められる発振器への適用には HBT が適している。

高周波帯での低雑音化は g_m を増加させることが非常に有効であり、化合物半導体では GaAs よりも InP の方が優れている。InP 系ヘテロ接合 FET の特性として、ゲート長 $0.1 \mu\text{m}$ の短ゲートで、 g_m は 900 mS/mm と極めて大きい値が実現されている。雑音指数として、 26 GHz にて 0.6 dB (実測)、 60 GHz にて 1.4 dB (予測) が得られている⁴⁾。低周波帯での低雑音化に優れる HBT では、表面再結合電流を軽減した InAlAs/InGaAs 系において極めて低い $1/f$ 雑音特性が実現されている⁵⁾。

1-3-3 高出力トランジスタ

高周波デバイスの出力特性は、最大電流 (I_{max})、耐圧 (V_{br}) で決定される。このとき、電流、電圧波形が正弦波で表される線形領域での最大出力値 ($P_{\text{out(max)}}$)、電流、電圧波形が方形波で表される非線形領域での飽和出力値 ($P_{\text{out(sat)}}$) は、最も簡易な表記として直流特性より式(1・5)のように記述できる⁶⁾。

$$P_{\text{out(max)}} \approx \frac{1}{\sqrt{2}} \cdot \frac{1}{2} I_{\text{max}} \cdot \frac{1}{\sqrt{2}} \cdot \frac{1}{2} V_{br} = \frac{1}{8} I_{\text{max}} \cdot V_{br}$$

$$P_{\text{out(sat)}} \approx \frac{1}{\sqrt{2}} \cdot \left\{ \frac{4}{\pi} \cdot \frac{1}{2} I_{\text{max}} \right\} \cdot \frac{1}{\sqrt{2}} \cdot \left\{ \frac{4}{\pi} \cdot \frac{1}{2} V_{br} \right\} = \frac{2}{\pi^2} I_{\text{max}} \cdot V_{br} \quad (1 \cdot 5)$$

したがって、FET 及び HBT の高出力化には I_{max} 、 V_{br} の増大が必要になる。しかしながら、FET では表面準位問題が存在し、 I_{max} あるいは g_m の周波数分散による出力低下が発生する。HBT は表面準位問題が少ないが、高ドーピングにともなう V_{br} の低下が高出力化への課題である。FET の表面準位は、ゲート-オーミック電極間の表面に存在する表面準位へのキャリア電子の捕獲放出過程に起因している。表面準位を回避する構造として、アンドープの GaAs 層を使った半導体パッシベーション導入によるゲート電極埋込型により表面準位を空間的に分離した構造が提案されている⁷⁾。これにより MESFET の出力、効率特性が著しく改善した。更に、表面準位を電氣的に制御させる構造として、FET のゲート電極とドレイン電極上の保護膜上に第 4 の電極を配置し、この電極とゲート電極を接続させるフィールドプレート構造 (FP 電極) が提案されている (FPFET)⁸⁾。FP 電極の表面電界制御により、 I_{max} の周波数分散を解消させた。更に、ピンチオフでのゲート電極端での電界緩和を促し、 V_{br} の向上も図られる。その結果、MESFET の電力密度の著しい改善を実現している。また、FPFET により高電圧動作が可能になり、高出力増幅器の低ひずみ化に大いに寄与している⁹⁾。MESFET 以上に高電流化を図った構造として、高出力ヘテロ接合 FET (HJFET) がある。HJFET は MESFET に比べて電子飽和速度が約 2 倍大きい。したがって、電流密度、 g_m の向上で f_T や電力利得が MESFET より大きくなる¹⁰⁾。しかしながら、2 次元電子ガス形成のための変調ドーピング濃度が 10^{18} cm^{-3} 程度と高く、耐圧が著しく劣化する。この課題はダブルリセス構造によるゲート電極端での電界集中を緩和することで改善されている¹¹⁾。電流、耐圧特性を材料的に大きく改善するのが GaN 系 FET である。GaN は、エネルギーバンドギャップが 3.4 eV あり、高電圧下のイオン化率が小さく V_{br} が極めて大きい。これにより高電圧動作が可能になる。格子不整合による分極電荷が発生することで、大きいキャリア密度を得ることができる。GaAs HJFET に比較して電流密度で 2 倍程度、耐圧は 10 倍程度を有し電力密度の増大が可能にな

る¹²⁾。しかしながら、結晶技術やGaAsと同様の表面単位が存在し、材料の低コスト化と併せて、今後の改善が普及の鍵である。

高出力HBTは、単一電源動作が可能という特徴から携帯端末への適用が進んでいる。しかしながら、高ドーピングにともなう高電流密度特性は、ベース-エミッタ間、及びコレクター-ベース間の耐圧を劣化させる。また発熱が大きい課題がある。そこで、エミッタ層をAlGaAs層からInGaP層にすることで高電流動作での信頼性確保との温度依存性を改善している。更には、エミッタ電極からの放熱、基板薄層化などの施策により、WCDMA規格時の効率が45%以上と良好な特性を実現している¹³⁾。以上、高出力デバイスに関し、MMICを含む高出力増幅器に応用した場合の、出力特性と周波数の関係を図1・11に示す。

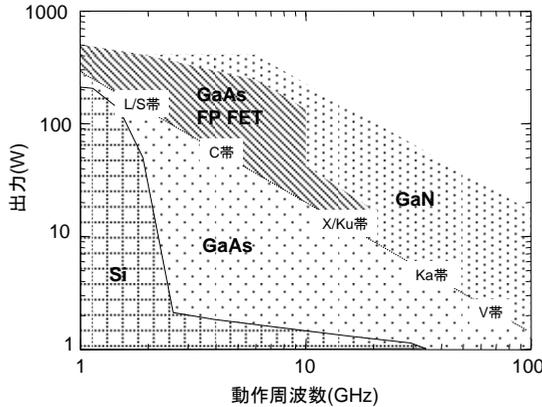


図1・11 高出力デバイスの出力と周波数の関係

■参考文献

- 1) 本城和彦, “マイクロ波半導体回路 —基礎と展開—,” 日刊工業新聞社.
- 2) H. Fukui, “Optimal noise figure of microwave GaAs MESFETs,” IEEE Trans. ED, vol.26, pp.1032-1037, 1979.
- 3) O. Jantch, “Flicker (1/f) noise generated by a random walk of electron in interfaces,” IEEE Trans. ED, vol.34, pp.1100-1115, 1987.
- 4) A. Fujihara, et al., “High performance 60-GHz coplanar MMIC LNA using InP heterojunction FETs with AlAs/InAs superlattice layer,” IEEE MTT-S Digest, pp.1091-1094, 2000.
- 5) S. Tanaka, et al., “Low-frequency noise performance of self-aligned In-AlAs/InGaAs heterojunction transistor,” Electron. Lett., vol.26, no.18, p.1439, 1990.
- 6) 福田益美, 平地康剛, “GaAs 電界効果トランジスタの基礎,” 電子情報通信学会.
- 7) H. Takahashi, et al., “STEP-RECESSED GATE GaAs FETs WITH AN UNDOPED SURFACE LAYER,” IEEE IEDM Technical Digest, vol.2, pp.259-262, 1991.
- 8) K. Asano, et al., “Novel High Power AlGaAs/GaAs HFET with a Field-Modulating Plate Operated at 35 V Drain Voltage,” IEEE IEDM Technical Digest, vol.2, pp.59-62, 1998.
- 9) K. Matsunaga, et al., “A Low-Distortion 230 W GaAs Power FP-HFET Operated at 22 V for Cellular Base Station,” IEEE IEDM Technical Digest, vol.2, pp.393-396, 2000.
- 10) K. Hikosaka, et al., “A microwave power doubleheterojunction high electron mobility transistor,” IEEE Electron Device Letters, vol.6, pp.341-343, 1985.
- 11) K. Matsunaga, et al., “High power pseudomorphic double-heterojunction field effect transistors with 26 V

- gate-drain breakdown voltages,” Int Symp on Gallium Arsenide and Related Compounds, pp.749-754, 1992.
- 12) T. Kikkawa, et al, “Highly uniform AlGaIn/GaN power HEMT on a 3-inch conductive N-SiC substrate for wireless base station application,” IEEE CSIC Symposium, pp.77-80, 2005.
 - 13) K. Yamamoto, et al, “A 3.2-V operation single-chip AlGaAs/GaAs HBT MMIC power amplifier for GSM900/1800 dual-band applications,” IEEE MTT-S Digest, pp.1397-1400, 1999.

■10 群 - 7 編 - 1 章

1-4 高周波シリコントランジスタ

(執筆者：小野直子，伊藤信之) [2009年1月 受領]

1-4-1 バイポーラトランジスタ (Bipolar Transistor)

バイポーラトランジスタは，npn もしくは pnp の三重拡散層構造をもち，エミッタからベースに注入された多数キャリア (npn は電子，pnp はホール) が薄いベース層で再結合することなくコレクタに到達する際，ベースからエミッタへ注入される少数キャリア (npn はホール，pnp は電子) により多数キャリアを制御することでトランジスタとしての動作をする。

図 1・12 に典型的な npn トランジスタの構造断面図を示す。npn トランジスタは，p 基板上に不純物密度の高い n 型のコレクタ埋込層を有し，その直上に不純物密度の低い n 型のコレクタ層 (通常はエビ層)，p 型の内部ベース層，n 型のエミッタ拡散層で構成される。高周波特性の向上のためには，内部ベース層を極力薄くする必要があり，その領域に直接金属-半導体コンタクトを形成することは困難であるため，ベースのコンタクトをとる領域として外部ベースを設ける。

図 1・13 に npn トランジスタと pnp トランジスタの記号を示す。各端子はエミッタ (E)，ベース (B)，コレクタ (C) を示している。

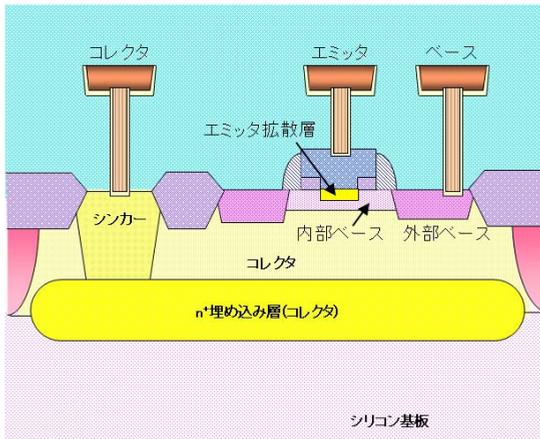


図 1・12 npn トランジスタの断面図

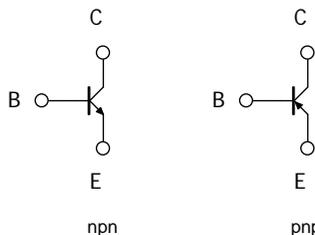


図 1・13 npn トランジスタと pnp トランジスタの記号

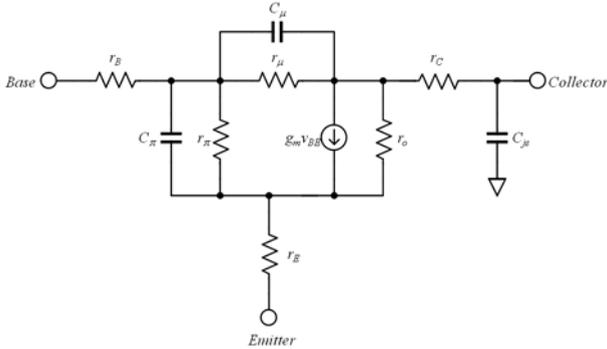


図 1・14 npn トランジスタの小信号等価回路

図 1・14 に npn トランジスタの小信号等価回路を示す。トランジスタのコア部分に対して、実際のトランジスタにおいては寄生容量、寄生抵抗を考慮しなければならない。

バイポーラトランジスタの電流電圧式は式(1・6)で、トランスコンダクタンス (g_m) は式(1・7)で与えられる。

$$I_C = I_S \left\{ \exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right\} \quad (1 \cdot 6)$$

$$g_m = \frac{qI_S}{kT} \exp\left(\frac{qV_{BE}}{kT}\right) \approx \frac{qI_C}{kT} \quad (1 \cdot 7)$$

ここで、 I_C はコレクタ電流、 I_S は飽和電流、 q は電子の電荷、 k はボルツマン定数、 T は絶対温度、 V_{BE} はベース-エミッタ間電圧である。

トランジスタの高周波特性を表す重要なパラメータに、遮断周波数 (f_T : Cut-off Frequency) と最大発振周波数 (f_{max} : Maximum Oscillation Frequency) がある。 f_T は電流利得 $|h_{21}|$ が 1 となる周波数で定義する。バイポーラトランジスタの f_T は式(1・8)で与えられる。

$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)} \quad (1 \cdot 8)$$

f_{max} は最大単方向トランスデューサ電力利得または最大有能電力利得が 1 になる周波数で定義する。バイポーラトランジスタの f_{max} は式(1・9)で与えられる。

$$f_{max} = \sqrt{\frac{f_T}{8\pi C_\mu r_{bb}}} \quad (1 \cdot 9)$$

バイポーラトランジスタの遮断周波数は、解析的に式(1・10)のように与えられる。

$$f_T = \frac{1}{2\pi \left\{ \frac{kT}{qI_C} C_\pi + \frac{W_B^2}{2D_B} + r_{CS} C_\mu + \frac{x_S}{2v_S} \right\}} \quad (1 \cdot 10)$$

ここで、 W_B は内部ベース幅、 D_B はベース中の電子の拡散係数、 r_{CS} はコレクタ飽和抵抗、 x_S はベース-コレクタ接合の空乏層幅、 v_s は電子の飽和速度である。

バイポーラトランジスタの遮断周波数を向上させるには、 W_B の縮小が最も効果があることがわかるが、それは素子耐圧とのトレードオフとなる。近年、ベース層に SiGe を用いたバイポーラトランジスタを用いることで、電子の注入効率を向上させ、遮断周波数を向上させる技術が一般的となっている。

RF回路用のプロセスとしては、バイポーラトランジスタと CMOS を組み合わせた BiCMOS プロセスがよく用いられている。

1-4-2 CMOS (Complementary Metal Oxide Semiconductor)

CMOS は NMOS と PMOS で構成され、従来、デジタル回路用のトランジスタとして微細化が進んできたが、近年、その微細加工技術の発展により、高周波特性が向上し高周波回路に適用されるようになってきた。特に、移動度の高い電子をキャリアとする NMOS は、PMOS に比べて大きなトランスコンダクタンスを得られるため、高周波回路に適している。

図 1・15 に NMOS の断面構造を示す。NMOS は、p 基板 (p-well) 上に薄いゲート絶縁膜及びゲート電極を構成し、その両脇に高濃度の n 型不純物よりなるソース及びドレインを擁する。なお、p 基板は、バルク (Bulk) もしくはボディ (Body) と呼ぶ。

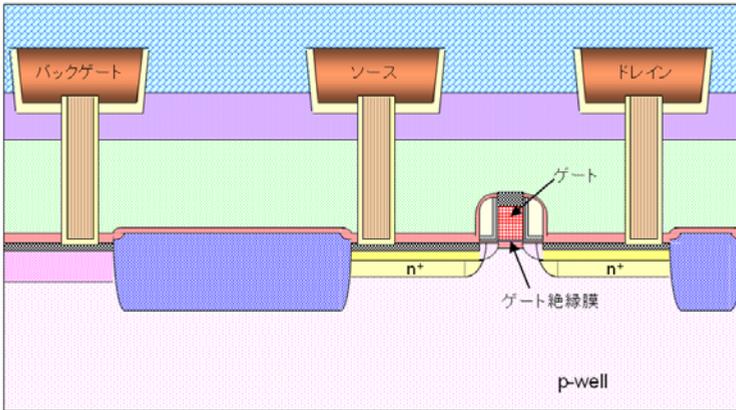


図 1・15 MOS トランジスタの構造

図 1・16 に NMOS と PMOS の記号を示す。各端子はゲート (G)、ソース (S)、ドレイン (D)、バックゲートあるいはボディ (B) を示している。

図 1・17 に NMOS の高周波等価回路モデルを示す。高周波モデルは真性トランジスタ部分と寄生成分により構成されている。ゲート/ドレイン/ソース端子と対応する NMOS 真性領域の間の直列寄生抵抗と直列寄生インダクタ、ソース/ドレインとバックゲートの間の p 基板に相応する寄生抵抗、ゲート-ドレイン間及びゲート-ソース間の寄生容量をそれぞれ考慮する必要がある。

MOSFET は電界効果トランジスタであるため、ゲートに電圧を与えることにより、ゲート

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1 \cdot 11)$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (1 \cdot 12)$$

ここで、 I_D はドレイン電流、 V_{DS} はドレイン-ソース間電圧、 V_{GS} はゲート-ソース間電圧、 V_{TH} はしきい値電圧を表す。 μ_n は電子の移動度、 C_{ox} は単位面積当たりのゲート容量、 W はゲート幅、 L は実効チャンネル長を表す。

また、MOSFET の g_m は式(1・13)で与えられる。

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = \frac{2I_D}{V_{GS} - V_{TH}} \quad (1 \cdot 13)$$

MOSFET の f_T 、 f_{max} は式(1・14)、式(1・15)で与えられる。

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (1 \cdot 14)$$

$$f_{max} = \sqrt{\frac{f_T}{8\pi r_g C_{gd}}} \quad (1 \cdot 15)$$

1-4-3 DMOS (Double-diffused MOSFET)

CMOS に用いられる MOSFET はソース/ドレインが対称であるのに対して、DMOS は高耐圧特性を得るために、ドレイン側の拡散層がゲートに対してオフセットになっている特徴を有している。図 1・18 に DMOS の断面構造を示す。この構造故に、図 1・19 に示すように DMOS の耐圧と遮断周波数の積は CMOS のそれより大きい値を得ることができる。つまり、同じ遮断周波数の DMOS と NMOS を比較した場合、DMOS の耐圧は CMOS のそれより、大きい値を得ることができる。また、DMOS は CMOS プロセスに対して数工程の工程追加により作成することが可能であり、バイポーラトランジスタと CMOS を同一ウェーハ上に実現する BiCMOS のような、多くの追加工程は必要としない。このような利点に立脚し、近年、DMOS を用いた高周波電力増幅器の製品化が進んでいる。

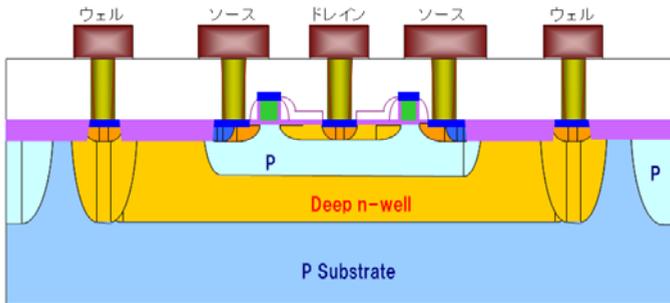


図 1・18 DMOS の断面図

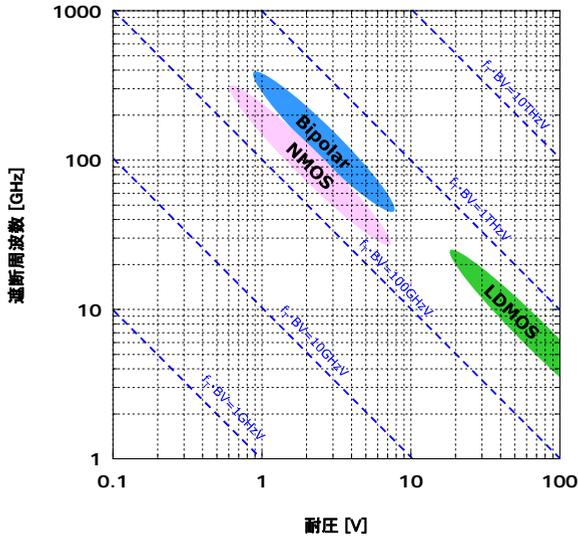


図 1・19 トランジスタの耐圧と遮断周波数

1-4-4 SOI (Silicon On Insulator)

SOI トランジスタは、素子作成領域と基板が絶縁体によって分離された構造をもち、接合容量の低減、多段積み回路でのボディ効果の排除などの効果が得られ、回路動作速度の向上が期待できる。図 1・20 に SOI-MOSFET の断面構造を示す。

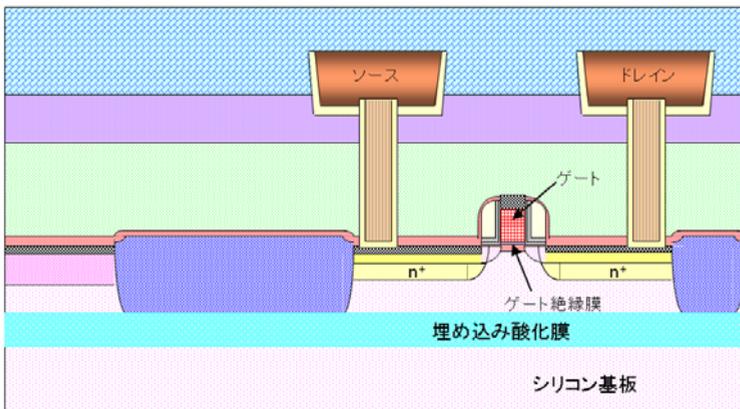


図 1・20 SOI-MOSFET の断面図

SOI の構造は大きく二つに区別され、素子形成層が比較的厚い部分空乏型と、素子形成層を極薄膜に形成する完全空乏型に分かれる。部分空乏型素子では、従来のバルク素子とほぼ

同様の製造プロセスを用いることができる反面、素子特性においては基板浮遊効果の制御が課題となる。これは特にアナログ特性では重要な、飽和領域での電流安定性が失われる。一方、完全空乏型素子では、上記基板浮遊効果を排除することができ、SOI 素子の特性優位性を維持しつつ安定な飽和電流特性を得ることができるが、ソース/ドレイン領域の寄生抵抗増加が問題となり、製造プロセス上の工夫が必要となる。また、SOI 構造のメリットとして、ウェルが不要となり、高抵抗のシリコン基板を用いることが可能なため、受動素子の Q 値向上や、クロストークノイズの低減を実現できる。

■参考文献

- 1) David J. Roulston, "Bipolar Semiconductor Devices," McGraw-Hill Publishing Company, ISBN 0-07-054120-5.
- 2) Kenneth R. Laker and Willy M.C. Sansen, "Design Integrated Circuits and Systems," McGraw-Hill International Editions, ISBN 0-07-113458-1.
- 3) Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill Higher Education, ISBN 0-07-118839-8.
- 4) Thomas H. Lee, "The Design of CMOS Ratio-Frequency Integrated Circuits," CAMBRIDGE UNIVERSITY PRESS, ISBN 0 521 83539 9.
- 5) Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, "ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS," John Wiley & Sons, Inc., ISBN
- 6) 伊藤康之, 高木 直, "MMIC 技術の基礎と応用," リアライズ社, ISBN 4-947655-87-9.
- 7) Takayasu Sakkurai, Akira Matsuzawa, Takakuni Douseki, "Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications," Springer, ISBN 0-387-29217-9.
- 8) 吉見 信, "SOI デバイス技術-実践的基礎と応用-, " ED リサーチ社, ISBN 4-901790-36-6.

■10 群 - 7 編 - 1 章

1-5 ダイオード

(執筆者：杉山隆啓) [2009年5月 受領]

ダイオードは、ショットキーダイオード、バラクタダイオード、PIN ダイオード、ガンダイオード、インパットダイオード、トンネルダイオード、ツェナーダイオードなどあるが、MMIC 内で用いられているのは、主としてバラクタダイオード、ショットキーダイオード、PIN ダイオードであり、以下これらダイオードについて述べる。

1-5-1 可変容量 (バラクタ) ダイオード

可変容量 (バラクタ) ダイオードは、逆バイアス印加による接合容量の変化を利用し、電圧制御発振器 (VCO) における発振周波数変調、周波数通倍器用などに用いられる。

ディスクリートデバイスでは、超階段接合を形成できるため、電圧変調時の容量比を大きくとることができ、VCO において発振周波数変調範囲を広くすることが可能となる。一例として、ガンダイオードと組み合わせることにより、シンプルな回路構成にて、低位相ノイズ、高出力特性を示す VCO がある。HEMT 構造におけるチャネル領域の負性抵抗を利用したプレーナ型ガン発振器にて 100 GHz を超える発振¹⁾、マイクロストリップ線路上に実装する 76 GHz 発振のプレーナ型ガン VCO が報告されている (図 1・21)²⁾。

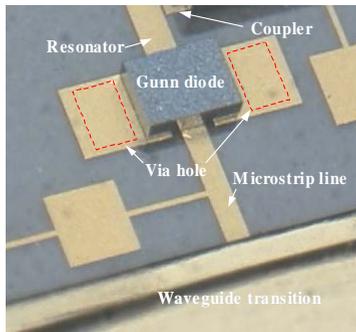


図 1・21

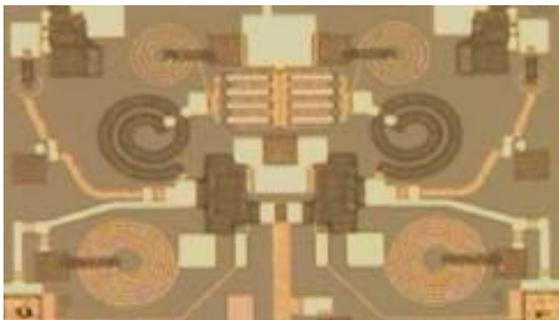


図 1・22

一方、MMIC においては、HBT プロセスでは、ベース-コレクタ間接合またはベース-エミッタ間接合、FET プロセスにおいては、ゲートショットキー接合を用いて形成する。半絶縁性基板上 n 型 GaAs エピ成長層により形成したバラクタダイオードにおいて、電極直下部分のエピ成長層を完全空乏化させることにより容量比を大きくした例がある³⁾。図 1・22 にバラクタダイオード内蔵 12 GHz GaAs-HEMT VCO を示す⁴⁾。

1-5-2 ショットキーダイオード

ショットキーダイオード (SBD) は、順方向電圧が低く、電流電圧特性において非線形性を示すため、これらの特徴を利用し、検波回路、ミキサ回路などに用いられる。また、発振器における発振周波数の温度補正に使用する (サーマルダイオード) 例もある。

使用する半導体基板としては、GaAs と比較して InP の方がミキサ特性において、低ノイズ、高ゲインが期待できる。n 型 GaAs 上に形成したショットキーダイオードを用いて、 $1/f$ ノイズを低減した 76 GHz 自動車レーダシステム向けミキサがある⁵⁾。また、94 GHz 動作 InP-HBT ダイオードミキサにおいて、GaAs-HEMT ダイオードミキサと比較した場合、低いローカルパワーにおいて、17 dB 程優れたノイズ特性が得られている⁶⁾。n 型 GaAs 上に形成したショットキーダイオードの SEM 写真及び 76 GHz 動作ミキサのチップ写真をそれぞれ図 1・23、図 1・24 に示す⁷⁾。チップサイズは 1.9 mm × 2.0 mm である。

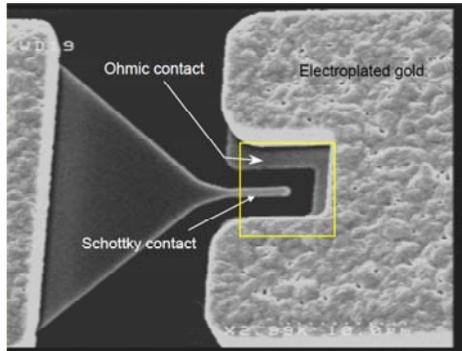


図 1・23

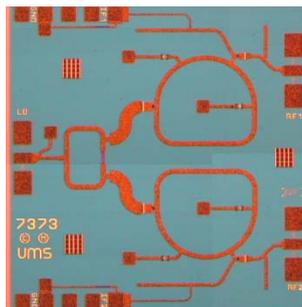


図 1・24

1-5-3 PIN ダイオード

PIN ダイオードは、スイッチ、リミッタ、位相シフタなどに用いられ、特にスイッチ用途においては、低損失と高いアイソレーションが要求される。エピ成長により PIN 構造を形成しスイッチ MMIC を実現する場合が多いが、HBT プロセスにおいて、ベースコレクタ接合にて PIN 構造を形成⁸⁾する例もある。石英上のマイクロストリップ線路評価系を用いて、94 GHz GaAs-PIN スイッチにて損失 1.0 dB、アイソレーション 30 dB を実現⁹⁾、InP-PIN スイッチにて I 層をバンドギャップの小さい InGaAs 層を用い、低いオン抵抗を実現している¹⁰⁾。アイソレーション 32 dB 以上挿入損失 2 dB 以下の特性が得られた自動車レーダ用 76~77 GHz 帯 GaAs SP 3T PIN スイッチ MMIC のチップ写真を図 1・25 に示す。チップサイズは 2.2 mm×1.4 mm である¹¹⁾。

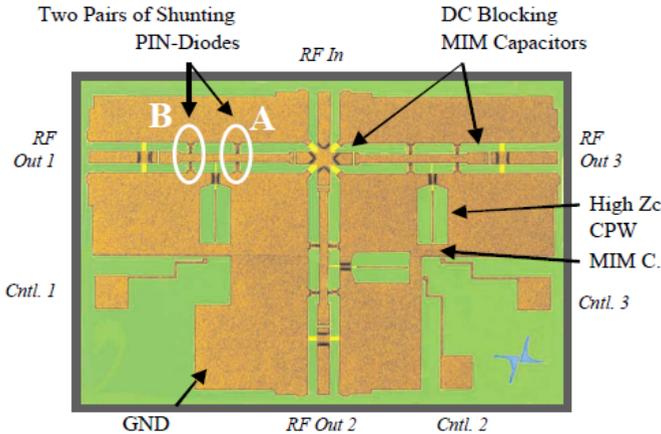


図 1・25

■参考文献

- 1) A. Khalid, N. J. Pilgrim, G. M. Dunn, M. C. Holland, C. R. Stanley, I. G. Thayne, and D. R. S. Cumming, "A Planar Gunn Diode Operating Above 100 GHz," IEEE Electron Device Lett., vol.28, no.10, pp.849-851, Oct. 2007.
- 2) Y. Fukasawa, K. Kawaguchi, T. Yoshida, T. Sugiyama, and A. Nakagawa, "High-Performance 76-GHz Planar Gunn VCO," IEICE Trans Electron., vol.E91-C, no7, pp.1098-1103, Jul. 2008.
- 3) B. N. Scott, G. E. Brehm, "Monolithic Voltage Controlled Oscillator for X- and Ku-Bands," IEEE Trans. Microwave Theory and Tech, vol.MTT-30, no.12, pp.2172-2177, Dec. 1982.
- 4) CSICs 2005 Short Course UMS 社資料。(転載許諾済)
- 5) Koh Kanaya, Yasuki Aihara, Takayuki Katoh, Makio Komaru, and Toshio Matsuda, "A 76 GHz High Performance subharmonic Mixer MMIC Using Low 1/f Noise Diodes for Automotive Radars," IEEE CSIC Dig., pp.260-263, 2004.
- 6) E. W. Lin, H. Wang, K. W. Chang, L. Tran, J. Cowles, T. Block, D. C. W. Lo, G. S. Dow, A. Oki, D. Streit, B. R. Allen, "Monolithic Millimeter-wave Schottky-diode-based Frequency Converters with Low Drive Requirements Using an InP HBT-compatible Process," IEEE GaAs IC Symp. Dig., pp.218-221, 1995.
- 7) UMS 社 Technology Presentation 資料。(転載許諾済)
- 8) K. W. Kobayashi, A. K. Oki, D. K. Umemoto, S. Claxton, and D. C. Streit, "GaAs HBT PIN Diode Attenuators and Switches," IEEE MTT-S Dig., pp.349-352, 1993.

- 9) John Putnam, Mike Fukuda, Peter Staecker, Yong-Hoon Yun, "A 94 GHz Monolithic Switch with a Vertical PIN Diode Structure," IEEE GaAs IC Symp. Dig., pp.333-336, 1994.
- 10) Egor Alekseev, Dimitris Pavlidis, "77 GHz High-Isolation Coplanar Transmit-Receive Switch Using InGaAs/InP PIN Diodes," IEEE GaAs IC Symp. Dig., pp.177-180, 1998.
- 11) 田中雄一, 宇田尚典, 林 宏明, 上田博之, 臼井正則, "76-77 GHz 帯高アイソレーション GaAsPIN ダイオードスイッチ MMIC," R&D Review of Toyota CRDL vol.37, no.12, pp.19-26, 2002. (転載許諾済)