

■10 群 (集積回路) -7 編 (モノリシックマイクロ波集積回路)

3 章 MMIC 要素回路技術

(執筆者：丸橋建一) [2010 年 1 月 受領]

■概要■

モノリシックマイクロ波集積回路 (Monolithic Microwave Integrated Circuit : MMIC) では、ディスクリート素子で構成される立体回路やハイブリット回路に比べ、用いる能動素子や受動素子の選択、材料、構造に制約が大きいため、また基本的には調整をしないことが前提となるため、高性能化の面では不利である。しかしながら、小型化、高集積化、高機能化のメリットを追求し、勢力的に MMIC の研究開発が行われ、製品が世に送り出されてきた。ここでは、MMIC の設計理論と実現例について、要素回路ごとに説明する。

【本章の構成】

本章では、低雑音増幅器 (3-1 節)、高出力・高効率増幅器 (3-2 節)、広帯域増幅器 (3-3 節)、発振器、PLL (3-4 節)、スイッチ、移相器、アッテネータ、逡倍器 (3-5 節)、ミキサ (3-6 節)、RF-MEMS (3-7 節) の各要素回路に関して、設計理論及び実現例を示す。

■10 群 - 7 編 - 3 章

3-1 低雑音増幅器

(執筆者：丸橋建一) [2009年8月 受領]

本節では、まず 3-1-1 項において低雑音増幅器における設計事項を述べ、3-1-2 項において低雑音増幅器に用いられる能動デバイスの種類について解説する。次に、3-1-3 項において低雑音増幅器で用いる FET のゲート幅、3-1-4 項において低雑音増幅器の設計で用いる FET の雑音パラメータとモデル、3-1-5 項において低雑音増幅器の回路構成に言及する。最後に、3-1-6 項において低雑音増幅器の試作例を紹介する。

3-1-1 低雑音増幅器における設計事項

低雑音増幅器 (LNA : Low Noise Amplifier) は、受信回路のフロントエンドに用いられ、受信機の雑音性能改善に寄与する。一般に、 N 段回路の総合雑音指数 (F_{tot}) は、下記のように表すことができる。

$$F_{\text{tot}} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_N - 1}{G_1 G_2 \dots G_{N-1}} \quad (3 \cdot 1)$$

ここで、 F_i と G_i は、 i 段目の増幅器の雑音指数と利得である。この式から分かるとおり、初段回路の利得が十分に大きい場合には、右辺第 2 項以降、すなわち後段回路の雑音性能にかかわらず、全体の雑音指数は初段回路の雑音指数と等しくなる。したがって、初段回路ではある程度高い利得が必要とされる。また、初段回路を LNA、後段回路をミキサなどの受信回路としてみた場合には、LNA には、雑音指数が優れているだけでなく、利得も十分に高いことが求められることがわかる。雑音指数、利得に加え、帯域内利得平坦性、反射損失、ひずみ特性、耐入力電力特性、温度特性、安定性、バイアス回路構成 (例えば単電源動作や温度補償機能) など、一般的なマイクロ波・ミリ波回路で求められる性能も設計事項となる。

3-1-2 低雑音増幅器に用いられる能動デバイスの種類

マイクロ波・ミリ波集積回路 (MMIC) で用いられる能動素子は、GaAs-HEMT (PHEMT)、InP-HEMT, mHEMT, GaA-HBT, InP-HBT, Si-Bipolar, SiGe-HBT, CMOS (nMOSFET, pMOSFET) など、いろいろなものが用いられる。能動素子の選択基準は、単に雑音性能だけではなく、当然のことながら動作周波数で十分な利得をもつことが必要である。また、他の機能回路との集積化の観点で能動素子が決められることも多い。一般に FET 系のデバイスは、マイクロ波帯での雑音性能が良いとされており、衛星放送の受信器には PHEMT が最もよく使われている。他方バイポーラ系のデバイスは、入力インピーダンスが低く、整合回路の構成が容易であるという利点がある。

3-1-3 低雑音増幅器で用いる FET のゲート幅

集積回路の設計においては、使用する能動素子 (または集積回路のプロセス) が決められたとしても、そのサイズの選択は重要な設計事項となる。FET では、総ゲート幅は扱う電力レベル、消費電力、まれにインピーダンス整合の取りやすさ (FET サイズにより、入力、出力インピーダンスが異なるため)、などを考慮して決められる。

単位 FET のサイズとなるゲートフィンガ長は、雑音性能や最高発振周波数 (f_{\max}) に大きく影響を与えるパラメータとして知られている^{1),2)}。その主原因はゲート抵抗にある。なお、化合物半導体 (GaAs, InP) プロセスで用いられる蒸着金属ゲートの場合、ゲート断面を T 型にして低抵抗化が図られ、例えばゲートフィンガの抵抗値 $125.5 \Omega/\text{mm}$ が得られている²⁾。ゲート材料としてポリシリコンを用いた CMOS トランジスタであっても、その影響の大きさは別として定性的には同じである³⁾。

基本的にはゲートフィンガ長が短いほど雑音指数が改善されるが、寄生容量が増えることによる利得の低下や、総ゲート幅を一定にした場合に増えるゲートフィンガ (単位 FET) に起因した合成損失などの影響を勘案して、総合的に決められる。ゲートフィンガ長は、化合物半導体トランジスタの場合には概ね $10 \sim 40 \mu\text{m}$ 、CMOS トランジスタの場合には概ね $0.5 \sim 4 \mu\text{m}$ が用いられる。

3-1-4 低雑音増幅器の設計で用いる FET の雑音パラメータとモデル

低雑音増幅器で用いられる FET の雑音モデルは雑音源を含む線形回路で表される。線形 2 端子回路の理論では、雑音源とノイズレスの回路に分離でき、図 3・1 のように表すことができる。図 3・1(a)は、入力側と出力側にそれぞれ雑音電流源 i_i 、 i_o を置いた場合、図 3・1(b)は、入力側に雑音電圧源 e_n と雑音電流源 i_n を置いた場合であり、相互に変換可能である⁴⁾。なお、 i_i 、 i_o (または e_n 、 i_n) は独立の雑音源ではなく、相関をもつことが一般的である。線形回路がトランジスタである場合、高周波領域 (概ね 1 GHz 以上) では、周波数に依存しない雑音源が想定されている。

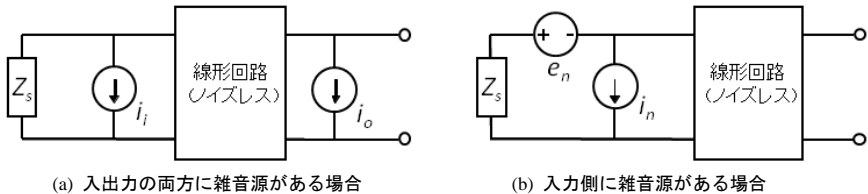


図 3・1 線形回路の雑音モデル

図 3・1(b)から推測できるように、線形回路では、雑音指数を最小にする入力インピーダンス Z_{opt} が存在する。そこで線形回路がトランジスタである場合、トランジスタからみた入力側の整合回路のインピーダンス $Z = (R + jX)$ が Z_{opt} となるように設計することが一般的である。雑音指数 F は、最小雑音指数 F_{\min} 、雑音コンダクタンス g_n を用いて、

$$F = F_{\min} + \frac{g_n}{R} |Z - Z_{\text{opt}}|^2 \quad (3 \cdot 2)$$

で表される⁵⁾。ただし、実際には整合回路の損失が存在するため、トランジスタの F_{\min} がそのまま増幅器の雑音指数として実現できるわけではない。

実際の設計においては、トランジスタの S パラメータと、雑音パラメータ (F_{\min} 、 Z_{opt} 、 g_n) が必要とされるが、これらは集積回路の製造を行うメーカーが設計者に提供している。また設計者が市販の測定装置を利用し、トランジスタを測定して得ることもできる。

これらのパラメータを用いる以外に、トランジスタの等価雑音モデルを用い、回路シミュ

レータで回路設計することも可能である。等価雑音モデルには数多くのバリエーションが存在する⁹⁾⁻⁸⁾。等価雑音モデルは、測定したデータをもとにモデリングを行って抽出する。高い周波数では雑音パラメータの直接測定が困難であるが、等価雑音モデルは、周波数を外挿して用いることができるため、ミリ波のような高い周波数では特に有用である。

3-1-5 低雑音増幅器の回路構成

図 3・2 には、FET を用いた LNA の回路構成例を示す。この例は、整合回路が分布定数線路（マイクロストリップ線路やコプレーナ線路）で構成された 1 段増幅器である。一般に、FET の入力インピーダンスは高く、また反射係数を最小にする入力インピーダンス（利得整合）と、雑音指数を最小にする入力インピーダンス Z_{opt} （雑音整合）の値が離れている。このため、この例ではソース端子に直列帰還線路（長さ $1/4$ 波長以下）を挿入することにより両者を近づけ、利得整合と雑音整合を両立させている^{9),10)}。

マイクロ波帯では直列帰還線路が長くなるため、代わりにインダクタを挿入することが多い。また、負帰還がかかって利得が下がるため、特にトランジスタの利得が低くなるミリ波帯のような高周波で動作させる場合には帰還素子を挿入しない場合もある。

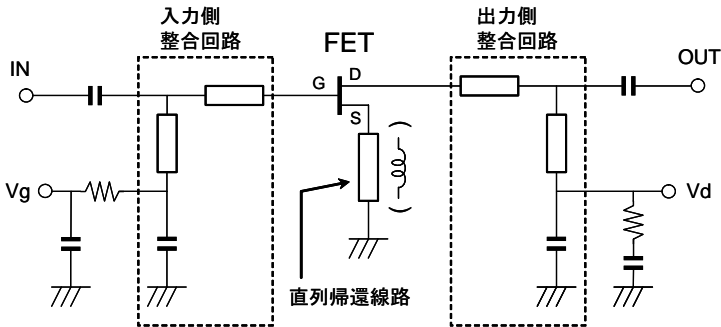


図 3・2 低雑音増幅器の回路構成 (1 段増幅器)

3-1-6 低雑音増幅器の試作例

図 3・3 には、InP-HEMT プロセスを用いて形成した 60 GHz 帯低雑音増幅器 MMIC¹¹⁾ のチップ写真を示す。チップサイズは 2.5 mm×1.15 mm である。各段の InP-HEMT のゲートフィンガ長は 40 μm 、総ゲート幅は 80 μm である。この低雑音増幅器では、60 GHz において雑音指数 2.0 dB、利得 22.1 dB が得られている。

図 3・4 には、90 nm CMOS プロセスを用いて形成した 60 GHz 帯低雑音増幅器 MMIC¹²⁾ のチップ写真を示す。チップサイズは 1.3 mm×0.7 mm である。各段の nMOS トランジスタのゲートフィンガ長は 1 μm 、総ゲート幅は 40 μm である。この低雑音増幅器では、63 GHz において雑音指数 5.7 dB、利得 13 dB が得られており、消費電力は 27 mW である。

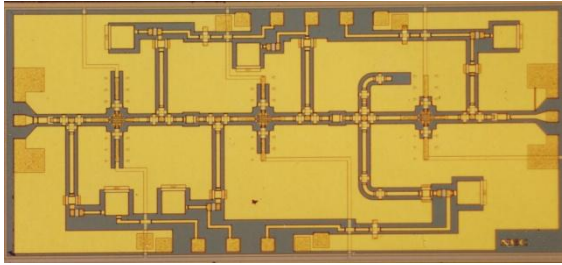


図 3・3 60 GHz 帯 InP 低雑音増幅器 MMIC¹¹⁾

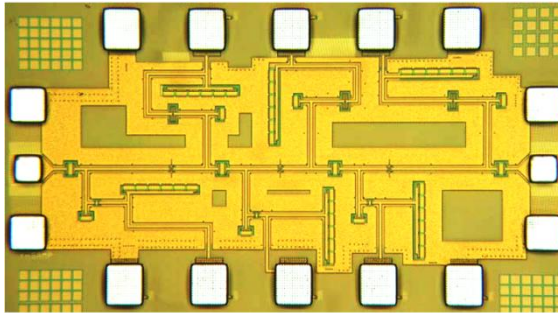


図 3・4 60 GHz 帯 CMOS 低雑音増幅器 MMIC¹²⁾

図 3・5 には、これまでに開発された主な低雑音増幅器 MMIC^{11)~39)} の性能を示す。図では、GaAs-HEMT (pHEMT), InP-HEMT (mHEMT を含む), SiGe-HBT, CMOS と、用いられている能動素子で区別した。GaAs-HEMT (pHEMT) を用いた低雑音増幅器は、およそ 100 GHz までの周波数帯で広範に使われている。InP-HEMT 及び mHEMT を用いた低雑音増幅器は、固体素子を用いた集積回路として最も雑音性能に優れている。また、利得が高いために 350 GHz 程度までの動作が確認されている³⁹⁾。CMOS 技術を用いた MMIC では、例えば周波数

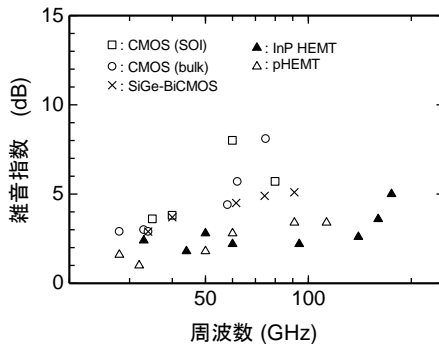


図 3・5 低雑音増幅器 MMIC における雑音指数の報告例^{11)~39)}

60 GHz における測定値として、雑音指数 4.4 dB が得られている¹⁵⁾。この雑音指数は、化合物半導体の値より劣っているが、今後さらなる微細化の進展に従って、大幅な性能向上が期待される。

■参考文献

- 1) H. Fukui, "Optimal noise figure of microwave GaAs MESFET's," IEEE Trans. on Electron Devices, vol.26, no.7, pp.1032-1037, July, 1989.
- 2) N. Iwata, N. Tomita, and M. Kuzuhara, "High performance double-doped InAlAs/InGaAs/InP heterojunction FET with potential for millimetre-wave power applications," Electronics Letters, vol.29, no.7, pp.628-629, Apr. 1993.
- 3) C. H. Doan, S. Emami, A. M. Niknejad, and R. W. Brodersen, "Millimeter-wave CMOS design," IEEE J. of Solid-State Circuits, vol.40, no.1, pp.144-155, Jan. 2005.
- 4) J. Engberg and T. Larsen, "Noise theory of linear and nonlinear circuits," published by John Wiley & Sons, Ltd, 1995.
- 5) 福田益美, 平地康剛, "GaAs 電界効果トランジスタの基礎," 第4章, 電子情報通信学会, 1992.
- 6) A. van der Ziel, "Gate noise in field-effect transistors at moderately high frequencies," Proc. IRE, vol.51, pp.461-467, 1963.
- 7) R. A. Pucel, H. A. Haus, and H. Statz, "Signal and noise properties of GaAs microwave FET," Advances in Electronics and Electron Physics. vol.38, L. Morton. Ed. New York: Academic Press. 1975.
- 8) M. W. Pospieszalski, "Modeling of noise parameters of MESFETs and MODFETs and their frequency and temperature dependence," IEEE Trans. on Microwave Theory and Techniques, vol.37, Issue 9, pp.1340-1350, 1989.
- 9) R. E. Lehmann and D. D. Heston, "X-band monolithic series feedback LNA," IEEE Trans. on Microwave Theory and Techniques, vol.33, no.12, pp.1560-1566, Dec. 1985.
- 10) I. D. Robertson and S. Lucyszyn, "RFIC and MMIC design and technology," IEE Circuits, Devices and Systems Series 13, p.239, 2001.
- 11) A. Fujihara, H. Miyamoto, K. Yamanoguchi, E. Mizuki, N. Samoto, and S. Tanaka, "V-band MMIC LNA using Superlattice-inserted InP Heterojunction FETs," IEEE International Conference on Indium Phosphide & Related Materials, Proceedings, pp.622-625, 2001.
- 12) K. Maruhashi, M. Tanomura, Y. Hamada, M. Ito, N. Orihashi, and S. Kishimoto, "60-GHz-band CMOS MMIC Technology for High-speed Wireless Personal Area Networks," IEEE Compound Semiconductor Integrated Circuits Symposium, pp.207-210, 2008.
- 13) E. Adabi, B. Heydari, M. Bohsali, and A. M. Niknejad, "30 GHz CMOS Low Noise Amplifier," IEEE Radio Frequency Integrated Circuits Symposium, Digest, pp.625-628, 2007.
- 14) M. A. T. Sanduleanu, G. Zhang, and J. R. Long, "31-34GHz Low Noise Amplifier with On-chip microstrip Lines and Inter-stage Matching in 90-nm Baseline CMOS," IEEE Radio Frequency Integrated Circuit Symposium, Digest pp.143-146, 2006.
- 15) E. Cohen, S. Ravid, and D. Ritter, "An ultra low power LNA with 15 dB gain and 4.4 dB NF in 90 nm CMOS process for 60 GHz phase array radio," IEEE Radio Frequency Integrated Circuit Symposium, Digest pp.61-64, 2008.
- 16) C. Pavageau, O. Dupuis, M. Dehan, B. Parvais, G. Carchon, and W. De Raedt, "A 60-GHz LNA and a 92-GHz Low-Power Distributed Amplifier in CMOS with Above-IC," Proceedings of the 3rd European Microwave Integrated Circuits Conference, pp.250-253, Oct. 2008.
- 17) B.-W. Min, M. Chang and G. M. Rebeiz, "SiGe T/R Modules for Ka-Band Phased Arrays," IEEE Compound Semiconductor Integrated Circuit Symposium, pp.1-4, 2007.
- 18) S. Pruvost, I. Telliez, F. Danneville, A. Chantre, P. Chevalier, G. Dambrine, S. Lepilliet, "A Compact Low Noise Amplifier in SiGe:C BiCMOS Technology for 40 GHz Wireless Communications," IEEE Radio Frequency Integrated Circuits Symposium, Digest, pp.565-568, 2005.
- 19) B. A. Floyd, S. K. Reynolds, U. R. Pfeiffer, T. Zwick, T. Beukema, and B. Gaucher, "SiGe Bipolar Transceiver

- Circuits Operating at 60 GHz,” IEEE Journal of Solid-State Circuits, vol.40, no.1, pp.156-167, 2005.
- 20) J. Powell, H. Kim, and C. G. Sodini, “A 77-GHz Receiver Front End for Passive Imaging,” IEEE Radio Frequency Integrated Circuits Symposium, Digest, pp.145-148, 2007.
 - 21) J. Alvarado, K. T. Korngay, B. P. Welch, and Y. W. Wang, “W-Band SiGe LNA using Unilateral Gain Peaking,” IEEE MTT-S, International Microwave Symposium Digest, pp.289-292, Jun. 2008.
 - 22) F. Ellinger, “26-42 GHz SOI CMOS Low Noise Amplifier,” IEEE J. Solid-State Circuits, vol.39, no.3, Mar. 2004.
 - 23) F. Ellinger, “60-GHz SOI CMOS Travelling-Wave Amplifier with NF Below 3.8 dB From 0.1 to 40 GHz,” IEEE J. Solid-State Circuits, pp.553-558, Feb. 2005.
 - 24) C. Mounet, A. Siligaris, A. Michel, and M. Capodiferro, “Employing 65 nm CMOS SOI for 60GHz WPAN Applications,” IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems, Proceedings, pp.1-10, 2008.
 - 25) B. Martineau, A. Cathelin, F. Danneville, A. Kaiser, G. Dambrine, S. Lepilliet, F. Giancesello, and D. Belot, “80 GHz Low Noise Amplifiers in 65 nm CMOS SOI,” 33rd European Solid State Circuits Conference, Proceedings, pp.348-351, 2007.
 - 26) H. Uchida, S. Takatsu, K. Nakahara, T. Katoh, Y. Itoh, R. Imai, M. Yamamoto, and N. Kadowaki, “Ka-band multistage MMIC low-noise amplifier using source inductors with different values for each stage,” IEEE Microwave and Guided Wave Letters, vol.9, no.2, pp.71-72, 1999.
 - 27) S. Fujimoto, T. Katoh, T. Ishida, T. Oku, Y. Sasaki, T. Ishikawa, and Y. Mitsui, “Ka-band ultra low noise MMIC amplifier using pseudomorphic HEMTs,” IEEE MTT-S International Microwave Symposium Digest, vol.1, pp.17-20, 1997.
 - 28) T. Kashiwa, T. Katoh, N. Yoshida, H. Minami, T. Kitano, M. Komaru, and N. Tanino, “An Ultra Low Noise 50-GHz-Band Amplifier MMIC Using an AlGaAs/InGaAs Pseudomorphic HEMT,” IEICE trans, Eelctron, vol.E78C. no.3, pp.318-321, 1995.
 - 29) K. Maruhashi, M. Funabashi, T. Inoue, M. Madihian, and M. Kuzuhara, “A 60 GHz-band low noise HJFET amplifier module for wireless LAN applications,” IEEE MTT-S, International Microwave Symposium Digest, vol.1, pp.13-16, 1996.
 - 30) Y. Itoh, K. Nakahara, T. Sakura, N. Yoshida, T. Katoh, T. Takagi, and Y. Ito, “W-band monolithic low noise amplifiers for advanced microwave scanning radiometer,” IEEE Microwave and Guided Wave Letters, vol.5, pp.59-61, 1995.
 - 31) H. Wang, K. L. Tan, T. N. Ton, G. S. Dow, P. H. Liu, D. C. Streit, J. Berenz, M. W. Pospieszalski, and S. K. Pan, “A high gain low noise 110 GHz monolithic two-stage amplifier,” IEEE MTT-S International Microwave Symposium Digest, vol.2, pp.783-785, 1993.
 - 32) R. Grundbacher, J. Uyeda, R. Lai, D. Umemoto, P. H. Liu, M. Barsky, A. Cavus, L. J. Lee, J. Chen, J. Gonzalez, S. Chen, T. Block, and A. Oki, “High performance millimeter wave 0.1 μm InP HEMT MMIC LNAs fabricated on 100 mm wafers,” IEEE International Conference on Indium Phosphide and Related Materials, Digest, pp.284-287, 2004.
 - 33) L. Tran, R. Isobe, M. Delaney, R. Rhodes, D. Jang, J. Brown, L. Nguyen, M. Le, M. Thompson, and T. Liu, “High performance, high yield millimeter-wave MMIC LNAs using InP HEMTs,” IEEE MTT-S International Microwave Symposium Digest, vol.1, pp.9-12, 1996.
 - 34) Y. Umeda, T. Enoki, and Y. Ishii, “Sensitivity analysis of 50-GHz MMIC-LNA on gate-recess depth with InAlAs/InGaAs/InP HEMTs,” IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium, Digest, pp.157-160, 1994.
 - 35) R. Grundbacher, J. Uyeda, R. Lai, D. Umemoto, P. H. Liu, M. Barsky, A. Cavus, L. J. Lee, J. Chen, J. Gonzalez, A. Chen, T. Block, and A. Oki, “High performance millimeter wave 0.1 μm InP HEMT MMIC LNAs fabricated on 100 mm wafers,” IEEE International Conference on Indium Phosphide and Related Materials, Digest, pp.284-287, 2004.
 - 36) H. Wang, R. Lai, D. C. Lo, W. Streit, M. W. Pospieszalski, and J. Berenz, “A 140-GHz monolithic low noise amplifier,” IEEE International Electron Devices Meeting, Technical Digest, pp.933-934, 1994.
 - 37) Y. L. Kok, H. Wang, T. W. Huang, R. Lai, M. Barsky, Y. C. Chen, M. Sholley, T. Block, D. C. Streit, B. R.

- Allen, L. Samoska, and T. Gaier, "160-190-GHz monolithic low-noise amplifiers," IEEE Microwave and Guided Wave Letters, vol.9, Issue 8, pp.311-313, 1999.
- 38) P. Kangaslahti, D. Pukala, T. Gaier, W. Deal, X. Mei and R. Lai, "Low Noise Amplifier for 180 GHz Frequency Band," IEEE MTT-S International Microwave Symposium Digest, 2008, pp.451-454, 2008.
- 39) R. Lai, W. R. Deal, V. Radisic, K. Leong, X. B. Mei, S. Sarkozy, T. Gaier, L. Samoska, and A. Fung, "Sub-MMW active integrated circuits based on 35 nm InP HEMT technology," IEEE International Conference on Indium Phosphide & Related Materials, Proceedings, pp.185-187, 2009.

■10群 - 7編 - 3章

3-2 高出力・高効率増幅器

(執筆著：高木 直，森 一富) [2008年11月受領]

本節では、まず、3-2-1項において高出力増幅器に用いられる能動デバイスについて説明し、次いで、3-2-2項で増幅器の動作級について、3-2-3項で増幅器のひずみについて、3-2-4項で増幅器の大信号設計について述べる。最後に3-2-5項においてMMIC増幅器の試作例を紹介する。

3-2-1 高周波増幅器に用いられる能動デバイスの種類

高周波増幅器に用いられる能動素子として、GaAs系デバイス(MESFET, PHEMT, HFET)が最も広く用いられている。近年、Si系デバイス(SiGe HBT, Si CMOS)は高周波化が進み100 GHzを超える最大発振周波数 f_{max} が得られ、低コスト化のために期待されている。動作電圧が3 V以下のため、主に1 W以下の比較的出力電力の小さな増幅器に対する研究開発がなされている。表3・1の材料定数表^{1),2)}に示すように、GaAsよりエネルギーバンド幅が大きく静電破壊電界が高いGaN系デバイス(HEMT), SiC系デバイス(MESFET)が、その高い動作電圧により100 Wを超える高出力増幅器に用いるデバイスとして期待されている。

表3・1 材料定数表^{1),2)}

材 料	真性キャリア濃度 [cm ⁻³]	比誘電率	電子移動度 [cm ² /Vs]	静電破壊電圧 [V/μm]	飽和速度 [10 ⁷ cm/s]	熱伝導率 [W/cmK]
Si	1.5 × 10 ¹⁰	11.8	1500	30	1.0	1.5
GaAs	1.8 × 10 ⁸	12.8	8500	40	2.0	0.5
GaN	1.7 × 10 ⁻¹⁰	9.0	2000	200	2.5	2.1
SiC	1.2 × 10 ⁻⁸	9.7	400	300	2.0	4.5

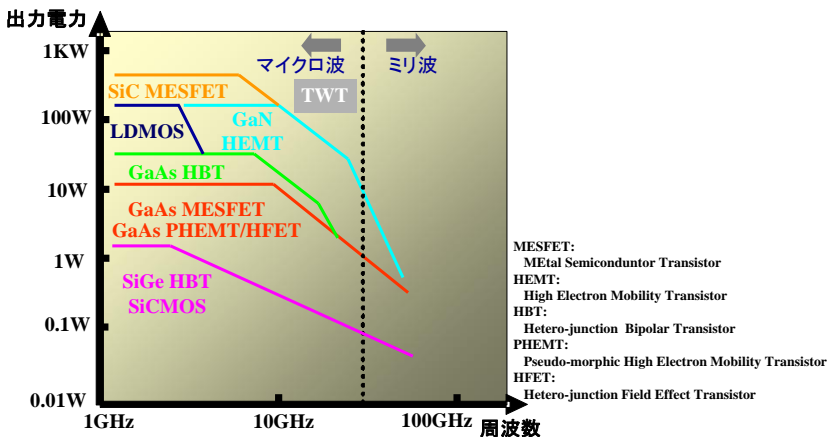


図3・6 能動デバイスの棲み分け

MMIC プロセスについては GaAs 系デバイス, Si 系デバイスが既に実用化され, GaN デバイスで現在研究開発がなされている. 図 3・6 に周波数, 出力電力に対する現状の能動デバイスの棲み分けを示す.

3-2-2 動作級³⁾⁻⁵⁾

増幅器の基本的な動作級である A, B, C 級及び高効率動作が可能な F 級動作⁶⁾について説明する. 図 3・7 に A, B 級動作の電流電圧波形と流通角 θ を示す. 図 3・7 より, ドレイン電圧, ドレイン電流は以下の式で表される. ここでは, FET の I - V 特性が理想的な場合を仮定し $V_{\min}=0$ としている.

$$V_d = V_{ds} - V_{ds} \cos \omega t$$

$$I_d = \begin{cases} I_{\max} \frac{\cos \omega t - \cos \theta}{1 - \cos \theta} & (-\theta < \omega t < \theta) \\ 0 & (\omega t < -\theta, \omega t > \theta) \end{cases}$$

ドレイン電流をフーリエ級数展開すると

$$I_d = \frac{I_{\max}}{\pi(1 - \cos \theta)} \left\{ (\sin \theta - \theta \cos \theta) + (\theta - \sin \theta \cos \theta) \cos \omega t + \frac{1}{2}(\sin \theta - \frac{1}{3} \sin 3\theta) \cos 2\omega t + \dots \right\}$$

なり, 基本角周波数 ωt における出力電力は次式で与えられる.

$$P_o = \frac{I_{\max} V_{ds}}{2\pi} \cdot \frac{(\sin \theta - \theta \cos \theta)}{(1 - \cos \theta)}$$

増幅器に供給される直流電力 P_{dc} は

$$P_{dc} = V_{dc} I_{dc} = \frac{I_{\max} V_{ds}}{\pi} \cdot \frac{(\sin \theta - \theta \cos \theta)}{(1 - \cos \theta)}$$

で与えられるため, ドレイン効率 η_d は次式で与えられる.

$$\eta_d = \frac{P_o}{P_{dc}} = \frac{\theta - \sin \theta \cos \theta}{2(\sin \theta - \theta \cos \theta)}$$

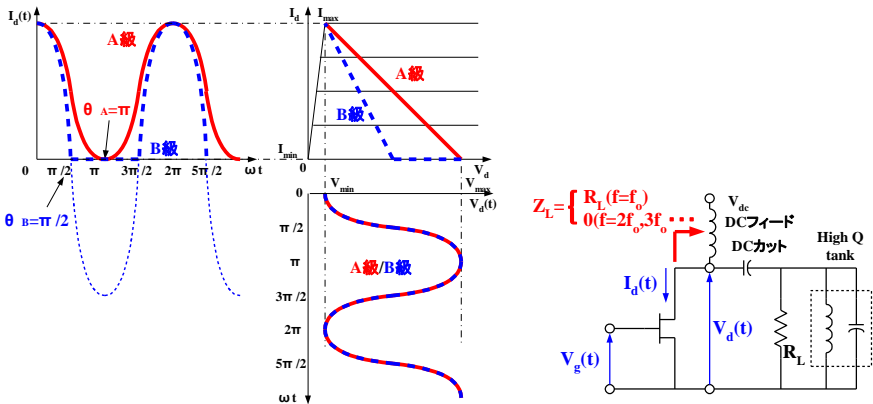


図 3・7 A, B 級動作の電流電圧波形と流通角 θ

これらの式より計算したドレイン効率及びA級動作の $\theta = \pi$ の場合の出力電力で規格化した出力電力の流通角 θ 依存性を図 3・8 に示す. 図 3・8 より A 級動作ではドレイン効率 50% が得られる. 流通角 θ を小さくするに従って AB 級, B 級となり, B 級動作では効率 78.5% となる. 更に流通角が小さい C 級動作で, $\theta \rightarrow 0$ の極限では効率 100% となる. 出力電力は A 級の場合を 1 とすると, B 級が 1, C 級動作の $\theta \rightarrow 0$ の極限では出力電力は 0 となる.

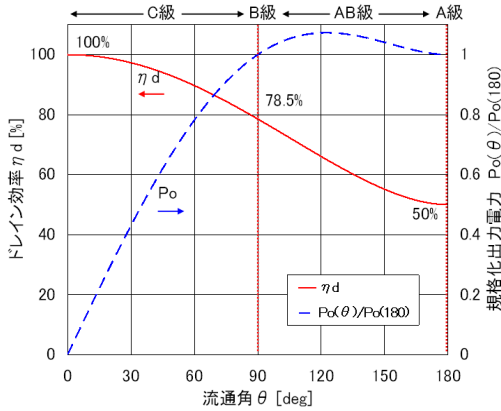


図 3・8 流通角とドレイン効率, 出力電力の関係

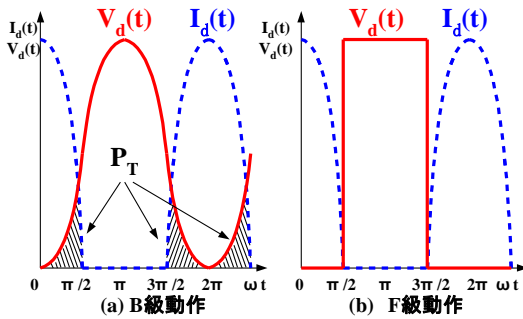


図 3・9 B, F 級動作の電流電圧波形

次に, F 級動作⁶⁾について説明する. 図 3・9(b)に, F 級動作の電流電圧波形を示す. 比較のため B 級動作の電流電圧波形を図 3・9(a)に示す. 増幅器の出力電力は供給される直流電力 P_{dc} と増幅器で消費される電力 P_T の差によって表され, 次式となる.

$$P_o = P_{dc} - P_T$$

増幅器の消費電力 P_T は電圧 $V_d(t)$ と電流 $I_d(t)$ の積の周期 T での平均値で与えられ,

$$P_T = \frac{1}{T} \int_0^T V_d(t) \cdot I_d(t) dt$$

となる．図 3・9(a)に示すとおり B 級動作の場合には $V_d(t)$ と $I_d(t)$ が同時に存在する時間があり P_T が発生する．斜線部分が P_T を表している．一方，図 3・9(b)より F 級動作の場合には， $V_d(t)$ と $I_d(t)$ が同時に存在する時間が存在しないため $P_T = 0$ となり，ドレイン効率 100% が得られる．F 級動作の電流波形は偶関数，電圧波形が奇関数であることから，フーリエ級数展開すると，電流は直流と基本波，偶数次高調波成分によって表され，電圧は直流と基本波，奇数次高調波成分によって表される．そのため，増幅器の出力負荷条件を偶数次高調波に対して短絡，奇数次高調波に対して開放とすることで F 級動作が得られる．

3-2-3 増幅器のひずみ

デジタル変調された信号が用いられる通信用増幅器においては高出力，高効率に加えて低ひずみである特性が求められる．図 3・10 に増幅器のひずみ発生メカニズムを示す．ここでは，2 波入力時を例にひずみ発生メカニズムを示している．

増幅器の出力電圧 V_{out} は入力電圧 V_{in} の Volterra 級数で次式のように与えられる．

$$V_{out} = \sum_{k=1}^{\infty} a_k V_{in}^k = a_1 V_{in} + a_2 V_{in}^2 + a_3 V_{in}^3 + \dots$$

このとき，入力信号として周波数間隔 Δf の f_1, f_2 の二つの周波数の信号が入力された場合について考える．入力信号は次式で表される．

$$V_{in} = \cos 2\pi f_1 t + \cos 2\pi f_2 t = 2 \cos \frac{2\pi(f_1 - f_2)t}{2} \cos \frac{2\pi(f_1 + f_2)t}{2}$$

V_{out} の式に V_{in} の式を代入すると出力電圧 V_{out} は次式で与えられる．

$$V_{out} = a_1 (\cos 2\pi f_1 t + \cos 2\pi f_2 t) + a_2 (\cos 2\pi f_1 t + \cos 2\pi f_2 t)^2 + a_3 (\cos 2\pi f_1 t + \cos 2\pi f_2 t)^3 + \dots$$

右辺第 3 項を展開すると次式となる．

$$a_3 (\cos 2\pi f_1 t + \cos 2\pi f_2 t)^3 = a_3 \left[\frac{9}{4} \cos 2\pi f_1 t + \frac{9}{4} \cos 2\pi f_2 t + \frac{3}{4} \cos 2\pi(2f_1 - f_2)t + \frac{3}{4} \cos 2\pi(2f_2 - f_1)t + \frac{1}{4} \cos 2\pi 3f_1 t + \frac{1}{4} \cos 2\pi 3f_2 t + \frac{3}{4} \cos 2\pi(2f_1 + f_2)t + \frac{3}{4} \cos 2\pi(2f_2 + f_1)t \right]$$

この結果， $2f_1 - f_2$ ， $2f_2 - f_1$ の周波数にひずみが発生する．これらを相互変調ひずみ (IMD : Inter-Modulation Distortion) と呼び， $2f_1 - f_2$ ， $2f_2 - f_1$ は Volterra 級数の 3 次の項に起因するため 3 次の相互変調ひずみ IM_3 と呼ばれる．同様に 5 次の項に起因する $3f_1 - 2f_2$ ， $3f_2 - f_1$ は 5 次の相互変調ひずみ IM_5 と呼ぶ．図 3・10 を用いてひずみ発生メカニズムを説明する．周波数 f_1 ， f_2 の二つの周波数の信号は逆フーリエ変換すると周波数軸から時間軸の変換がされる．入力信号の時間波形は，図 3・10(a)に示すように周波数 $\Delta f (= f_2 - f_1)$ のエンベロープで時間的に変動する．増幅器の入出力特性は小信号入力時には線形であるが，大信号入力時には飽和特性を示し通過位相も変化する．そのため，出力信号のエンベロープは図 3・10(b)のようにひずむ．出力信号の時間波形をフーリエ変換し周波数軸に変換すると，出力信号のスペクトルは図 3・10(d)となり，相互変調ひずみが発生する．

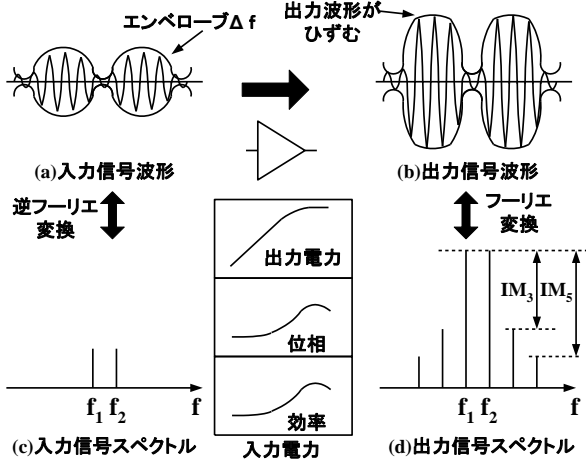


図 3・10 ひずみ発生メカニズム

デジタル変調信号が入力された場合の出力スペクトルを図 3・11 に示す。ひずみ特性の指標として ACPR (Adjacent Channel leakage Power Ratio) が一般的に用いられる。自チャンネルと隣接チャンネルの信号のチャンネル内の積分値の比が ACPR の定義となる。隣接チャンネルに発生するひずみによって隣接チャンネルの通信品質が劣化するため、通信用増幅器においては低い ACPR が求められる。増幅器のひずみ補償技術としては、増幅器のひずみと逆のひずみを入力信号に重畳するプリディストーション方式のリニアライザ、ひずみを含む増幅器の出力信号とひずみのない入力信号からひずみ信号成分のみを抽出し、増幅器の出力信号に逆位相で加えることでひずみ補償を行うフィードフォワード増幅器、信号をフィードバックすることでひずみを低減するカルテシアンフィードバックなどの方式がある。

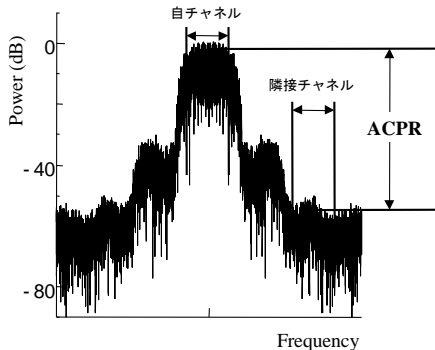


図 3・11 出力スペクトル

3-2-4 大信号設計

増幅器の高出力・高効率化のために基本波、高調波に対する出力負荷インピーダンスを最

適化する必要がある。最適な出力負荷インピーダンスを求める方法として基本波・2倍波ロードプル法^{3)-5), 7)}がある。大信号設計では測定や計算により最適な出力負荷インピーダンスを求め、求めた最適インピーダンスを実現する整合回路を設計する⁸⁾。図3・12に基本波ロードプル測定結果を、図3・13に2倍波ロードプル測定結果の例を示す。ゲート幅2.4mmのGaAs MESFETに対する周波数950MHzにおける測定結果である。図3・12、図3・13より基本波、2倍波インピーダンスにより出力電力、電力付加効率 η_{add} が変化していることが分かる。

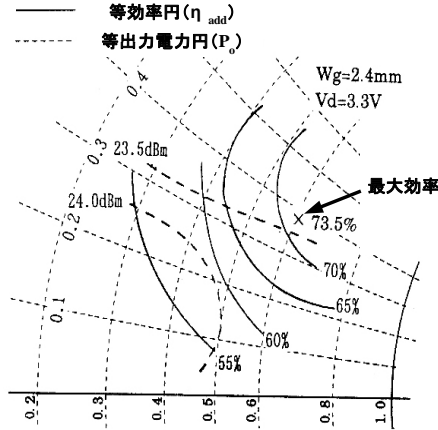


図3・12 基本波ロードプル測定結果の例⁸⁾

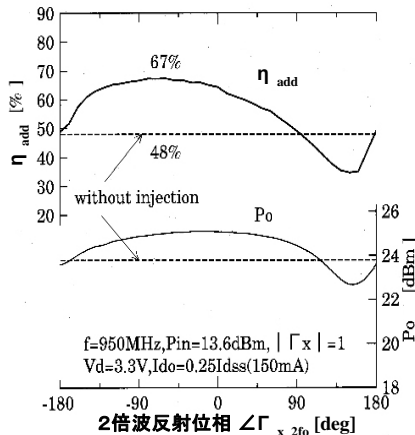


図3・13 2倍波ロードプル測定結果の例⁹⁾

最適な出力負荷インピーダンスを計算で求める方法として、トランジスタの大信号モデル⁹⁾⁻¹¹⁾を用いて、ハーモニックバランス法^{12), 13)}によりロードプル計算を行う方法がある。

図 3・14 に FET もしくは HEMT に対する大信号モデルを示す。大信号モデルにおいては、電流や容量値は電圧の関数によって与えられ、関数式の与え方により、Curtice モデル⁹⁾、Materka モデル¹⁰⁾、Angelov モデル¹¹⁾ など複数のモデルがある。HBT に対しては VBIC モデル、Agilent モデル¹⁴⁾、MOSFET に対しては BSIM モデル¹⁵⁾ などが主に用いられている。図 3・15 にハーモニックバランス法の説明図を示す。主に電流や容量といった非線形回路に適用される時間領域の解析と線路、抵抗、インダクタなどの線形回路に適用される周波数領域の解析を組み合わせて、非線形回路と線形回路の接点において時間領域、周波数領域の関係式をともに満たす解を収束解として求める方法である。電圧、電流の収束解より、出力電力、効率を求める。

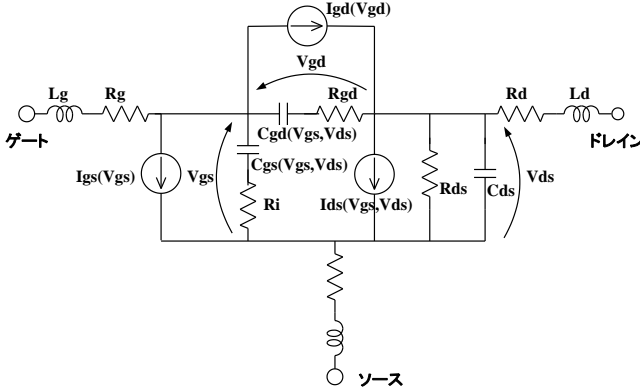


図 3・14 FET, HEMT の大信号モデル

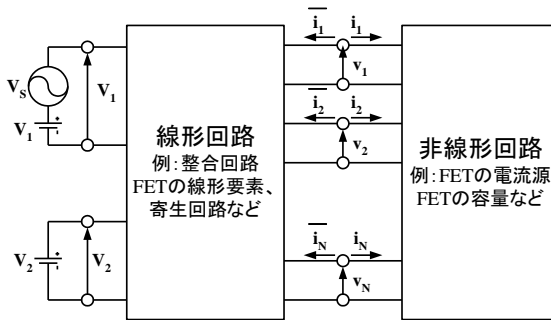


図 3・15 ハーモニックバランス法の説明図

3-2-5 試作例

図 3・16(a),(b)に 3.3V 動作 UHF 帯 3 段高効率高出力 MMIC 増幅器⁸⁾の回路構成、試作した増幅器の写真を示す。増幅器は 3 段構成で入力と段間の整合回路は小型化のために集中定数回路素子を用いている。最終段増幅器の出力整合回路は基本波、2 倍波に対して最適な負荷インピーダンスを実現するように設計され挿入損失を小さくするために分布定数回路素子を用いている。増幅器は GaAs 基板上に構成される能動素子 MMIC、受動素子 MMIC とセラミック基板で構成される出力整合回路のハイブリッド MMIC 増幅器として構成されている。

パッケージサイズは $9.5\text{ mm} \times 10\text{ mm}$ である. この例のように L, S 帯以下の周波数の増幅器では, 整合回路に用いる受動素子の素子値が大きいため, 増幅器すべてを MMIC 上に構成したフル MMIC 増幅器とせず, MMIC 外部のセラミック基板上的受動素子やチップコンデンサ, チップインダクタといったチップ部品と組み合わせて増幅器を構成する場合が多い. また, L, S 帯以下の通信用増幅器においては, 出力電力が低い場合においても高い効率を実現する増幅器が求められて, ドハティ増幅器³⁾や低出力時と高出力時で経路を切り替える増幅器についても MMIC 増幅器で開発した例が報告されている. 更に, 今後, 変調波信号のエンベロップに基づいて動作電圧を変化させるエンベロップトラッキング増幅器⁴⁾などの開発が期待されている.

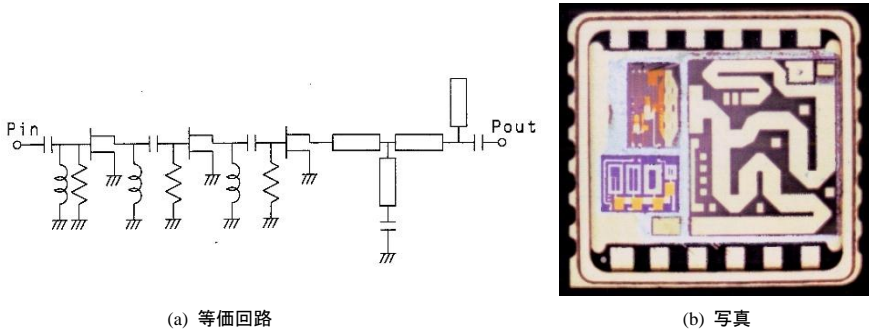


図 3-16 携帯電話用 MMIC 増幅器の試作例⁸⁾

図 3-17 に Ku 帯 3 段 MMIC 増幅器の試作例¹⁶⁾を示す. トランジスタには, 高利得・高出力化のため GaAs PHEMT を用いている. 増幅器すべてが MMIC 上に構成され, 温度特性を小さくするためのバイアス回路が内蔵され, 小型化のためゲート, ドレインバイアス端子が共通化されている. Ku 帯 (14.25 GHz) において, 動作電圧は 5 V において利得 35 dB , 出力電力 15 dBm が得られている. チップサイズは $1.3\text{ mm} \times 1.85\text{ mm}$ である. C 帯~Ku 帯の増幅器においては, MIM キャパシタ, スパイラルインダクタ, 抵抗などの MMIC 上の集中定数素子と, 線路, スタブなどの分布定数素子を組み合わせたフル MMIC 増幅器の例が多い.

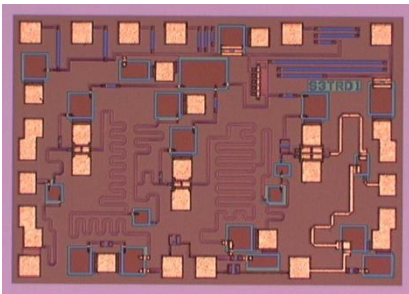


図 3-17 Ku 帯 3 段 MMIC 増幅器の試作例¹⁶⁾

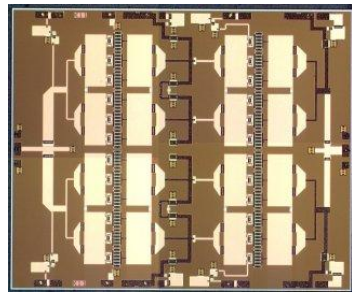


図 3-18 Ka 帯 1 段 MMIC 増幅器の試作例¹⁷⁾

図 3-18 に Ka 帯 6 W MMIC 電力増幅器の試作例¹⁷⁾を示す. トランジスタには, 高利得・高出力化のため GaAs PHEMT を用いている. チップサイズは, $5.93\text{ mm} \times 4.93\text{ mm}$ である.

Ka 帯において、線形利得 8.6 dB、飽和出力電力 37.9 dBm が得られている。Ka 帯〜ミリ波帯の MMIC 増幅器においては、周波数が高いことから分布定数回路のサイズが小さくなり、整合回路は主に分布定数回路で構成されている。

ここでは GaAs デバイスを用いた MMIC 増幅器の例を示したが、SiGe HBT、Si CMOS などの Si 系デバイスを用いた MMIC 増幅器についても盛んに研究開発されている。Si 系デバイスを用いた MMIC 増幅器においては、Si 基板にはビアホールプロセスが標準的になく、ワイヤを用いて接地する必要があるため、仮想的な接地が可能な差動増幅器の構成が一般的に用いられている。ミリ波帯においては、コプレーナ線路を用いた例も報告されている。

■参考文献

- 1) Y. Nanishi, "Recent Development of Nitride Semiconductor Electronic Devices for Next Generation Wireless Communications," The Fourth International Workshop on Junction Technology, 15-16, pp.12-17, Mar. 2004.
- 2) 大野泰夫, "初学者のためのマイクロ波工学入門 -マイクロ波トランジスタの基礎と応用-, MWE2005 Digest, pp.517-526, 2005.
- 3) 高山洋一郎, "マイクロ波トランジスタ," 電子情報通信学会, 1998 年.
- 4) Steve Cripps, "High Power Amplifiers for Wireless Communication," Artech House, 2008.
- 5) 本城和彦, "マイクロ波半導体回路 -基礎と展開-, " 日刊工業新聞社, Sep. 1993.
- 6) D. M. Sinder, "A Theoretical Analysis and Experimental Confirmation of Optimally Loaded and Overdriven RF Power Amplifier," IEEE Trans. Electron Devices, ED-14, 12, pp.851-857, Dec. 1984.
- 7) T. Takagi, Y. Ikeda, Y. Nakajima, and T. Hashimoto, "Design Method of High Efficiency UHF Band Monolithic Multistage FET Amplifier Using Harmonic Terminating Technique," IEICE Trans. C-I, vol.J76-C-I, no.11, pp.389-398, Nov. 1993.
- 8) K. Mori, M. Nakayama, Y. Itoh, S. Murakami, Y. Nakajima, T. Takagi, and Y. Mitsui, "Direct Efficiency and Power Calculation Method and Its Application to Low Voltage High Efficiency Power Amplifier," IEICE Trans. Electron., vol.E78-C(9), pp.1229-1236, 1995.
- 9) W. R. Curtice and M. Ettenberg, "A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers," IEEE Trans. Microwave Theory Tech., vol.MTT-33, no.12, pp.1383-1394, Dec. 1985.
- 10) A. Materka and T. Kacprzak, "Computer Calculation of Large-Signal GaAs FET Amplifier Characteristics," IEEE Trans. Microwave Theory Tech., vol.MTT-33, pp.129-135, Feb. 1985.
- 11) I. Angelov, H. Zirath, N. Rorsmann, "A New Empirical Nonlinear Model for HEMT and MESFET Devices," IEEE Trans. Microwave Theory Tech. vol.40, no.12, Dec. 1992.
- 12) R. J. Gilmore and M. B. Steer, "Nonlinear Circuit Analysis Using the Method of Harmonic Balance - A Review of the Art," International Journal of Micro-wave and Millimeter-Wave Computer-Aided Engineering, vol.1, no.1, pp.22-37, 1991.
- 13) M. S. Nakhla and J. Valch, "A Piecewise Harmonic Balance Technique for Determination of Periodic Responce of Nonlinear Systems," IEEE Trans. on CAS, vol.CAS-23, no.2, pp.85-91, Feb. 1976.
- 14) M. Iwamoto, D. E. Root, J. B. Scott, A. Cognata, P. M. Asbeck, B. Hughes, and D.C. D'Avanzo, "Large-signal HBT Model with Improved Collector Transit Time Formulation for GaAs and InP Technologies," 2003 IEEE MTT-S International Microwave Symposium, Digest, pp.635-638, Jun. 2003.
- 15) <http://www-device.eecs.berkeley.edu/%7ebsim3/>
- 16) 山内和久, 清家弘光, 宇土元純一, 大塚浩志, 山中宏治, 森 一富, 池田幸夫, "ドレインバイアス共通化 Ku 帯 MMIC 電力増幅器," 2002 信学ソ大, C-2-16, p.38, Sep. 2002.
- 17) 大塚浩志, 山内和久, 茶木 伸, 中原和彦, 遠藤邦浩, 中山正敏, "Ka 帯 6W MMIC 電力増幅器," 信学ソ大, C-2-4, p.23, Sep. 2006.

■10 群 - 7 編 - 3 章

3-3 広帯域増幅器

(執筆者：伊藤康之) [2008 年 11 月 受領]

広帯域増幅器として代表的なものに、(1)抵抗整合増幅器¹⁾、(2)負帰還増幅器²⁾、(3)分布増幅器³⁾がある。抵抗整合増幅器はトランジスタの入出力端子と接地間に抵抗を接続することにより、広帯域にわたって平坦な利得、低い反射特性を実現する。負帰還増幅器は直列または並列帰還回路に抵抗を用いることにより、広帯域にわたって平坦な利得、低い反射特性を実現する。一方、分布増幅器はトランジスタと高インピーダンス線路を接続してカットオフ周波数の高い 50 Ω の伝送線路を作り、その伝送線路の終端部分に抵抗を用いることにより、広帯域にわたって平坦な利得、低い反射特性を実現する。

3-3-1 抵抗整合増幅器¹⁾

トランジスタは入出力に寄生容量を有するため、低周波帯では入出力インピーダンスが高くなる。このためリアクティブ素子だけで整合をとるのが難しくなり、トランジスタの入出力端子と接地間に抵抗を接続して整合をとる。この回路構成を抵抗整合増幅器と呼び、基本回路構成を図 3・19(a)に、低周波帯での等価回路を同図(b)に示す。

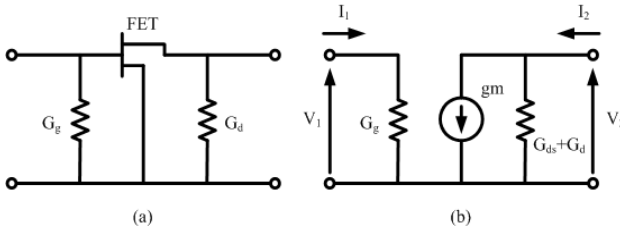


図 3・19 抵抗整合増幅器の基本回路構成と等価回路

トランジスタに FET を用い、相互コンダクタンス (g_m) とドレインコンダクタンス (G_{ds}) で表現する。FET のゲートと接地間に接続するコンダクタンスを G_g 、ドレインと接地間に接続するコンダクタンスを G_d とすると、図 3・19(b) の等価回路の Y パラメータは

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} G_g & 0 \\ g_m & G_{ds} + G_d \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (3 \cdot 3)$$

で与えられる。式(3・3)を S パラメータに変換すると

$$[S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \begin{bmatrix} \frac{1 - G_g Z_o}{1 + G_g Z_o} & 0 \\ \frac{-2g_m Z_o}{(1 + G_g Z_o)\{1 + (G_{ds} + G_d)Z_o\}} & \frac{1 - (G_{ds} + G_d)Z_o}{1 + (G_{ds} + G_d)Z_o} \end{bmatrix} \quad (3 \cdot 4)$$

が得られる。抵抗整合増幅器の利得 G は式(3・4)を変形することにより

$$G = |S_{21}|^2 = \left[\frac{g_m Z_o}{2} (1 + S_{11})(1 + S_{22}) \right]^2 \quad (3 \cdot 5)$$

で与えられる。広帯域にわたって低い反射特性を得るための条件は、式(3・4)において $S_{11} = S_{22} = 0$ とおくことにより、

$$G_g = \frac{1}{Z_o} \quad (3 \cdot 6)$$

$$G_d = \frac{1}{Z_o} - G_{ds} \quad (3 \cdot 7)$$

が得られる。この場合、利得 G は次式で与えられ、広帯域にわたって平坦な利得を示すことができる。

$$G = \frac{(g_m Z_o)^2}{4} \quad (3 \cdot 8)$$

3-3-2 負帰還増幅器²⁾

負帰還増幅器は出力の一部を直列または並列帰還回路を介して入力に戻すことにより、広帯域にわたって平坦な利得、低い反射特性を得る増幅器である。並列帰還回路を用いた負帰還増幅器の基本回路構成を図 3・20(a)に、低周波帯での等価回路を同図(b)に示す。FET のゲート-ドレイン間に接続した負帰還抵抗を R_f とすると、図 3・20(b)の等価回路の Y パラメータは

$$[Y] = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} \frac{1}{R_f} & -\frac{1}{R_f} \\ g_m - \frac{1}{R_f} & \frac{1}{R_f} + \frac{1}{R_{ds}} \end{bmatrix} \quad (3 \cdot 9)$$

で与えられる。式(3・9)を S パラメータに変換すると

$$[S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \begin{bmatrix} \frac{1}{\Sigma} \left\{ \frac{R_f}{Z_o} (1 + G_{ds} Z_o) - (g_m + G_{ds}) Z_o \right\} & \frac{2}{\Sigma} \\ -\frac{2}{\Sigma} (g_m R_f - 1) & \frac{1}{\Sigma} \left\{ \frac{R_f}{Z_o} (1 - G_{ds} Z_o) - (g_m + G_{ds}) Z_o \right\} \end{bmatrix} \quad (3 \cdot 10)$$

$$\Sigma = 2 + (g_m + G_{ds}) Z_o + \frac{R_f}{Z_o} (1 + G_{ds} Z_o) \quad (3 \cdot 11)$$

が得られる。いま近似的に $g_m \gg G_{ds}$ 、 $G_{ds} Z_o \ll 1$ が成り立つと仮定し、更に式(3・10)の S パラメータが R_f の値に依存しなくなる条件 $R_f / Z_o = (g_m + G_{ds}) Z_o$ を満足すると仮定すると、式(3・10)の S パラメータは

$$[S] = \begin{bmatrix} \frac{1}{\Sigma} \left(\frac{R_f}{Z_o} - g_m Z_o \right) & \frac{2}{\Sigma} \\ -\frac{2}{\Sigma} (g_m R_f - 1) & \frac{1}{\Sigma} \left(\frac{R_f}{Z_o} - g_m Z_o \right) \end{bmatrix} \quad (3 \cdot 12)$$

$$\Sigma = 2 + g_m Z_o + \frac{R_f}{Z_o} \quad (3 \cdot 13)$$

で与えられる。広帯域にわたって低い反射特性を得るための条件は、式(3・12)において $S_{11} = S_{22} = 0$ とおくことにより、

$$R_f = g_m Z_o^2 \quad (3 \cdot 14)$$

が得られる。この場合、利得 G は次式で与えられ、広帯域にわたって平坦な利得を示すことができる。

$$G = (g_m Z_o - 1)^2 \quad (3 \cdot 15)$$

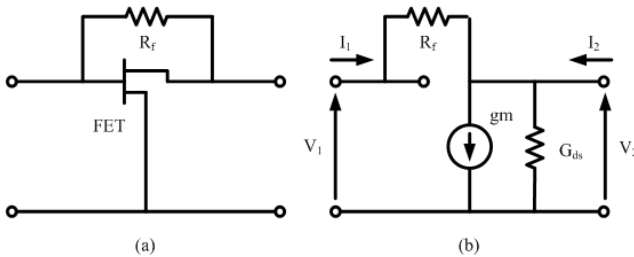


図 3・20 負帰還増幅器の基本回路構成と等価回路

3-3-3 分布増幅器³⁾

分布増幅器は FET の寄生リアクタンスと高インピーダンスの伝送線路を組み合わせ、カットオフ周波数の高い 50Ω の伝送線路を作り、広帯域にわたって平坦な利得、低い反射特性を実現する増幅器である。分布増幅器の基本回路構成を図 3・21(a)に、入力線路の等価回路を同図(b)に、出力線路の等価回路を同図(c)に示す。分布増幅器は N 個の FET を並列動作させ、それぞれ隣接する FET 間を高インピーダンスの伝送線路で接続する。入出力線路の特性インピーダンス (Z_g, Z_d) 及びカットオフ周波数 (ω_g, ω_d) は次式で与えられる。

$$Z_g = \sqrt{\frac{L_g}{C_g + C_{gs}/l_g}} \quad (3 \cdot 16)$$

$$Z_d = \sqrt{\frac{L_d}{C_d + C_{ds}/l_d}} \quad (3 \cdot 17)$$

$$\omega_g = \frac{2}{\sqrt{L_g(C_g + C_{gs}/l_g)}} \quad (3 \cdot 18)$$

$$\omega_d = \frac{2}{\sqrt{L_d(C_d + C_{ds}/l_d)}} \quad (3 \cdot 19)$$

ここで、 L_g , C_g , L_d , C_d は FET 間を接続する高インピーダンスの伝送線路の単位長当たりのインダクタンス及びキャパシタンスである。 C_{gs} は FET のゲート-ソース間容量, C_{ds} は FET のドレイン-ソース間容量である。

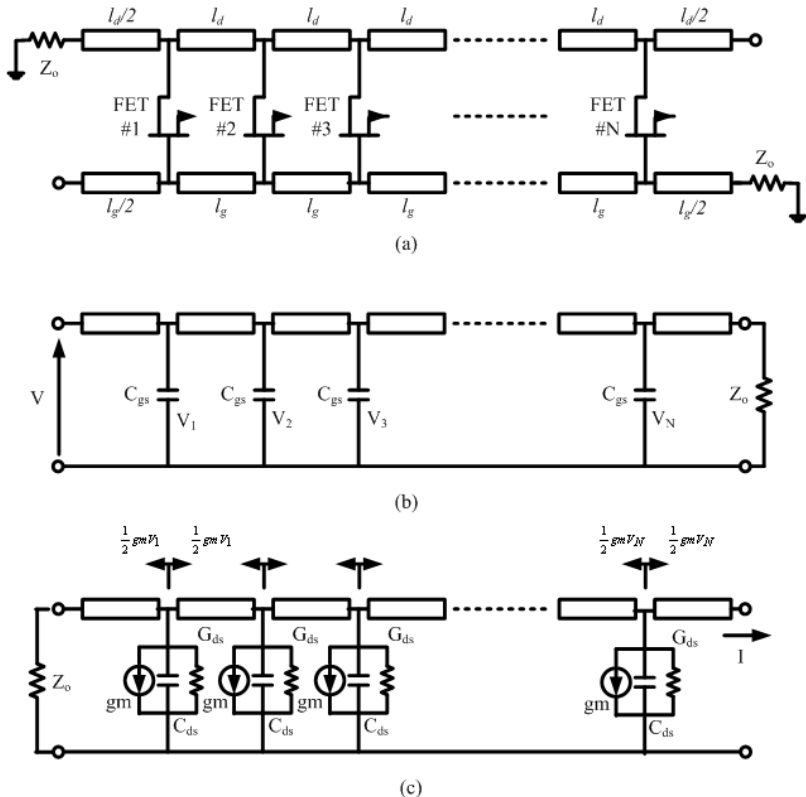


図 3・21 分布増幅器の基本回路構成及び入出力線路の等価回路

いま入力電圧を V とし, 各 FET の C_{gs} に印加される電圧をそれぞれ V_1, V_2, \dots, V_N とすると, 各 FET のドレイン端では $g_m V_1, g_m V_2, \dots, g_m V_N$ なる電流が発生し, 理想的にはこれらの半分 of 電流が終端抵抗で消費され, 残りの半分の電流が出力端に向かって伝搬される。入力線路及び出力線路の位相速度が等しいと仮定すると, 出力端に向かって伝搬した電流は出力端において同位相で合成される。合成された電流 I は

$$I = \frac{1}{2} \sum_{k=1}^N g_m V_k \quad (3 \cdot 20)$$

で与えられる。各 FET の C_{gs} に印加される電圧がすべて V であると仮定すると、出力端での電流 I 及び電力 P_{out} は

$$I = \frac{N}{2} g_m V \quad (3 \cdot 21)$$

$$P_{out} = \frac{Z_o}{2} \left[\frac{N}{2} g_m V \right]^2 \quad (3 \cdot 22)$$

で与えられる。一方、入力電力 P_{in} は

$$P_{in} = \frac{V^2}{2Z_o} \quad (3 \cdot 23)$$

で与えられるので、分布増幅器の利得 G は

$$G = \left[\frac{N g_m Z_o}{2} \right]^2 \quad (3 \cdot 24)$$

となり、広帯域にわたって平坦な利得を示すことができる。

■参考文献

- 1) Karl B. Niclas, "On Design and Performance of Lossy Match GaAs MESFET Amplifiers," IEEE Trans. MTT, vol.30, no.11, pp.1900-1906, Nov. 1982.
- 2) Karl B. Niclas, Walter T. Wilser, Richard B. Gold, and William Hitchens, "The Matched Feedback Amplifier: Ultrawide-Band Microwave Amplification with GaAs MESFET's," IEEE Trans. MTT, vol.MTT-28, no.4, pp.285-294, Apr. 1980.
- 3) Yalcin Ayasli, Robert L. Mozzi, James L. Vorhaus, Leonard D. Reynolds, and Robert A. Pucel, "A Monolithic GaAs 1-13-GHz Traveling-Wave Amplifier," IEEE Trans. MTT, vol.MTT-30, no.7, pp.976-981, Jul. 1982.

■10 群 - 7 編 - 3 章

3-4 発振器

(執筆: 大平 孝) [2008 年 12 月 受領]

3-4-1 発振器の MMIC 化

マイクロ波システムに用いられる様々な機能回路のなかでも発振器は特に MMIC 化に特殊な技能が求められる。増幅器やミキサなどと比べて統一的な設計法が確立しているとはいえ、設計技術者によって工夫やノウハウが異なる部分が多い。従来のハイブリッド IC では高い Q 値をもつ誘電体共振器を装荷することにより、ほぼ狙いどおりの周波数で発振させることができた。ところが MMIC の場合は、MIM キャパシタ、スパイラルインダクタ、伝送線路など比較的低い Q 値の受動素子で共振機能を構成することになる。しかも、MMIC は製造後のトリミングによる発振周波数調整が困難であり、回路素子のばらつきの影響が深刻である。限られた要素で如何にして発振周波数を許容誤差範囲内に収めるかが発振器を MMIC 化するうえでの第 1 の課題である。更に、通信やレーダ応用では発振器に純度の高いスペクトルが強く要求される。MMIC では低 Q 素子という制限下で如何にして回路トポロジと素子パラメータを工夫して低位相雑音特性を達成するかが第 2 の課題である (9 群 7 編 5 章 5-1 「トランジスタ発振器」参照)。

3-4-2 ハートレー発振器の MMIC 化

電界効果トランジスタ (FET) 1 個と集中定数素子 3 個からなるハートレー回路を図 3-22 に示す。発振周波数は

$$\omega = 2\pi f = \frac{1}{\sqrt{(L_1 + L_3)C_2}}$$

で与えられる。2 個のインダクタは設計自由度があり、

$$L_1 = L_3$$

のとき発振振幅が最大となる。位相雑音特性を支配する発振 Q ファクタは、どの端子から出力を取り出すかに依存する。ドレイン-ソース間から L_3 に並列に取り出す場合は

$$Q = \frac{1}{\omega^2 L_3 C_2} \sqrt{1 + \left(\frac{R}{\omega L_3}\right)^2}$$

となる。ここで、 R は負荷抵抗値である。種々の回路構成についての発振周波数と Q ファクタ公式は文献 1) で一覧できる。

MMIC では集中定数 LC 素子は周波数が高くなると設計精度が劣化するので、伝送線路によるスタブで置き換える。図 3-23 に示すようにインダクタは短絡スタブで等価的に置き換える。短絡スタブの入力インピーダンスの式から等価インダクタンスは

$$L = \frac{Z_o}{2\pi f} \tan \frac{2\pi l}{\lambda} = Z_o \tau$$

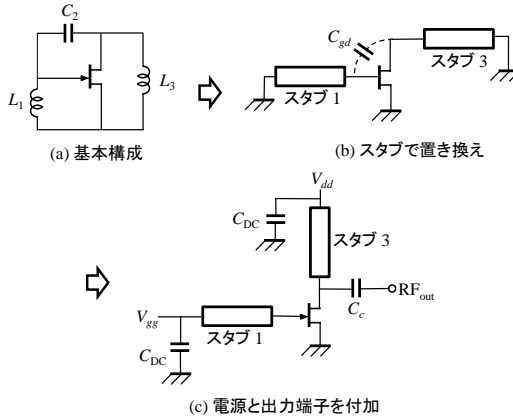


図 3・22 ハートレー発振器の MMIC 化

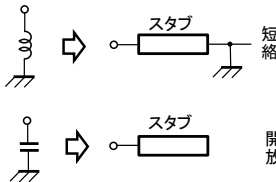


図 3・23 インダクタとキャパシタと等価な伝送線路スタブ

となる．ここで、 Z_0 は伝送線路の波動インピーダンス、 f は周波数、 l は線路長、 λ は波長、 τ は伝送遅延時間（片道）である．線路長は $0 < l < \lambda/4$ の範囲で使うのが基本である．特に、 $l \ll \lambda$ の場合に最右辺の近似式が有効である．図 3・22(a) に示した基本ハートレー回路の LC を

- 1) インダクタ L_1 → 短絡スタブ 1
- 2) キャパシタ C_2 → FET の内部寄生容量 C_{gd}
- 3) インダクタ L_3 → 短絡スタブ 3

で置き換えると同図(b)となる．実際の回路では電源端子と RF 出力端子を付加して同図(c)に示す構成となる．この図で電源デカップリングキャパシタ C_{DC} 、及び直流カットキャパシタ C_c は十分大きな容量値とするのでこれらに容量誤差があっても発振性能に影響を与えない．この回路は C_{gd} を積極的に利用するので、ドレインとソースを反転したリバースチャンネル FET が適する． C_{gd} よりも C_{gs} の方が大きい FET を用いる場合は、むしろ次に述べるコルピッツ発振器が適する．

3-4-3 コルピッツ発振器の MMIC 化

FET 1 個と集中定数素子 3 個からなるコルピッツ回路を図 3・24 に示す．発振周波数は

$$\omega = 2\pi f = \sqrt{\frac{1}{L_2 \left(\frac{1}{C_1} + \frac{1}{C_3} \right)}}$$

で与えられる。2 個のキャパシタは設計自由度があり、

$$C_1 = C_3$$

のとき発振振幅が最大となる。詳しい公式は 9 群 7 編 5 章 5-1 「トランジスタ発振器」及び文献 1) を参照されたい。

集中定数 LC 素子は周波数が高くなると設計精度が劣化するので、伝送線路によるスタブで置き換える。図 3・23 に示したように、キャパシタは開放スタブで置き換える。等価キャパシタンスは

$$C = \frac{1}{2\pi f Z_o} \tan \frac{2\pi l}{\lambda} \approx \frac{\tau}{Z_o}$$

となる。ここで、 Z_o は伝送線路の波動インピーダンス、 f は周波数、 l は線路長、 λ は波長、 τ は伝送遅延時間 (片道) である。線路長は $0 < l < \lambda/4$ の範囲で使うのが基本である。特に、 $l \ll \lambda$ の場合に最右辺の近似式が有効である。

図 3・24(a) に示す基本コルピッツ回路の接地点を FET のドレインにとると同図(b) に示すドレイン接地コルピッツ回路となる。更に、その LC を

- 1) キャパシタ C_1 → FET の内部寄生容量 C_{gs}
- 2) インダクタ L_2 → 短絡スタブ 2
- 3) キャパシタ C_3 → 開放スタブ 3

と置き換えると同図(c) となる。実際の回路では電源端子と RF 出力端子を付加して同図(d) に示す構成となる。この図で電源デカップリングキャパシタ C_{DC} 、及び直流カットキャパシタ C_c は十分大きな容量値とするので、これらに容量誤差があっても発振性能に影響を与えない。

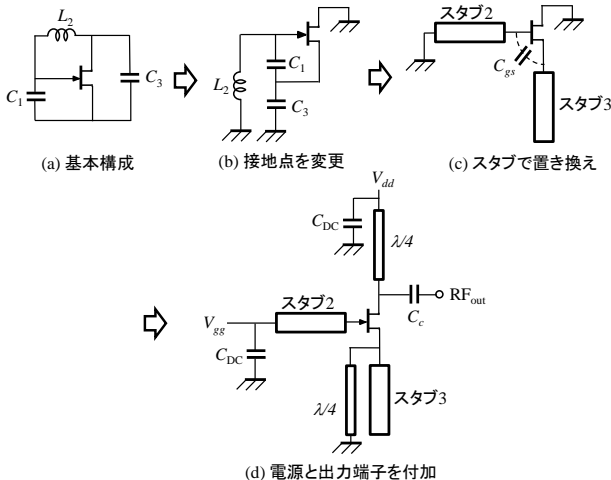


図 3・24 コルピッツ発振器の MMIC 化

3-4-4 負性抵抗発振器の MMIC 化

負性抵抗 1 個と並列共振素子からなる発振器を図 3・25 に示す．発振周波数は

$$\omega = 2\pi f = \frac{1}{\sqrt{LC}}$$

で与えられる．発振 Q ファクタは，負荷抵抗の接続場所に依り， LC に並列に取り出す場合は

$$Q = \omega CR$$

となる．ここで R は負荷抵抗値である．他の場所に負荷を接続した場合の Q ファクタ公式は文献 1) で一覧できる．

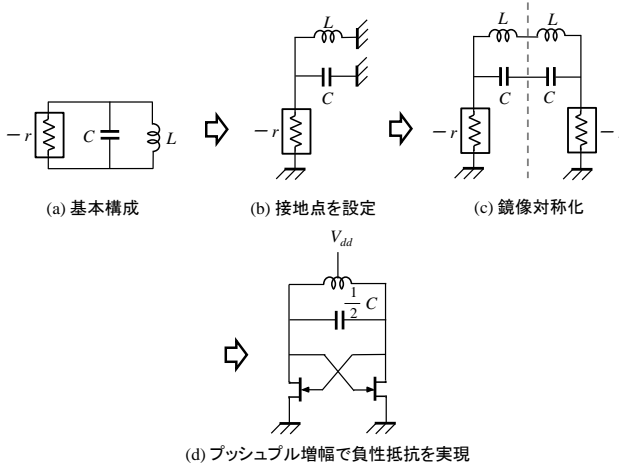


図 3・25 負性抵抗発振器の MMIC 化

負性抵抗を実現する方法はいくつかあるが，ここではクロス結合 FET 対で説明する．図 3・25(a) に示した基本回路に接地点を設定し，同図(b)のように書き換える． LC の接地点を基準面として左右対称構造とする（同図(c)）．差動モードだけが励振されるように，負性抵抗をクロス結合 FET 対で置換する．インダクタの midpoint にタップを設け電源端子とする（同図(d)）．これにより，FET のドレイン-ソース間に等価的な負性抵抗

$$-r = -\frac{1}{g_m}$$

が得られる．ここで， g_m は FET の伝達コンダクタンスである．なお，インダクタの midpoint は RF 的に接地電位であるので，デカップリングは原理的に不要である．電源を midpoint から給電する代わりに，クロス結合 p チャネル FET 対を上段に追加してコンプリメンタリ動作させれば更なる低消費電力化が図れる．また，このような発振器を多段連続すれば，一定の位相差を保って複数の出力が得られるポリフェーズ発振器を構成することもできる．

■参考文献

- 1) T. Ohira and T. Wuren, "Pseudolinear circuit theory for sinusoidal oscillator performance maximization," IEICE Trans. Electron., vol.E91-C, issue 11, pp.1726-1737, Nov. 2008.

■10 群 - 7 編 - 3 章

3-5 スイッチ, 可変アッテネータ, 移相器, 通倍器

(執筆者: 檜枝護重) [2008年11月 受領]

本節では, マイクロ波の振幅を制御するスイッチ, 可変アッテネータ, 位相を制御する移相器, 周波数を通倍する通倍器について説明する。

3-5-1 スイッチ

スイッチは, マイクロ波の信号を伝達/遮断/経路を切り替えるために用いられる。スイッチに用いられる半導体素子として, 主に FET (Field Effect Transistor), PIN ダイオードなどが用いられる。スイッチの切り替えるポート数に応じて, 以下のような呼称が用いられることが多い¹⁾。

SPST (Single Pole Single Throw) : 単極単投

SPDT (Single Pole Double Throw) : 単極双投

SPMT (Single Pole Multi Throw) : 単極多投

MPMT (Multi Pole Multi Throw) : 多極多投

スイッチには, 遮断される端子の終端条件によって大きく 2 分類できる。一般には, 図 3・26(a)に示す遮断端子が反射するタイプのものが多いが, 図 3・26(b)に示す反射 (抵抗終端) した吸収型のスイッチが用いられる¹⁾。

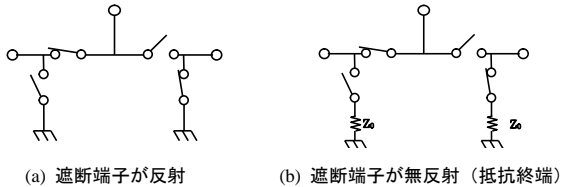


図 3・26 スイッチの遮断端子の終端条件による分類

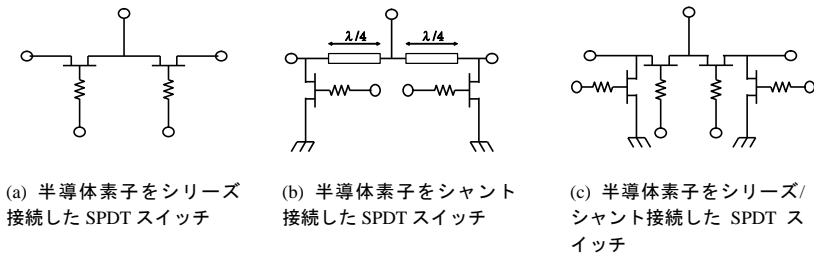


図 3・27 主な SPDT スイッチの回路方式

スイッチの回路方式として大きく三つに分類できる。図 3・27 に主な SPDT スイッチの回路方式を示す。図 3・27(a)は, 半導体素子をシリーズ接続, 図 3・27(b)は半導体素子をシャント接続, 図 3・27(c)は半導体素子をシリーズ/シャント接続したものである。(a)は, 高い周波数でアイソレーションが劣化する。(b)は, $\lambda/4$ の線路を用いるために帯域が狭い。(c)は, 広い

周波数で動作し、(a)に比べてアイソレーションを高めることが可能である。(c)で更にアイソレーションを高めるために、シャント接続の半導体素子を複数接続する方法¹⁾、半導体素子の寄生インダクタンスを打ち消す方法³⁾などがある。

3-5-2 可変アッテネータ (減衰器)

マイクロ波の振幅を可変するのが可変アッテネータである。可変アッテネータに用いられる半導体素子としては、スイッチと同様に FET (Field Effect Transistor)、PIN ダイオードなどが用いられる。離散的に振幅を可変するのがアナログ可変アッテネータ、離散的に振幅を可変するのがデジタル可変アッテネータ、また出力電力が一定値を超えないように減衰量を自動制御するものがリミッタと呼ばれる^{1),2)}。

図 3・28 に主な回路方式を示す。図 3・28(a)の固定減衰器スイッチ切替型は、固定減衰器と線路とを SPDT スイッチで切り替えることにより減衰量を変える方式でデジタル可変アッテネータに用いられることが多い⁴⁾。高い周波数でも固定減衰器と線路の電気長をそろえることにより、減衰量切り替え時の位相変化を小さくしやすいのが特徴である。図 3・28(b)の反射型及び図 3・28(c)の Bridged-T 型¹⁾は減衰量を変えても入出力インピーダンスが変化しない定インピーダンス回路の一種である。そのため、半導体素子の制御電圧を連続可変しても整合がとれているためにアナログ可変アッテネータに用いられることが多い。図 3・28(d)は、 π 型減衰回路の抵抗の代わりに半導体素子と抵抗を組み合わせしており、アナログ/デジタル可変減衰器どちらにも適用可能である^{1),5)}。

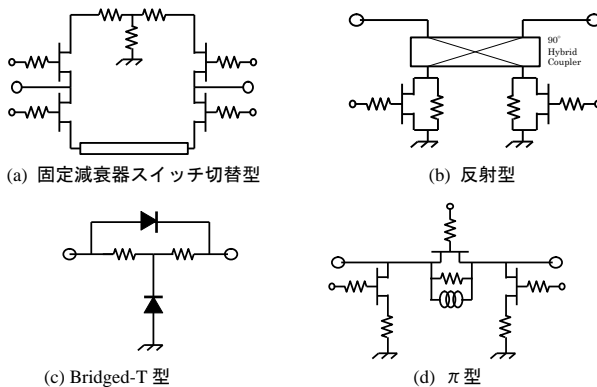


図 3・28 主な可変アッテネータの回路方式

3-5-3 移相器

マイクロ波の位相を可変するのが移相器である。移相器に用いられる半導体素子としては、スイッチ・可変アッテネータと同様に FET (Field Effect Transistor)、PIN ダイオードなどが用いられる。離散的に振幅を可変するのがアナログ移相器、離散的に振幅を可変するのがデジタル移相器と呼ばれる。

図 3・29 に主な回路方式を示す。図 3・29(a)のスイッチライン型は、長さの異なる線路を

SPDT スイッチで切り替えるものである^{1),2)}。群遅延が一定な特性が得られるが、SPDT スイッチのアイソレーションによって帯域が制限される特徴がある。図 3・29(b)のローデッドライン型は、主線路に接続した回路のサセプタンスを可変することにより移相量を得るが、単一の回路ではインピーダンス整合がとれないために同一回路を $\lambda/4$ 離して主線路に接続している^{1),2)}。そのために、帯域が狭い特徴がある。図 3・29(c)反射型は、サセプタンスが可変の反射回路をハイブリッドカプラに接続したものでハイブリッド型とも呼ばれる^{1),2)}。低インピーダンス回路の一種のために、反射回路のインピーダンスによらず整合がとれるのが特徴である。そのため、半導体素子を連続的に可変するアナログ移相器に用いられることが多い。図 3・29(d)のフィルタ切替型は、通過位相が異なる二つのフィルタを SPDT スイッチで切り替えることにより移相量を得るものである^{1),2)}。一般には、HPF (High Pass Filter) と LPF (Low Pass Filter) を切り替えるが、集中定数化が容易で小形にできるため MMIC 化に適している⁶⁾。図 3・29(e)の HPF/LPF 切替型は、T 型 (または π 型) フィルタを構成する回路素子を SPDT スイッチで切り替えることにより、HPF または LPF として動作させ移相量を得るものである^{1),2)}。この方式の発展形として、HPF と BPF を切り替えるもの^{7),8)}、All-Pass Filter と BPF を切り替えるもの⁹⁾ などがあり、どれも(d)のフィルタ切替型と同様に集中定数化が容易で小形にできるため MMIC 化に適している。図 3・29(f)のベクトル変調型は、90 度ごと (4 象限) に 4 分配した信号の振幅を変えて合成することにより移相量を得るものである¹⁰⁾。位相以外に振幅もアナログ的に制御できることが特徴である。図では 90 度ごとに 4 分配するために 180 度ハイブリッドカプラと 90 度ハイブリッドカプラの例を示したが、ポリフェーズフィルタなどを用いることにより小形にでき、MMIC 化も可能である¹¹⁾。

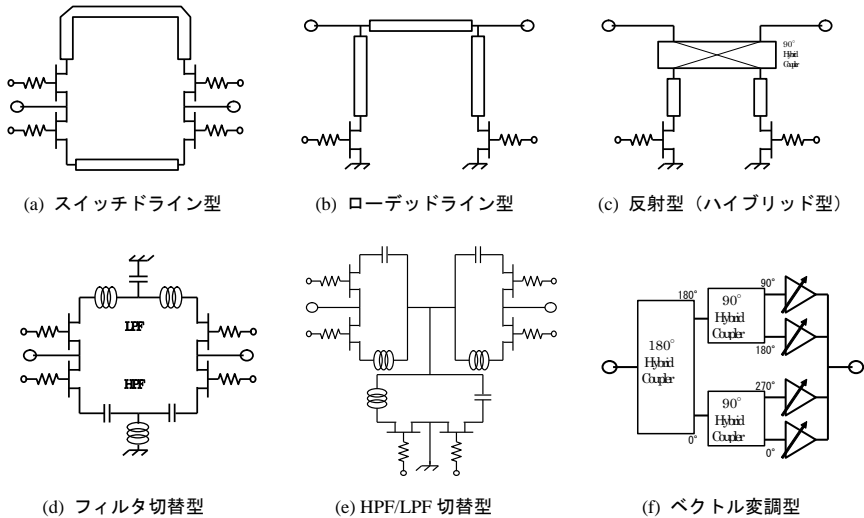


図 3・29 主な移相器の回路方式

3-5-4 通倍器

入力信号の周波数の N 倍 (N : 自然数) の周波数を取り出すのが通倍器である (図 3・30)。

一般に、増幅器に大電力を入力し発生した高調波をフィルタで分別して取り出すことが多いが、ミリ波などではダイオードも用いられる。増幅器を用いる場合は、非線形性の強いC級動作にて高調波を発生させる。入力整合回路は、入力される基本波に対して整合をとるが、出力整合回路は基本波は反射、通倍波（出力波）に対しては整合をとることにより、所望の出力波が得られる¹²⁾。

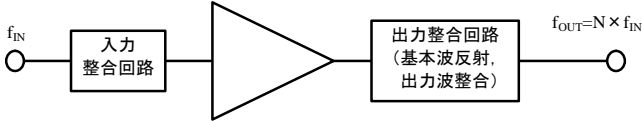


図 3・30 通倍器の基本回路構成

■参考文献

- 1) R. V. Garver, "Microwave Diode Control Devices," Artech House, ISBN 0-89006-022-3, 1976.
- 2) J.F. White, "Semiconductor Control," Artech House, ISBN 0-89006-028-2, 1977.
- 3) M. Hieda, K. Nakahara, K. Miyaguchi, H. Kuruu, Y. Iyama, T. Takagi, and S. Urasaki, "High isolation series-shunt FET SPDT switch with a capacitor canceling FET parasitic inductance," IEEE Trans. Microwave Theory Tech., vol.49, no.12, pp.2453-2458, Dec. 2001.
- 4) L. Sjogren, D. Ingram, M. Biedenbender, R. Lai, B. Allen, and K. Hubbard, "A low phaseerror 44-GHz HEMT attenuator," IEEE Microwave and Guided Wave Lett., vol.8, no.5, pp.194-195, May 1998.
- 5) 檜枝, 谷口, 中島, 久留須, 末松, 伊山, 高木, "低損失・定位相 Ku 帯 6 ビット MMIC 可変減衰器," 信学論(C), vol.J87-C, no.1, pp.61-70, Jan. 2004.
- 6) 伊山, 安藤, 飯田, 石田, 浦崎, "抵抗整合回路を用いたハイパス/ローパス形移相器," 信学論(CI), vol.J78-CI, no.9, pp.409-417, Sep. 1995.
- 7) M. Hieda, K. Miyaguchi, H. Kuruu, H. Ikematsu, Y. Iyama, T. Takagi, and O. Ishida, "A compact Ku-band 5-bit MMIC phase shifter," IEICE Trans. Electron. vol.E86-C, no.12, pp.2437-2444, Dec. 2003.
- 8) C. F. Campbell and S. A. Brown, "A compact 5-bit phase-shifter MMIC for K-band satellite communication systems," IEEE Trans. Microwave Theory Tech., vol.48, no.12, pp.652-2656, Dec. 2000.
- 9) K. Miyaguchi, M. Hieda, M. Hangai, T. Nishino, N. Yunoue, Y. Sasaki, and M. Miyazaki, "An Ultra Compact C-Band 5-Bit MMIC Phase Shifter Based on All-Pass Network," European Microwave Integrated Circuits Conference 2006 Digest, vol.1, pp.277-280, Sep. 2006.
- 10) G. B. Norris, D. C. Boire, G. St. Onge, C. Wutke, C. Barratt, W. Coughlin III, and J. Chickanosky, "A fully monolithic 4-18 GHz digital vector modulator," 1990 IEEE Int. Microwave Symp. Dig., pp.789-792, May 1990.
- 11) 中島, 船越, 伊東, 加賀野, 中根, 末松, "ポリフェーズフィルタを用いた L 帯 SiGe-MMIC ベクトル合成形アナログ移相器," 信学技, vol.SAT 102, no.241, pp.23-26, SAT2002-40, Jul. 2002.
- 12) E. Camargo, "Design of FET Frequency Multipliers and Harmonic Oscillators," Artech House, ISBN 0-89006-481-4, 1998.

■10 群 - 7 編 - 3 章

3-6 ミクサ

(執筆著：伊東健治，下沢充弘) [2009 年 5 月 受領]

ミクサは，入力信号と LO 波を混合してその和または差周波数の出力信号を得るデバイスである．ここでは，その原理と構成，MMIC の開発例を示す．

3-6-1 周波数混合の原理

ミクサの基本動作は局部発振 (LO) 波による信号波のスイッチングである．ここでは，ミクサの基本動作を説明するために，理想スイッチを用いた原理モデルによる周波数混合の動作を述べる．図 3・31(a)に理想スイッチ (閾値 V_{in}) を用いた周波数変換のモデル，同図(b)に LO 波 $v_p(t) = V_p \cos(\omega_p t)$ ($\omega_p = 2\pi f_p$, f_p : LO 周波数) によるスイッチング波形を示す．スイッチングされた理想スイッチと信号源の内部コンダクタンス G_0 との直列回路のアドミタンス $G_t(t)$ は次式で与えられる．

$$G_t(t) = \gamma \cdot G_0 + 2G_0 \sum_{n=1}^{\infty} \frac{\sin(\gamma \cdot n\pi)}{n\pi} \cos(n\omega_p t) \tag{3・25}$$

ここで， γ は理想スイッチのデューティ比であり，LO 波の半周期が完全に on となる条件で最高値 0.5 となる．入力信号として電圧源 $v_{in}(t) = V_{in} \cos(\omega_{in} t)$ ($\omega_{in} = 2\pi f_{in}$, f_{in} : 入力信号周波数) に理想スイッチを接続すると，回路に流れる電流 $i(t)$ は次式で与えられる．

$$\begin{aligned} i_{out}(t) &= G_t(t) \cdot v_{in}(t) \\ &= \gamma \cdot G_0 \cdot V_{in} \cdot \cos(\omega_{in} t) \\ &\quad + G_0 \cdot V_{in} \cdot \sum_{n=1}^{\infty} \frac{\sin(\gamma \cdot n\pi)}{n\pi} [\cos(\omega_{in} - n\omega_p)t + \cos(\omega_{in} + n\omega_p)t] \end{aligned} \tag{3・26}$$

G_0 は電圧源の内部コンダクタンスである．これより出力信号 $\cos(\omega_{in} \pm \omega_p)$ の電流は $I_{out} = G_0 \cdot V_{in} \cdot \sin(\gamma \cdot \pi) / \pi$ となる．一方，内部コンダクタンス G_0 の電圧源 $v_{in}(t)$ に整合負荷 G_0 を接続したときの電流は $I_{in} = G_0 \cdot V_{in} / 2$ となる．これらの電流より，入力信号から出力信号への変換利得 G_c は次式となる．

$$G_c = \frac{I_{out}}{I_{in}} = \frac{2}{\pi} \sin(\gamma \cdot \pi) \tag{3・27}$$

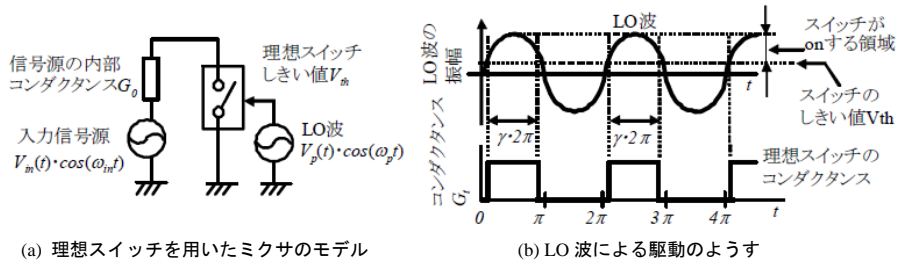


図 3・31 理想スイッチを用いたミクサのモデルと局部発振波による駆動のようす

図 3・32 にデューティ比 γ に対する変換利得 G_c を示す．LO 電力を高めるほど高いデューティ比となりミクサの変換利得は高まる．そして $\gamma = 0.5$ で最高値 -3.92 dB に漸近し，飽和する．

この変換利得は理想スイッチを仮定した原理的なミキサのモデルでよく知られた値である。

実際のミキサでは、この理想スイッチの機能を半導体素子の非線形動作で代替している。そのため、半導体素子の接合面の寄生抵抗や容量により変換利得が低下する。このため、FET などのアクティブ素子を用いて周波数変換と同時に増幅も行っている。

一般に混合波の周波数は次式で与えられ、式(3・27)の周波数成分のみならず、直流 ($m=0$, $n=0$)、入力信号 f_{in} とその高調波 $m \cdot f_{in}$ ($m=1, 2, \dots$)、局部発振波 f_p とその高調波 $n \cdot f_p$ ($n=1, 2, \dots$) 及びそれらの混合波 $m \cdot f_{in} \pm n \cdot f_p$ ($m=1, 2, \dots, n=1, 2, \dots$) が出力される。所望の混合波 $\cos(\omega_{in} \pm \omega_p)$ 以外の混合波はスプリアスとなる。

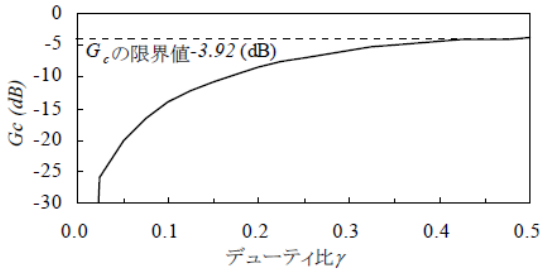


図 3・32 理想スイッチを用いたミキサの変換利得とその限界値

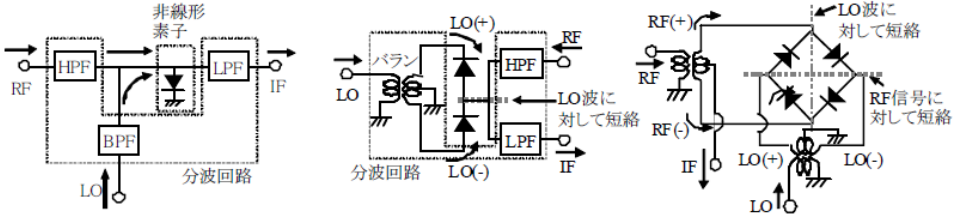
3-6-2 ミキサの回路構成

ミキサは、スイッチングを行うための半導体素子と、LO 波及び入出力信号を分波するための分波回路から構成される。MMIC 上のミキサでは、金属-半導体接合を用いたショットキー障壁ダイオード (Schottky Barrier Diode : SBD) や MESFET が用いられている。また、近年ではプロセスの高周波特性の向上にともない、Si, SiGe プロセスを用いたバイポーラトランジスタや CMOS プロセスを用いたギルバートセルミキサが用いられている。一方、分波回路の構成によりシングルエンド型とバランス型に大別される。

(1) ダイオードミキサ

障壁電位を超える振幅の LO 波を印加してスイッチングを行う。GaAs MMIC 上の SBD の場合、障壁電位は 0.7 V 程度である。ダイオードは 2 端子であるため分波回路が必要である。ダイオードと分波回路とを組み合わせたダイオードミキサの構成例を図 3・33 に示す。同図(a) はシングルエンド型ミキサであり、LO 波と入出力信号 (ここでは RF 信号を入力、IF 信号を出力としてある) とをフィルタを用いて分離する。このため、LO 波及び入出力信号の周波数は各フィルタの通過帯域内に限られる。同図(b) は LO 波の印加に平衡・不平衡変換回路 (バラン) を用いたシングルバランス型ミキサである。この構成では直列接続されたダイオードの両端に 180 度位相の異なる LO 波が印加されるため、直列接続された二つのダイオードの接続点は仮想的に接地され、LO 波は短絡される。したがって、ここに接続される RF 及び IF 端子に LO 波は漏洩しないので、LO 波の周波数を RF 及び IF 信号の周波数とオーバーラップさせることができる。同様に同図(c)はよく知られた二重平衡型 (ダブルバランス型) ミク

サであり、LO 波及び RF 信号を、それぞれバランを介して、リング状に接続されたダイオードに加える。LO 波及び RF 信号の位相関係により、RF-LO 端子間のアイソレーションが確保される。したがって、RF 信号と LO 波の周波数をオーバーラップさせることができる。また、IF 信号は RF 端子に設けられたバランの 2 次側の midpoint から取り出すため、IF 端子への RF 信号及び LO 波の漏洩も抑制される。



(a) シングルエンドミキサ (b) シングルバランス型ミキサ (c) ダブルバランス型ミキサ

図 3・33 ダイオードミキサの構成

(2) FET ミキサ

入出力信号と LO 波の印加方法により、表 3・2 に示す構成がある。図 3・34 に FET の直流特性におけるそれぞれのミキサの動作点を示す。ゲートミキサでは、LO 波をゲート端子に印加して FET の相互コンダクタンス g_m を、ドレインミキサでは LO 波をドレイン端子に印加してドレインコンダクタンス G_d を、レジスティブミキサでは LO 波をゲート端子に印加して G_d をそれぞれスイッチングする。また、デュアルゲート FET ミキサでは第 1、第 2 ゲート端子にそれぞれ入力信号と LO 波を印加し、ドレイン端子から出力信号を得る構成が一般的である。

表 3・2 FET ミキサの構成

端子	FET ミキサ			デュアルゲート FET ミキサ
	ゲートミキサ	ドレインミキサ	レジスティブミキサ	
入力端子	ゲート	ゲート	ドレイン	第 1 ゲート
LO 端子	ゲート	ドレイン	ゲート	第 2 ゲート
出力端子	ドレイン	ドレイン	ドレイン	ドレイン

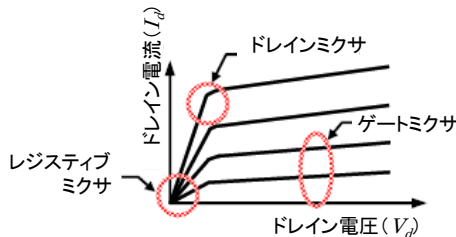


図 3・34 FET の直流特性と FET ミキサの動作点

(3) 乗算型ミキサ

Si プロセスによるトランジスタ差動対を用いた乗算器であり、トランジスタのみで分波と周波数変換を行うことができる。図 3・35(a)にシングルバランス型、同図(b)にダブルバランス型の構成をそれぞれ示す。シングルバランス型では入力信号端子を除いて、ダブルバランス型ではすべての端子が差動信号端子である。シングルバランス型では差動出力の正相及び逆相の端子に漏洩する RF 信号は同相となるのでミキサ後段の差動増幅器により抑制されるが、LO 波は逆相なので抑制されない。したがって、LO 端子と出力端子の間はアイソレーションが望めない。一方、二つのシングルバランス型を組み合わせたダブルバランス型では、出力端子の正相及び逆相の端子に漏洩する LO 波も同相となるため、LO 端子と出力端子間のアイソレーションも確保される。

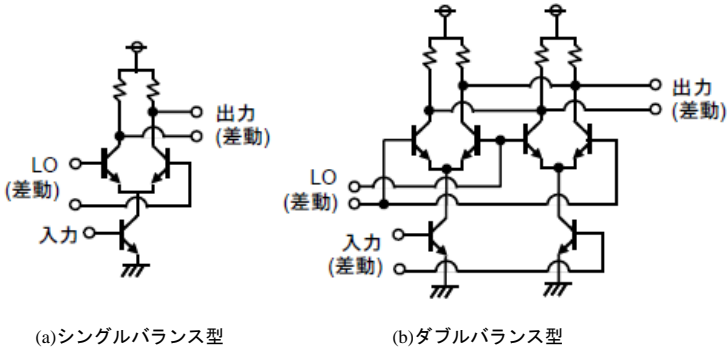


図 3・35 乗算型ミキサ

(4) 高調波ミキサ

LO 波の高調波と入力信号の和または差周波数成分を出力させるミキサである。LO 周波数が通常のみキサの 1/2 となることから、ミリ波帯で用いられることが多い。図 3・36 に示すようにアンチパラレルダイオードペア (Anti-Parallel Diode Pair : APDP) を用いて、LO 周波数 f_p 、入力信号周波数 f_{in} に対し、 $|f_{in} \pm 2f_p|$ を得る構成が一般的である。また、偶数次の混合波 $|m \cdot f_{in} \pm n \cdot f_p|$ ($m+n = \text{偶数}$) が出力されない特長を利用して、移動体通信用ダイレクトコンバージョン受信機に適用される場合もある。トランジスタ差動対を用いた例も報告されている。

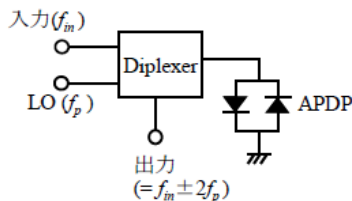


図 3・36 高調波ミキサの構成例

(5) 平衡型ミキサ

シングルエンド型ミキサまたはバランス型ミキサを二つ用い、これにバランを組みあわせてバランス型ミキサとして、特定のスプリアスを抑圧する場合がある。衛星搭載用低スプリアスマキサとして用いられている。

3-6-5 開発例

リングダイオードミキサの開発例を図 3・37 に示す²⁾。動作帯域はバランの帯域に依存するため、広帯域なマーチャントバランを用いている。RF 周波数は 6~18 GHz、変換損は 11.5 dB 以下である。図 3・38 はミリ波帯のゲートミキサである³⁾。変換利得は 8 dB である。図 3・39 は APDP を用いた偶高調波ミキサであり、LO 波に対する $\lambda/4$ 線路を用いて分波回路を構成している⁴⁾。40 GHz 帯における変換損は 10 dB である。

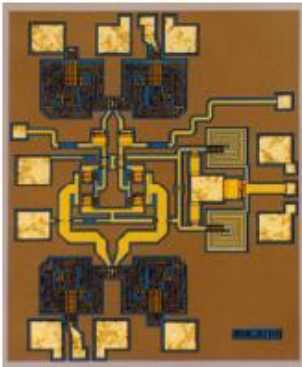


図 3・37 リングダイオードミキサ
(2.6mm×2.2mm)

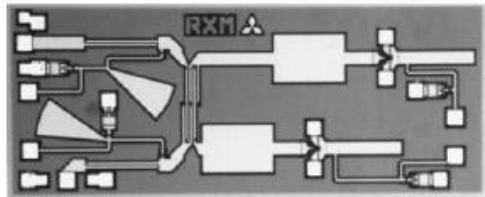


図 3・38 ゲートミキサ (1.2mm×2.9mm)

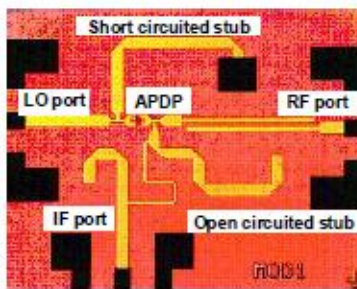


図 3・39 APDP 偶高調波ミキサ (1.7mm×1.5mm)

■参考文献

- 1) 野島俊雄, 山尾 泰, 高野 健, 伊東健治, 楢橋祥一, “モバイル通信の無線回路技術,” 電子情報通信学会, 2007.
- 2) 下沢充弘, 伊東健治, 磯田陽次, 飯田明夫, 林亮司, 石田修巳, “スパイラル形結合線路を用いた並列接続形マーチャントバランと広帯域 MMIC FET レジスティブリングミキサへの適用,” 電子情報通信学

会論文誌, vol.J89-C, no.5, pp.217-227, 2006.

- 3) K. Kawakami, N. Uehara, K. Matsuo, T. Kashiwa, K. Itoh, Y. Isota, and O. Ishida, "A High-Gain 50-GHz-Band Monolithic Balanced Gate Mixer with an External IF Balun," IEEE Trans. on MTT, vol.46, no.6, pp.829-833, 1998
- 4) K. Itoh, A Iida, Y. Sasaki, and S. Urasaki, "A 40 GHz band monolithic even harmonic mixer with antiparallel diode pair," IEEE International Microwave Symposium Digest, pp.879-882, 1991.

■10 群 - 7 編 - 3 章

3-7 RF-MEMS

(執筆者：岡崎浩司) [2009年3月 受領]

本節では、RF-MEMS (RF-Micro ElectroMechanical Systems) について概説する。JIS 規格 C5630-1 において、RF-MEMS とは「高周波無線通信分野へ応用した MEMS」と定義され、MEMS とは「微小な電気機械システムで、半導体プロセスを用いて一つのチップ上にセンサ、アクチュエータ、電子回路などのすべて、又は一部を統合化したもの」と定義されている。更に MEMS の定義の注記として、「MEMS は、(略) 一般には、シリコンプロセス技術を用いた微小な構造体、センサ、及びアクチュエータに関する技術を意味する」と記されている。これらの主旨からすれば、RF-MEMS とは高周波無線通信分野への応用を目的として半導体プロセス技術を用いて作製された微小な構造体に関する技術と換言することができる。本技術によれば、例えば低損失化につながる厚膜配線や半導体を用いない特性可変の受動回路などが作製可能であり、回路の性能向上や従来の半導体回路では難しいとされていた機能回路の実現が期待されている。また、半導体プロセスを用いて作製するため、能動デバイスを含めた 1 チップ集積化も可能である。現在までの RF-MEMS デバイスとして、可動部を有するスイッチや可変キャパシタ (バラクタ) など、機械共振を利用した共振器やフィルタなどの報告例があり、また、RF-MEMS デバイスを構成要素とする各種回路も報告されている¹⁾⁻³⁾。以下、主要なものについて簡単に述べる。

3-7-1 スイッチ及びバラクタ

これまで報告されている MEMS スイッチは、可動部を有し、接点としての電極 (導体) を物理的に動かすことにより、そのオン/オフを切り替えるものが大半であり、駆動形式、接点として導体同士の接触の有無、接続構成、などで分類できる²⁾。可動部は、シリコンまたは金属などで、図 3・40 に示すような梁構造を形成する例が多い。可動方向としては、基板に対して垂直方向あるいは水平方向のいずれも報告例がある。駆動形式としては、クーロン力を利用する静電駆動型のほか、圧電駆動型、静磁駆動型、熱駆動型などが報告されている。接点の少なくとも一方は可動部に形成され、接点として導体どうしの接触がある場合は DC コンタクト型、ない場合は容量型と呼ばれ、前者は直流から高周波領域まで広帯域にわたり使用できる。接続構成としては図 3・41 に示すようなシリーズ型とシャント型がある。

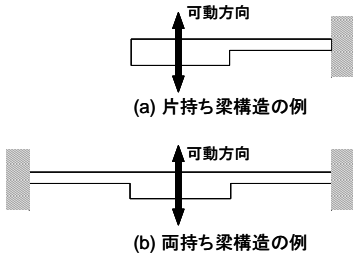


図 3・40 可動部の梁構造例

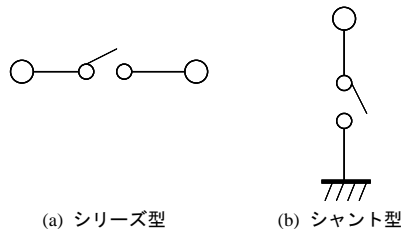


図 3・41 スイッチの接続構成

図 3・42 は、リレースイッチを MEMS により小型化した、静電駆動型、DC コンタクト型、直列構成の SPST スイッチの例であり、基板上で分離している二つの信号線間上を可動接点が上下させ、オフ/オンの切替えを行う⁴⁾。MEMS スイッチの利点として、まず、半導体を介さずオン/オフできるため、オン時の挿入損失及びオフ時のアイソレーション特性をとともに半導体スイッチに対して高めることができる。また、接点部分に非線形素子を含まないため、非線形ひずみ特性も有利である。一方で可動部を有するため、オン/オフ切替え速度が遅い、埃や(空気中の)水分による故障を避けるため密閉パッケージが必要、DC コンタクト型では接点が磨耗するなどの課題もある。特にパッケージングについては、スイッチに限らず MEMS デバイスにとって重要な課題であり、その解として様々なパッケージング手法が提案されている^{4),5)}。

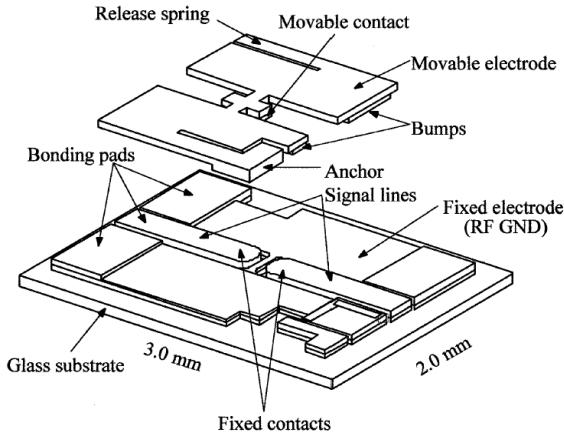


図 3・42 DC コンタクト型 MEMS スイッチの例⁴⁾

図 3・43 はシャント型の容量型 MEMS スイッチあるいはバラクタの例である。本例では 2 枚の平行な平板電極があり、上部電極が可動する。上部電極を下げ絶縁体と接触させた場合に最も大きな容量値を示し、上部電極が絶縁体より離れるに従い、容量値は減少する。容量値の最大値が目的とする周波数において十分大きい場合には図 3・41(b)中のスイッチのオン状態と等価となり、最小値が十分小さい場合には同オフ状態と等価となる。上部電極の位置を任意の中間状態で保持するなど制御できる場合は連続的に容量値を変化できるバラクタとなるが、実際の環境においてその制御は困難であるため、上記のオン、オフに相当する二つの値のみをとり得るバラクタとしての報告例が多い。なお、いくつかの 2 値バラクタを組み合わせて、バラクタとしてのとり得る容量値を多値化した報告もある²⁾。

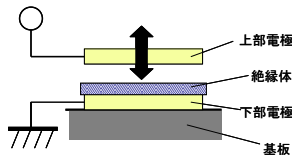


図 3・43 容量型 MEMS スイッチの例

3-7-2 スイッチ応用回路

前述のように MEMS スイッチ及びバラクタは、半導体に対し低損失, 高アイソレーション, 低ひずみといった特長があり, それらを用いた回路が数多く提案されている¹⁾⁻³⁾。

移相器への応用としては, スイッチドライン型, ローデッドライン型, 反射型などの移相器のスイッチに MEMS スイッチを用いたものが提案されている²⁾。図 3・44 は MEMS SP4T スイッチを用いて構成したスイッチドライン型 4 ビット移相器の例であり, 10 GHz において挿入損失 $-1.2 \text{ dB} \pm 0.5 \text{ dB}$ と非常に低損失な特性を得ている⁶⁾。

また近年, ソフトウェア無線機への応用や携帯電話端末のマルチバンド化を目的として, 増幅器, 発振器などの機能回路の構成要素に RF-MEMS による可変デバイスを用いたリコンフィギュラブル回路の研究が盛んに行われている^{1), 2), 7)-11)}。図 3・45 は, MEMS スイッチを用いた可変帯域通過型フィルタの例である。ハイブリッドと組み合わせた反射型とすることで, 挿入損失 3 dB 程度で C 帯から Ku 帯の間の三つの通過帯域を切り替えることができる¹⁰⁾。図 3・46 は, MEMS スイッチを用いたマルチバンド電力増幅器の構成例である¹¹⁾。0.9 GHz から 2.6 GHz までの 4 バンドに対応し, 出力 1 W, 最大効率 44% 以上を達成している。

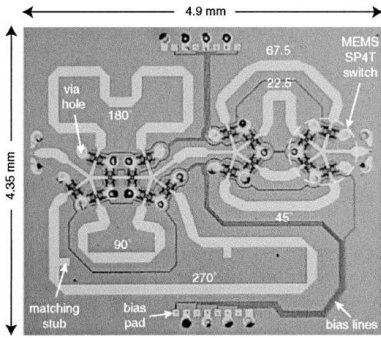


図 3・44 4 ビット移相器の例⁶⁾

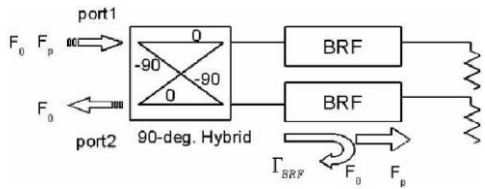


図 3・45 可変帯域通過型フィルタの例¹⁰⁾

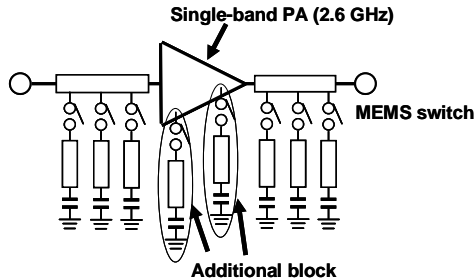


図 3・46 マルチバンド電力増幅器の構成例¹¹⁾

3-7-3 機械共振を利用した共振器

前述のように MEMS 技術によれば機械的な可動部を形成することができる。構造体には固

有の機械共振周波数があるため、目的の周波数の振動に対し大きく共振するような構造体を形成すれば、非常に高い Q 値を有する共振器を構成できる。これまでに、62 MHz で真空中及び空気中での Q 値がそれぞれ 161000 及び 8000、あるいは 1.9 GHz で真空中及び空気中での Q 値がいずれも 10000 以上の共振器などが報告されている (図 3・47)⁷⁾。課題としては、量産時の再現性や共振周波数の微調整法、温度安定性、電気信号と機械振動との変換の低損失化などがあげられている。これらの高 Q 共振器は、水晶による基準発振器と遜色ない安定度を有する 1 チップ発振器、あるいは 1 チップ送受信 IC への応用が期待されている。

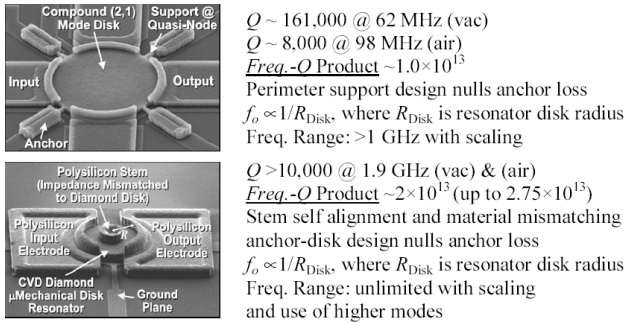


図 3・47 MEMS 共振器の例⁷⁾

3-7-4 BAW フィルタ

表面弾性波 (SAW : Surface Acoustic Wave) を利用する SAW フィルタに対し、BAW フィルタは、バルク弾性波 (BAW : Bulk Acoustic Wave) と呼ばれる、電極に挟まれた圧電体薄膜において圧電効果で生じる振動波を用いる。BAW フィルタの共振器構造は、図 3・48 に示すような SMR (Solid Mounted Resonator) と FBAR (Film Bulk Acoustic Resonator) の 2 種類に大別される¹²⁾。

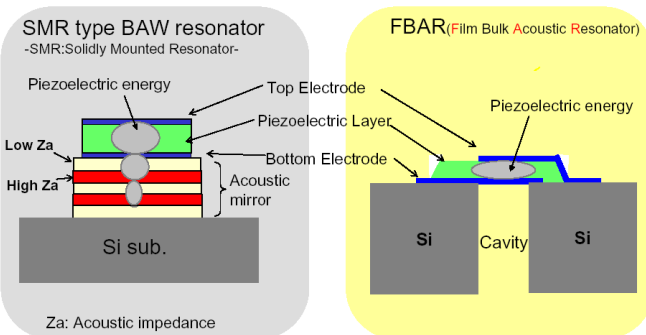


図 3・48 BAW 共振器 (左 : SMR, 右 : FBAR)¹²⁾

SMR は、図中 Acoustic mirror と示された多層膜でバルク弾性波を反射させ、弾性波を共振器中に閉じ込める。一方、FBAR は、下部電極にキャビティを設けることにより圧電体の振

動を妨げない構造となっている。FBAR におけるキャピティ形成において必要となる深堀り異方性エッチングに MEMS 技術が用いられる。BAW フィルタは、共振周波数が圧電体薄膜厚さで決定されるため、その制御・調整が難しいという課題もあるが、一般的な SAW フィルタと比して耐電力性に優れ、高周波化しても Q 値が劣化しない、Si 基板上に形成できるため他の機能回路との集積化が可能などの利点がある¹³⁾。2 GHz 帯で急峻なカットオフ特性が必要である北米 PCS (Personal Communication System) 用のデュプレクサなどに使用されている。

■参考文献

- 1) H. J. De Los Santos, "RF MEMS Circuit Design," Artech House, 2002.
- 2) G. M. Rebeiz, "RF MEMS Theory, Design, and Technology," John Wiley & Sons, 2003.
- 3) 大和田, "RF MEMS とその応用," ケイラボ出版, 2004.
- 4) 坂田, 藤井, 積, 佐野, 速水, 今仲, "高周波 MMR の開発," 信学論(C), vol.J84-C, no.1, pp.11-16, 2001.
- 5) 江刺, "MEMS のウェーハレベルパッケージング技術," 信学論(C), vol.J91-C, no.11, pp.527-533, 2008.
- 6) Guan-Leng Tan, R. E. Mihalovich, J. B. Hacker, J. F. DeNatale, and G. M. Rebeiz, "Low-Loss 2- and 4-bit TTD MEMS Phase Shifters Based on SP4T Switches," IEEE T-MTT, vol.31, no.1, pp.297-304, 2003.
- 7) J. Wang, L. Yang, S. Pietrangelo, Z. Ren, C.T.-C. Nguyen, "RF MEMS Resonators: Getting the Right Frequency and Q," 29th IEEE Compound Semiconductor IC Symposium, pp.1-4, Oct., 2007.
- 8) 荒木, "RF アナログ可変機能デバイスとその応用," 信学論(C), vol.J87-C, no.1, pp.3-11, 2004.
- 9) 岡田, 吉原, 菅原, 益, "リコンフィギュアラブル RF COMS 無線集積回路技術に向けた広帯域電圧制御発振器," 信学論(C), vol.J89-C, no.7, pp.499-507, 2006.
- 10) 西野, 吉田, 橘川, 李, "RF-MEMS スイッチを用いた可変回路," Microwave Workshop Digest, 2007 Microwave Workshop and Exhibition, WS9-3, pp.269-274, Dec. 2007.
- 11) H. Okazaki, A. Fukuda, K. Kawai, T. Furuta, and S. Narahashi, "MEMS-based Reconfigurable RF Front-end Architecture for Future Band-free Mobile Terminals," 37th European Microwave Conference, pp.300-303, Oct. 2007.
- 12) M. Ueda, and Y. Sato, "FBAR and SAW Technologies and Their Applications for Mobile Communication," 2006 Asia Pacific Microwave Conference Workshops and Short courses, WS15-4, Dec. 2006.
- 13) 石崎, "無線通信システムが求めるフィルタ技術-総論," Microwave Workshop Digest, 2005 Microwave Workshop and Exhibition, WS15-01, pp.393-396, Nov. 2005.