

■S2 群 (ナノ・量子・バイオ) -1 編 (デバイスの微細化限界とその物理)

4 章 微細化限界を打破する新デバイス

【本章の構成】

本章では以下について解説する.

- 4-1 マルチゲート MOSFET
- 4-2 ナノワイヤ MOSFET
- 4-3 III-V/Ge MOSFET
- 4-4 トンネル FET

■S2 群-1 編-4 章

4-1 マルチゲート MOSFET

(執筆者：鈴木英一) [2015 年 8 月 受領]

4-1-1 マルチゲートの必要性

MOSFET の高集積化，高機能化のためにはその微細化が必須であることは言うまでもないが，微細化が進めば進むほど解決しなければならない諸問題も顕在化してくる．そのなかで，最も深刻な障害になるものは，スケールリングに基づいて微細化が進むと，素子性能が向上するどころか逆に劣化を招きかねない短チャネル効果である．短チャネル効果とは，素子の微細化に伴い，ソース領域とドレイン領域が接近してくるために，ドレイン印加バイアスの影響がソースまで及ぶようになり，3 端子素子である MOSFET で最も重要なゲートの機能が損なわれてくるというネガティブな効果である．具体的には，MOSFET のゲート電圧に対するドレイン電流立ち上がりの急峻さを示す S (Subthreshold) ファクタの増大 (劣化)，DIBL (Drain-Induced Barrier Lowering) などであり，結果的には消費電力の増大につながるものである．

短チャネル効果は，図 1・1(a) に示すバルク MOSFET 構造において，ゲート下のチャネル領域が半導体基板と同じ材質でつながっていることに原因がある．すなわち，ドレイン近傍の空乏層の影響が基板を通してソースまで一部達してしまい，ドレインとソースがカップリングを起こすからである．スケールリングが進むにつれて，バルク MOSFET 構造においても LDD (Lightly Doped Drain) 構造やレトログレードドーピングのように様々なデバイス構成上の工夫がなされてきたが，このカップリングを，物理的に断ち切る構造にしたものが，SOI MOSFET である (図 1・1(b) 参照)．SOI (Silicon on Insulator) MOSFET では，少なくともゲート直下のチャネル以外のドレインからソースへの電流パスは，埋込み酸化膜 (BOX : Buried Oxide) で断ち切られるため，バルク MOSFET よりも短チャネル効果に強いデバイス構造となる．SOI MOSFET は，ソース，ドレイン領域の浮遊容量をバルク MOSFET に比べて小さくでき，また，Si 活性層厚が限られているために，放射線損傷に強いというメリットもある．

ところが，SOI MOSFET では，チャネル以外の電流パスは制限できるが，BOX 層を介した電界のドレイン-ソース間のカップリングは残されているため，短チャネル効果の完全な抑制は困難になる．ただし，図 1・1(b) の SOI MOSFET 構造において，Si 活性層を薄くして完全空乏層

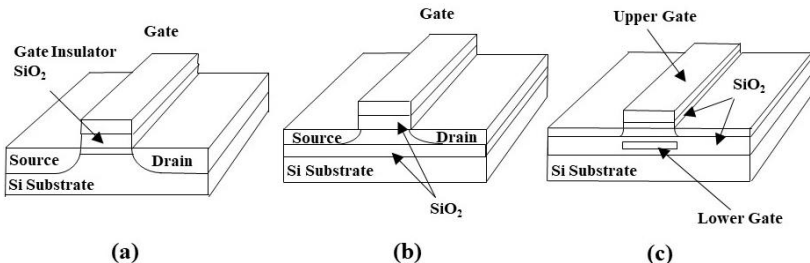


図 1・1 MOSFET 構造の進化

(a) バルク MOSFET, (b) SOI MOSFET, (c) ダブルゲート MOSFET (平面型)

にした FD (Fully-depleted) SOI MOSFET 構造や、BOX 層を極めて薄くした、SOTB (Si on thin BOX) MOSFET 構造にすれば、短チャネル効果を抑制するのに有効となる。SOTB MOSFET では、極薄の BOX 層の下の基板にドーピングを行い、基板バイアスを印加できるようにするものもあるが、これは、次に示すダブルゲート MOSFET の擬似型とみることもできる。

この構造を更に押し進めて、図 1・1(c)のように、チャネル形成領域を挟んで、下部ゲートを上部ゲートに重ねて設けると、ドレイン電界は下部ゲートに終端してソースまで影響が及ばなくなるので、ドレインとソースとのカップリングをほぼ完全に抑制することができる。すなわち、チャネルを形成する半導体領域を、可能な限りゲートで覆ってしまえば、短チャネル効果を防止することが可能となる。図 1・1(c)は、平面型ダブルゲート MOSFET (ゲートが 2 個) 構造を示しているが、後に示すように、トライゲート MOSFET (ゲートが 3 個) 構造なども提案、実用化されてきているので、ゲートが複数個ある MOSFET をまとめて、マルチゲート MOSFET と称される。なお、チャネル半導体領域が完全にゲートで囲まれた、4-2 節で扱われるナノワイヤ MOSFET は、マルチゲート MOSFET の究極の形と言える。

4-1-2 マルチゲート MOSFET 開発の歴史と種類

マルチゲート MOSFET の特徴は、ダブルゲート MOSFET で十分説明されるので、以下、ダブルゲート MOSFET の種類と開発の歴史について触れる¹⁾。ダブルゲート MOSFET の形状としては、図 1・2 に示すように 3 種類しかない。すなわち、チャネルの配置に注目すれば、横方向横型 (図 1・2(a))、縦方向横型 (図 1・2(b))、縦方向縦型 (図 1・2(c)) である。プレーナ技術の延長で考えれば、通常のパルク MOSFET の下部にもゲートを加えた、横方向横型のダブルゲート MOSFET が自然であり、1984 年に最初に報告され、擬似的なダブルゲート MOSFET の実験結果により、優れた短チャネル効果抑止効果が示された^{2),*1)}。しかしながら、ダブルゲートを上下にアラインして作製することは容易ではなく、ダブルゲート構造を作製後に両サイドをカットした後、ソース、ドレイン領域をエビ成長させる方法³⁾なども検討されたが、複雑な工程を必要とするため、ダブルゲート MOSFET の主流にはならなかった。

一方、平面チャネルを起立させて、かつ、横方向にソース、ドレインを設ける縦方向横型 (図 1・2(b)) は、起立したチャネル領域に、一度にセルフアラインされたダブルゲートを形成する

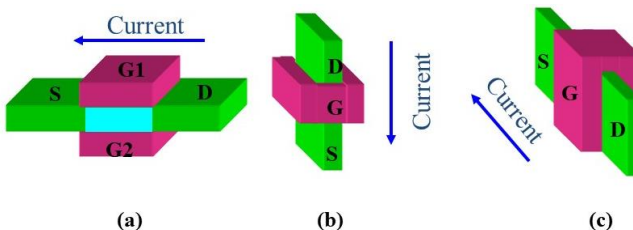


図 1・2 ダブルゲート MOSFET の 3 種類のチャネル形状

(a) 横方向横型, (b) 縦方向横型, (c) 縦方向縦型

*1 発表当初は、断面素子形状が、ギリシャ文字クサイ (Ξ) に似ていることで、その英語文字 X を取って XMOSFET と名付けられたが現在はこの名称は使われていない。

ことができ、作製工程が著しく簡単になるため、この構造が現在では主流を占めている。この縦方向横型ダブルゲート MOSFET 構造自体の提案⁴⁾は、1980年に遡るが、具体的なデータ⁵⁾が示されたのは1989年で、このときは、DELTA (Fully Depleted Lean-channel Transistor) と呼ばれた。その後、魚の“ひれ”に似た構造から FinFET⁶⁾ と呼ばれるようになり、最も広く開発が進められたので、通常、ダブルゲート MOSFET は、単に FinFET と呼ばれることが多い。

なお、FinFET がダブルゲート MOSFET の代表と定着する過程において、やはり、その断面形状から、 Ω FET⁷⁾ や II-ゲート MOSFET⁸⁾ の名で報告された例がある。これらの構造を更に進めてチャネル領域をゲートで完全にくるんだものが、Surrounding Gate Transistor (SGT) (後に Gate-All-Around FET と呼ばれる)⁹⁾ とみることもできる。この構造の極限が、ナノワイヤ MOSFET¹⁰⁾ である。

更に、図 1・2(c)のように、縦方向に電流を流す縦方向縦型 MOSFET¹¹⁾ がある。この構造では、ソース、ドレインの位置がプレーナ平面とは異なるので、回路構成が難しくなり開発は進んでいない。ただ、既に実用化が始まっている FinFET 集積回路においても、微細化限界が近づいてきた場合に、微細化限界が緩和される 3D 化の方向に向かえば、縦方向縦型のダブルゲート MOSFET が見直されるかもしれない。

上記では、基本的にダブルゲート MOSFET であったが、マルチゲート MOSFET の観点からは、次にトライゲート MOSFET である。Intel が提唱しているトライゲート MOSFET¹²⁾ も FinFET と基本的なコンセプトに変わりはないが、トライゲート MOSFET では、半導体チャネル断面の対向する側面ばかりでなく、上面も積極的に使おうとするもので、半導体チャネルを 3 面のゲートで閉じ込めていることに相当している。ゲートの数から言えば、次はクオドラプル MOSFET となるが、これは現実的な構造ではなく、Gate-All-Around 型に近づいたものになる。

マルチゲート MOSFET の開発の歴史は、MOSFET の極微細化に伴って問題化する短チャネル効果をいかに押さえるかの技術開発の歴史であり、ひとえに、極短チャネルになっても、ゲートの効きを落とさないために、チャネル半導体領域をどこまでも薄膜化、ないしは、細線化し、かつ、ゲートで囲むことであった。既に、10 nm の世代に入っている MOSFET は、マルチゲートなしには考えられない。

4-1-3 独立ダブルゲート MOSFET

マルチゲート MOSFET の代表である FinFET では、フィン側面に対向するゲートはつながっており、必然的にゲートしきい値電圧 (V_{th}) は一つに固定されている。しかし、対向するゲートが分離されて、独立したダブルゲートとして働かせることができれば、通常の FinFET にはない、新たな機能を付加することができる。すなわち、独立したダブルゲートの一方 (G_2) を、他方 (G_1) のゲートの V_{th} をフレキシブルに制御するのに用いることができる。図 1・3(a)は、この分離ダブルゲート FinFET (4T-FinFET ないしは FT-FinFET と呼ばれる) を模式的に示している¹³⁾。構造的には、FinFET の最上部をカットしただけの簡単なものであるが、 V_{th} を自由に制御できる大きなメリットを有している。図 1・3(b)は、 G_2 に印加する電圧の関数としての、 G_1 をゲートとする 4T-FinFET の I_d - V_d 特性の例を示している。 V_{th} が、 G_2 によってフレキシブルに制御されていることが明らかである。ただし、ダブルゲートを同時に印加する通常の FinFET に比べて、 G_2 側の電圧が固定されるために、ドレイン電流の立ち上がりが若干なまる

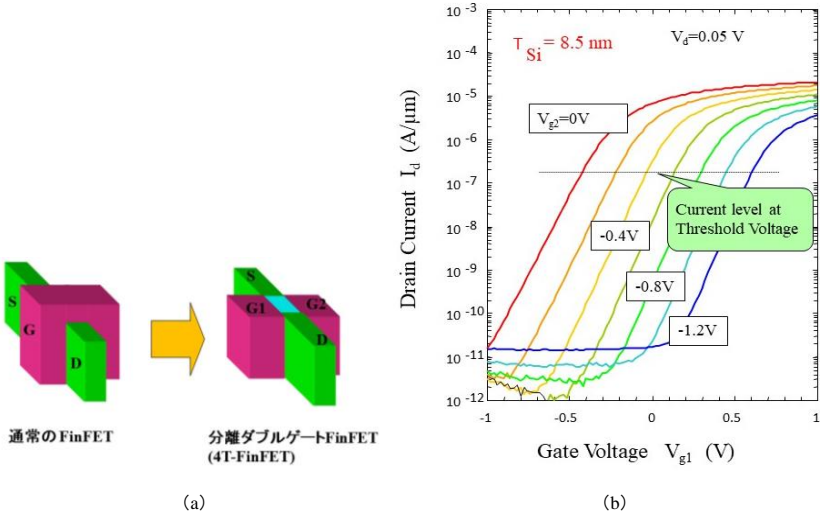


図 1・3 (a) 分離ダブルゲート FinFET (4T-FinFET あるいは FT-FinFET と呼ばれる) の形状. 通常の FinFET ゲート部分の最上部をカットして, G1 と G2 に分離したものである. (b) 典型的な 4T-FinFET のドレイン電流-ドレイン電圧 (I_d - V_d) 特性. V_{g2} の印加バイアスにより, V_{g1} に対する I_d - V_d 特性がほぼ平行シフトし, V_{th} が自由に変えられることを示している.

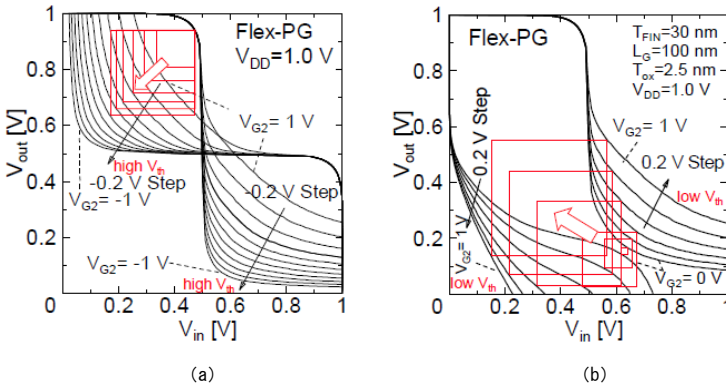


図 1・4 4T-FinFET を, 6 トランジスタ SRAM のパスゲートに適用した場合の, パタフライカーブ実験データ. (a) 読み出しマージン, (b) 書き込みマージン. 4T-FinFET のパスゲートの V_{g2} を, 読み出し時には下げ (V_{th} を高める), 書き込み時には上げる (V_{th} を下げる) ことによって, パスゲートの V_{th} を最適に制御すれば, スタティックノイズマージン (SNM) が大幅に改善できることを実験的に示している.

結果となるが、G2 側のゲート絶縁膜厚をやや厚くして、ゲート絶縁膜厚を非対称にすれば改善できる¹⁴⁾。

この 4T-FinFET の応用例として、6 トランジスタ SRAM のパスゲートが挙げられる¹⁵⁾。高速化、低消費電力化が求められる SRAM に、微細化に対応できる FinFET が使われるのは妥当であるが、SRAM 共通の問題点として、微細化に伴って SNM (スタティックノイズマージン) が小さくなり、エラーを生じる確率が増すことが挙げられている、これに対して、パスゲートに 4T-FinFET を用いて、書き込み時は、 V_{th} を小さくして書き込みを確実にし、読み出し時には騒乱を与えないように V_{th} を大きくするようにすれば、図 1・4 に示されるように SNM を大きく確保して、信頼性を上げることができる。

4-1-4 マルチゲート MOSFET の今後の展開

既に 10 nm 台に入った MOSFET では、通常のプレーナ型の MOSFET 構造では、とうてい短チャネル効果を押さえることはできず、必然的にマルチゲート MOSFET 構造、ないしは、Gate-All-Around 構造をとらざるを得ない。ただし、もうしばらくは、マルチゲート MOSFET と概念は同様であるが、BOX 層を極めて薄くしてダブルゲート MOSFET 構造に近い SOTB 構造の FD SOI MOSFET の開発も進められよう。いずれにしても、短チャネル効果を可能な限り抑制するために、チャネル半導体領域をゲートで強固に囲む構造は必須であり、半導体が Si だけでなく他の高移動度半導体¹⁶⁾でも同じことである。マルチゲート MOSFET 構造では、そのゲート機能を最大限に引き出すためには、チャネル半導体領域をどこまでも薄膜化、もしくは、細線化を進めることになる。このことは、チャネル領域の電界が弱まり、かつ、チャネル領域をノンドープにして、ゲートしきい値電圧をメタルゲートで制御することになるので、いずれも、チャネルキャリアの移動度を向上させるメリットがある。

このように、マルチゲート MOSFET の今後の展開は、必然的に、ナノワイヤチャネルの Gate-All-Around の方向にある。チャネル半導体材料も、Si だけに限らず、ポリ Si、化合物半導体、グラフェンを含むあらゆる半導体材料でもマルチゲート MOSFET に適用されていくであろう。また、4T-FinFET のように、それぞれのマルチゲートの使い方によって高機能化を図っていく方向もあろう。

■参考文献

- 1) 鈴木, 昌原, 柳, 関川: “ダブルゲート MOSFET の歴史と現状,” 応用物理, vol.74, no.9, pp.1171-1177, 2005.
- 2) T. Sekigawa and Y. Hayashi: “Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate,” Solid State Electron., vol.27, no.8/9 pp.827-829, 1984 ; K. Ishii, Y. Hayashi, and T. Sekigawa: “Experimental fabrication of XMOS transistors using lateral solid-phase epitaxy of CVD silicon films,” Jpn J. Appl. Phys., vol.29, no.4, pp.L521-523, 1990.
- 3) H.-S.P. Wong, K.K. Chan, and Y. Taur: “Self-Aligned (Top and Bottom) Double-Gate MOSFET with a 25nm Thick Silicon Channel,” Tech. Dig., IEDM, pp.427-430, 1997.
- 4) 林 豊: “絶縁ゲート型電界効果トランジスタ,” 特願: 55-85706.
- 5) D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda: “A Fully depleted Lean-channel Transistor (DELTA) – A novel vertical ultra-thin SOI MOSFET –”, Tech. Dig., IEDM, pp.833-836, 1989.
- 6) X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, and C. Hu: “Sub 50-nm FinFET: PMOS,” Tech. Dig., IEDM, pp.67-70, 1999.

- 7) C. Jahan, O. Faynot, M. Casse, R. Ritzenthaler, L. Brevard, L. Tosti, X. Garros, C. Vizios, A.M. Papon, H. Dansas, F. Martin, M. Vinet, B. Guillaumot, A. Toffoli, B. Giffard, and S. Deleonibus : "ΩFETs transistors with TiN metal gate and HfO₂ down to 10 nm," Tech. Dig., Symp. VLSI Technology, pp.112-113, 2005.
- 8) J.-T. Park, J.-P. Colinge, and C.H. Diaz : "Pi-Gate SOI MOSFET," IEEE Electron Device Letters, 22, pp.405-406, 2001.
- 9) H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka : "High performance CMOS surrounding gate transistor (SGT) for ultra-high density LSI's," Tech. Dig., IEDM, pp.222-225, 1988.
- 10) F.L. Yang, D.H. Lee, H.Y. Chen, C.Y. Chang, S.D. Liu, C.C. Huang, T.X. Chung, H.W. Chen, C.C. Huang, Y.H. Liu, C.C. Wu, C.C. Chen, S.C. Chen, Y.T. Chen, Y.H. Chen, C.J. Chen, B.W. Chan, P.F. Hsu, J.H. Shieh, H.J. Tao, Y.C. Yeo, Y. Li, J.W. Lee, P. Chen, M.S. Liang, and C. Hu : "5 nm-Gate Nanowire FinFET," Tech. Dig., Symp. VLSI Technology, pp.196-197, 2004.
- 11) M. Masahara, T. Matsukawa, K. Ishii, Y.X. Liu, H. Tanoue, K. Sakamoto, T. Sekigawa, H. Yamauchi, S. Kanemaru, and E. Suzuki : "15-nm-Thick Si Channel Wall Vertical Double-Gate MOSFET," Tech. Dig., IEDM, pp.949-951, 2002.
- 12) R. Chau, B. Doyle, J. Kavalieros, D. Barlage, A. Murthy, M. Doczy, R. Arghavani, and A. Datta : "Advanced Depleted-Substrate Transistors: Single-gate, Double-gate and Tri-gate," Ext. Abst., Int. Conf. Solid State Devices and Materials, pp.68-69, 2002.
- 13) Y.X. Liu, M. Masahara, K. Ishii, T. Tsutsumi, T. Sekigawa, H. Takashima, H. Yamauchi, and E. Suzuki : "Flexible Threshold Voltage FinFETs with Independent Double Gates and an Ideal Rectangular Cross-Section Si-Fin Channel," Tech. Dig., IEDM, pp.986-989, 2003.
- 14) M. Masahara, Y. Liu, K. Sakamoto, K. Endo, T. Sekigawa, T. Matsukawa, and E. Suzuki : "Device Design Consideration for Vth-Controllable Four-Terminal Double-Gate Metal-Oxide-Semiconductor Field-Effect Transistor," Jpn J. Appl. Phys., vol.44, no.4B, pp.2351-2356, 2005.
- 15) K. Endo, S. O'uchi, Y. Ishikawa, Y. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, K. Ishii, H. Yamauchi, E. Suzuki, and M. Masahara : "Enhancing SRAM Cell Performance by Using Independent Double-gate FinFET," Tech. Dig., IEDM, pp.857-860, 2008.
- 16) M. Radosavljevic, G. Dewey, J.M. Fastenau, J. Kavalieros, R. Kotlyar, B. Chu-Kung, W.K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, and R. Chau : "Non-Planar, Multi-Gate InGaAs Quantum Well Field Effect Transistors with High-K Gate Dielectric and Ultra-Scaled Gate-to-Drain/Gate-to-Source Separation for Low Power Logic Applications," Tech. Dig., IEDM, pp.126-129, 2010.

■S2 群-1 編-4 章

4-2 ナノワイヤ MOSFET

(執筆者：齋藤真澄) [2015 年 8 月 受領]

MOS トランジスタの極限スケールングに向け、短チャネル効果に伴うオフリーク電流を強力に抑制できるナノワイヤトランジスタが有望視されている¹⁾。図 2・1 にナノワイヤトランジスタの模式図を示すが、ナノワイヤトランジスタは直径が例えば 15 nm 程度以下の細線型（ナノワイヤ）チャンネルを有するトランジスタである。なお、ナノワイヤトランジスタのより一般的な定義として「量子閉じ込め効果などのナノ構造特有の物理現象によって特性が変化するサイズのトランジスタ」と言うこともできる。類似構造として直方体型のチャンネルを有する FinFET²⁾があるが、一般にナノワイヤトランジスタの方がチャンネル高さが低い。ナノワイヤトランジスタはゲートがチャンネル全体を（チャンネル下部まで）覆う構造であり、ゲートによってチャンネルポテンシャルを強力に制御することができるため、FinFET よりも更にゲート長のスケールングを進めることができる。

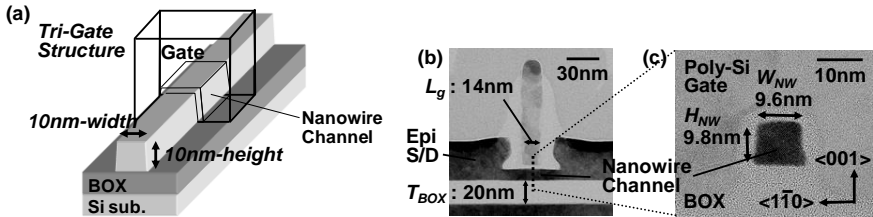


図 2・1 (a) ナノワイヤトランジスタの模式図, (b) 作製したナノワイヤトランジスタのゲート長方向断面 TEM 写真, (c) チャンネル幅方向断面 TEM 写真

実際に、ゲート長 14 nm、ナノワイヤチャンネル幅・チャンネル高さ 10 nm の n 型ナノワイヤトランジスタ（断面 TEM 写真：図 2・1 (b),(c)）を SOI 基板上に作製し、そのドレイン電流-ゲート電圧特性を測定した結果を図 2・2 に示す³⁾。ゲート長が 14 nm と短いにもかかわらず、

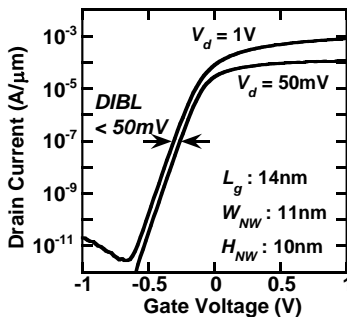


図 2・2 ナノワイヤトランジスタのドレイン電流-ゲート電圧特性

良好なオン・オフスイッチング特性が得られており、DIBL（ドレイン電圧印加によるしきい値電圧低下量）は 50 mV 以下に抑えられている．これは 10 nm 径ナノワイヤでの強力なゲート支配力によるものである．なお、このナノワイヤトランジスタは、ゲートがチャンネルの上部と両側面の計 3 面を覆うトライゲート構造である．より短いゲート長 3.8 nm のナノワイヤトランジスタの動作も報告されている⁴⁾．

このようにナノワイヤトランジスタの最大のメリットは強い短チャンネル効果耐性であり、オフリーク電流を強力に抑制することができる一方、ソース・ドレイン領域が細線形状であるためにソース・ドレイン部の寄生抵抗が巨大であり、かつ加工中にダメージを受けるナノワイヤチャンネル側面でキャリア移動度が劣化するため、オン電流が低下しやすいという課題がある．

寄生抵抗低減のために、ソース・ドレイン部にシリコンをエピタキシャル成長させる手法が提案されている．図 2・1 (b) の断面 TEM 写真に示すように、ゲート側壁越しにソース・ドレイン部上にシリコンを選択的にエピタキシャル成長させた（エピタキシャル層の厚さ 30 nm）．図 2・3 は、ゲート側壁が厚い場合（30 nm）と薄い場合（10 nm）での寄生抵抗のナノワイヤ幅依存性である⁵⁾．ナノワイヤ幅が 20 nm を下回ると寄生抵抗が急激に増加するが、ゲート側壁を薄くすることによって寄生抵抗を大幅に低減することができている．このことから、寄生抵抗は側壁下の細線領域に支配されており、体積の大きいエピ層領域をゲートにより近づけることがオン性能改善に有効であることがわかる．なお、ソース・ドレインにエピタキシャル成長を施したナノワイヤトランジスタでは、ゲートとソース・ドレイン間の寄生容量が増大するため、遅延時間の劣化を防ぐにはエピ厚やナノワイヤピッチの最適化が必要である⁶⁾．

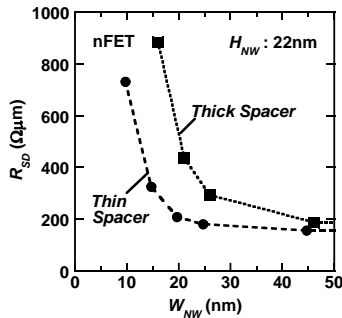


図 2・3 ナノワイヤトランジスタのソース・ドレイン寄生抵抗のナノワイヤ幅依存性

一方、ナノワイヤトランジスタで劣化したキャリア移動度を向上させるため、平面型トランジスタで既に実用化されているチャンネルひずみ手法をナノワイヤトランジスタに適用することが提案されている．ここでは、Stress Memorization Technique (SMT) をナノワイヤトランジスタに適用した例を紹介する⁷⁾．本プロセスでは、ゲート側壁形成後、ゲート構造上に伸張性窒化膜を被せた状態で活性化アニールを行うことでポリシリコンゲート及びチャンネルへの歪み記憶を生じさせ、その後窒化膜を除去する（窒化膜除去後もひずみは保持される）．図 2・4 (a) に、SMT による移動度増加率のナノワイヤ幅依存性を<110>方向と<100>方向のナ

ノワイヤ nFET について示す。<110>ノワイヤ nFET ではノワイヤ幅の縮小とともに移動度増加率は急激に増加する。一方、<100>ノワイヤ nFET では移動度増加率はノワイヤ幅によらず低い。この移動度増加率の方向依存性から、細ワイヤでは SMT によりノワイヤ高さ方向圧縮ひずみが誘起されると考えられる。SMT 窒化膜がアニール中のポリシリコンゲートの上方向への膨張を抑制することにより、ノワイヤへ高さ方向圧縮ひずみが導入される (図 2・4 (b) は発生するひずみの模式図)。

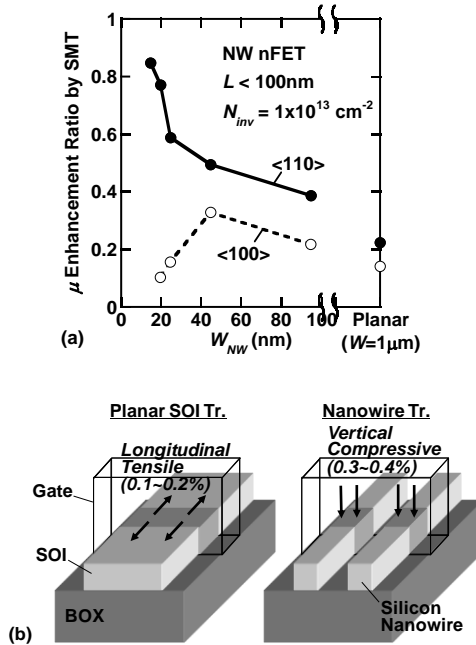


図 2・4 (a) ナノワイヤトランジスタの SMT による移動度増加率のノワイヤ幅依存性
(b) SMT により発生するひずみ模式図

このほか、ノワイヤトランジスタの実用化を阻む課題としては、しきい値電圧・ドレイン電流などの特性ばらつきが挙げられる。図 2・5 は、ノワイヤトランジスタのしきい値電圧ばらつき (標準偏差) をゲート長と実効チャネル幅の積の平方根の逆数に対してプロットしたグラフである (Pelgrom プロット)⁸⁾。6 種類のゲート長に対して、ノワイヤ幅を 100 nm から 12 nm まで変化させている。幅 20 nm ~ 50 nm のデバイスのしきい値電圧ばらつきは 1 本の直線上に乗っており、平面型トランジスタと同一の枠組みで整理することができるが、幅が 20 nm 以下のデバイスでは、しきい値電圧ばらつきは急激に増加する。しきい値電圧ばらつきのプロセス条件依存性などの解析から、ノワイヤトランジスタでのしきい値電圧ばらつき増加の主要因はソース・ドレインでの巨大な寄生抵抗であることがわかっており、ばらつき低減の意味でも、寄生抵抗を低減することが重要である。

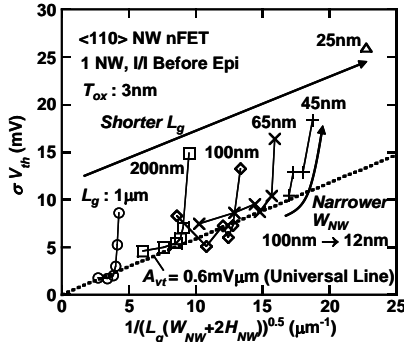


図 2・5 ナノワイヤトランジスタのしきい値電圧ばつきの Pelgrom プロット

■謝 辞

本研究の一部は、NEDO から受託したプロジェクト「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」に関するものである。

■参考文献

- 1) F.-L. Yang et al. : "5nm-gate nanowire FinFET," Symp. VLSI Tech., pp.196-197, 2004.
- 2) D. Hisamoto et al. : "A folded-channel MOSFET for deep-sub-tenth micron era," IEDM Tech. Dig., pp.1032-1034, 1998.
- 3) M. Saitoh, K. Ota, C. Tanaka, K. Uchida, and T. Numata : "10nm-Diameter Tri-Gate Silicon Nanowire MOSFETs with Enhanced High-Field Transport and V_{th} Tunability through Thin BOX," Symp. VLSI Tech., pp.11-12, 2012.
- 4) S. D. Suk et al. : "Characteristics of sub 5 nm Tri-Gate Nanowire MOSFETs with Single and Poly Si Channels in SOI Structure," Symp. VLSI Tech., pp.142-143, 2009.
- 5) M. Saitoh et al. : "Short-Channel Performance and Mobility Analysis of <110>- and <100>-Oriented Tri-Gate Nanowire MOSFETs with Raised Source/Drain Extensions," Symp. VLSI Tech., pp.169-170, 2010.
- 6) M. Guillorn et al. : "FinFET Performance Advantage at 22 nm: An AC perspective," Symp. VLSI Tech., pp.12-13, 2008.
- 7) M. Saitoh, Y. Nakabayashi, K. Ota, K. Uchida, and T. Numata : "Understanding of Short-Channel Mobility in Tri-Gate Nanowire MOSFETs and Enhanced Stress Memorization Technique for Performance Improvement," IEDM Tech. Dig., pp.780-783, 2010.
- 8) M. Saitoh et al. : "Unified Understanding of V_{th} and I_d Variability in Tri-Gate Nanowire MOSFETs," Symp. VLSI Tech., pp.132-133, 2011.

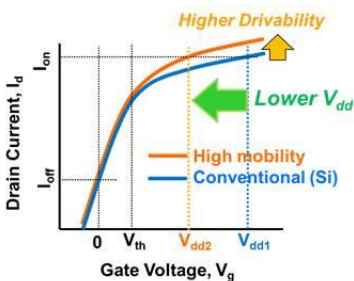
■S2 群-1 編-4 章

4-3 III-V/Ge MOSFET

(執筆者：手塚 勉) [2015 年 9 月 受領]

4-3-1 新チャネル材料の必要性

電子機器の消費電力の増大に対し、半導体デバイスの低消費電力化が強く求められている。特に高速ロジックなどの用途では動作時の消費電力を抑えることが重要である。CMOS ロジックの動作時消費電力は、各トランジスタの電源電圧の 2 乗に比例するため、電源電圧の低減が消費電力低減に非常に有効である。ただし、電源電圧を下げると十分なオン電流値を維持できなくなる。そこで、従来の Si の代わりにキャリア移動度の高い新材料をチャネルとして用いることが有効と考えられてきた。すなわち、図 3・1 に示すように、キャリア移動度の高いチャネル材料においては、電流駆動力が高くなるため、必要なオン電流を得るためのゲート電圧を下げることができる。ただし、しきい値電圧やカットオフ特性の劣化がないという前提が必要である。近年の短チャネルデバイスにおいては、キャリア伝導は準バリスティック伝導とみなされ、正確には移動度よりもソース端でのキャリア速度が MOSFET の電流値の指標となる。ただし、高移動度の材料においては有効質量が小さくソース端速度も高い傾向があるので、電流駆動力の指標として有効である¹⁾。図 3・1 の表に示すように、Ge は正孔移動度、GaAs などの III-V 族化合物半導体は電子移動度が Si よりも高いため、それぞれ pMOSFET, nMOSFET への適用が期待されている。ITRS ロードマップ²⁾においても、7 nm ノードより Ge あるいは III-V 族化合物半導体が導入されるとの予測が示されている。



	Si	Ge	GaAs	InAs
Electron mobility (cm ² /Vs)	1600	3900	9200	40000
Electron effective mass (m _e)	m ₁ /m ₁ 0.19/0.98	m ₁ /m ₁ 0.082/1.64	0.063	0.026
Hole mobility (cm ² /Vs)	430	1900	400	500
Hole effective mass (m _h)	m _{h1} /m _h 0.49/0.16	m _{h1} /m _h 0.28/0.043	m _{h1} /m _h 0.5/0.076	m _{h1} /m _h 0.41/0.028
Band gap (eV)	1.1	0.66	1.43	0.36

図 3・1 移動度増大による低電圧化の原理と各チャネル材料の移動度

4-3-2 III-V 族化合物半導体 nMOSFET

III-V 族化合物半導体としては GaAs, InP, InAs などが代表的な材料である。特に InAs はバルク結晶中の電子移動度が Si の 25 倍と非常に高く、オン電流の向上が期待される。一方で、バンドギャップが 0.36 eV と非常に狭いために、室温で十分なカットオフ特性が得られない。そこで、高移動度とバンドギャップの両立という観点で、InAs と GaAs の混晶である In_xGa_{1-x}As が開発の中心となっている。InP に対して格子整合する In 組成 53 % のデバイスが多く取り扱われている。ひずみによる移動度向上効果を狙い、In 組成 30 % 程度のデバイスに

対する報告も見られる。InGaAs は、III-V 族化合物半導体のなかでも比較的良好な MOS (MIS) 界面が得られるという利点もある³⁾。

InGaAs の格子定数は、In の全組成領域にわたって Si よりも大きいため、直接 Si 基板上に転位などを含まない高品質の単結晶膜を形成することは困難である。そこで、Si 基板上の層間絶縁膜 (SiO₂) に微細な溝を形成し、溝の底に露出した Si 表面から溝を埋めるようにエピタキシャル成長する方法 (以下、エピタキシャルネッキングと称する) が提案されている⁴⁾。この方法によれば、(111) 面に沿って成長する性質のある転位が SiO₂ の壁で終端され、それ以上上方には伸びない。そのため、溝の上部には転位のない高品質結晶が形成される。この方法では、FinFET の fin 構造が自動的に形成されるため、先端 CMOS で用いられる FinFET プロセスにとっては好都合な手法である。一方、InP 基板などの上に InGaAs を均一に形成し、絶縁膜を介して Si 基板上に貼り付け、InGaAs 薄膜を残して剥離する、いわゆる貼り合わせ法による Si 基板上への形成法も用いられている⁵⁾。

化合物半導体はエピタキシャル成長技術により高品質のヘテロ構造を形成でき、HEMT などの高周波電子デバイスに用いられている。このヘテロ構造と MOS 構造を組み合わせた InGaAs 量子井戸 nMOSFET において、Si-nMOSFET の 5 倍を超える移動度⁶⁾や、先端 CMOS 技術によるひずみ Si-nMOSFET を超える電流値が得られている⁷⁾。また、適用される技術世代を見据え、FinFET やナノワイヤ、GAA 構造など立体チャネル構造の検討が進められている⁸⁾。

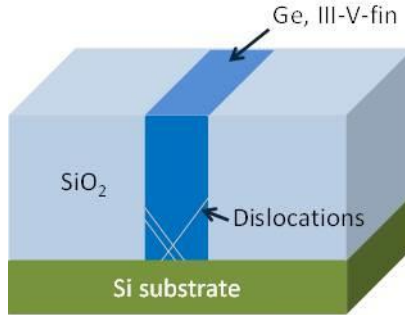


図 3・2 エピタキシャルネッキングによる高品質結晶フィン構造の形成

4-3-3 Ge-pMOSFET

Ge は Si に比べ 4.2 % 格子定数が大きい。Si と Ge の混晶である SiGe も Si に比べ格子定数が大きいため、Si 基板上への高品質膜の形成には工夫が必要である。III-V トランジスタと同様に、エピタキシャルネッキングや貼り合わせ法により、それぞれ Ge/SiGe-fin 構造および Ge-on-Insulator 基板が形成され^{4),9)}、デバイス試作に用いられている。エピタキシャルネッキングにより作製された Ge-FinFET において、微細デバイス動作が実証されている。幅の狭い fin 構造チャネルの適用と、等価酸化膜厚の薄い (EOT \sim 0.2 nm) ゲート絶縁膜技術により、良好なカットオフ特性が得られている。更に、最先端ひずみ Si-FinFET に匹敵するオン電流が得られている¹⁰⁾。また、fin 下部に SiGe バッファ層を形成し、チャネル Ge に圧縮応力を

印可した、ひずみ Ge-FinFET も試作され、 $V_d = -0.5$ V において $2 \text{ mS}/\mu\text{m}$ を超える高い相互コンダクタンスが報告されている¹¹⁾。一方、ひずみ SiGe チャネルの形成には、酸化濃縮法¹¹⁾を用いた事例が多数報告されている。図 3・3 に示すように、二段階酸化濃縮によって高 Ge 濃度 SiGe ナノワイヤ pFET が試作された。チャネル方向に沿った圧縮一軸応力により、Si-pMOSFET の 6~8 倍の正孔移動度が観測された。更に、ゲート長 50 nm 以下の短チャネル動作が報告されている¹²⁾。一方、14 nm ノード FDSOI 技術への適用を意図した平面型の微細 SiGe-OI pMOSFET の完成度の高い CMOS インテグレーションも報告されている¹³⁾。

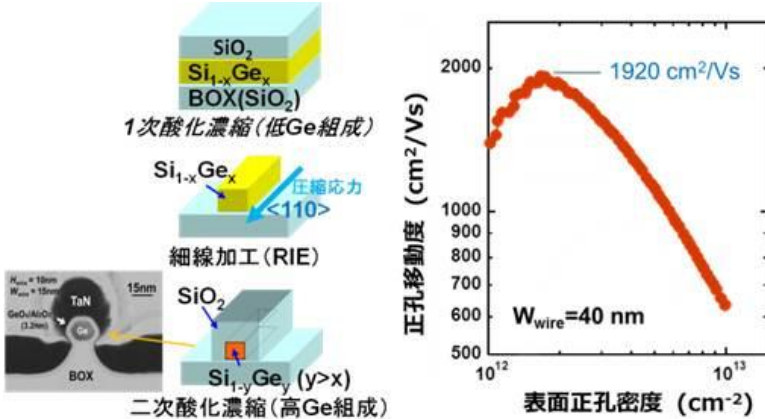


図 3・3 二段階酸化濃縮法によるひずみ SiGe ナノワイヤ p-FET の形成法と正孔移動度の評価結果

4-3-4 Ge/III-V CMOS

Ge と III-V 族をどのように組み合わせる CMOS 回路を構成するかについては、n チャネル/p チャネルの組合せが、(1) III-V/Ge, (2) Ge/Ge, (3) Si/Ge, (4) III-V/III-V の 4 種類の組合せについて実験結果が報告されている。移動度の観点からは、タイプ(1)すなわち III-V-nMOSFET と Ge/SiGe-pMOSFET で CMOS を構成する考え方が一般的である。例えば、Ge 基板、あるいは SiGe-OI-pMOSFET 上へ InGaAs 層を貼り合わせて nMOSFET を形成し、CMOS 回路を試作した例が報告されている¹⁴⁾。図 3・4 はひずみ SiGe トライゲート pMOSFET 上に、InGaAs トライゲート nMOSFET を形成して CMOS インバータによるリングオシレータを構成し、動作させた例である。0.5 V 以下の電源電圧での発振が確認されている。一方、実用化が最も近いと考えられるのは、タイプ(3)のひずみ Si-nMOSFET とひずみ SiGe-pMOSFET の組合せで、4-3-3 節で述べた酸化濃縮法を pMOSFET 領域のみに適用したインテグレーション技術が継続的に報告されている¹⁵⁾。4-3-2 節および 4-3-3 節で示した InGaAs-Fin nMOSFET と、Ge-Fin pMOSFET の組合せについては、現時点ではまだそのような CMOS 化の報告例はない。

一方、Ge は、電子移動度も Si の 2 倍程度と高いため、前述のタイプ(2)、すなわち pMOSFET も nMOSFET も Ge で形成した CMOS 回路も低消費電力化が期待される。このような全 Ge-CMOS を形成して動作させた例が報告されている¹⁵⁾。Ge-nMOSFET の問題点は、SD の寄

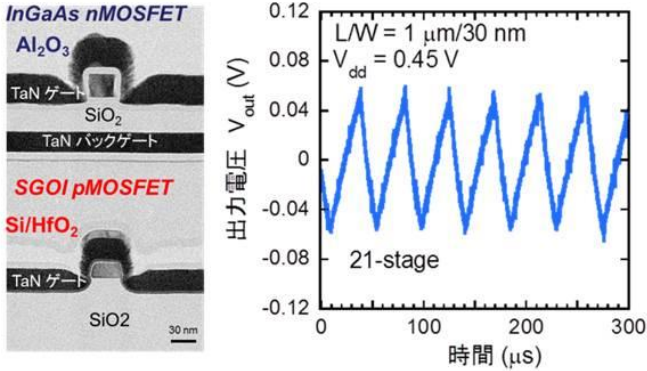


図 3・4 SiGe-pMOSFET と InGaAs-nMOSFET の積層 CMOS 構造, およびリングオシレータの発振波形

生抵抗の高さと, ゲート絶縁膜界面の高い界面準位密度である. これらにより, Si より高いバルク中での電子移動度にもかかわらず, トランジスタとしての性能は低く, 通常の Si-nMOSFET に比べて 1 桁以上低い電流値しか得られていなかった. しかし, ここ数年で電流駆動力はかなり改善されつつある. GOI 基板上にせり上げ SD を付加した構造や, エピタキシャルネッキングで形成した FinFET において, 無ひずみの Si-nMOSFET を若干下回る程度の電流値が得られている¹⁶⁾. また, 絶縁膜上の多結晶 Ge や GOI 基板上で, p, n 両チャンネルとも Ge で構成された CMOS インバータ動作が報告されている^{14),17)}.

■参考文献

- 1) S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka, and N. Sugiyama : "Carrier-Transport-Enhanced Channel CMOS for Improved Power Consumption and Performance," IEEE Trans. Electron Devices, **55**, 1, pp.21-39, 2008.
- 2) The International Technology Roadmap for Semiconductors, <http://www.itrs.net/home.html>
- 3) J. A. del Alamo, D. Antoniadis, A. Guo, D.-H. Kim, T.-W. Kim, J. Lin, W. Lu, A. Vardi, and X. Zhao : "InGaAs MOSFETs for CMOS: Recent Advances in Process Technology," Tech. Dig. of IEDM, pp.24-27, 2013.
- 4) T. A. Langdo, C. W. Leitz, M. T. Currie, E. A. Fitzgerald, A. Lochtefeld and D. A. Antoniadis : "High quality Ge on Si by epitaxial necking," Applied Physics Letters **76**, pp.3700-3702, 2000.
- 5) M. Yokoyama, S. H. Kim, R. Zhang, N. Taoka, Y. Urabe, T. Maeda, H. Takagi, T. Yasuda, H. Yamada, O. Ichikawa, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi : "CMOS integration of InGaAs nMOSFETs and Ge pMOSFETs with self-align Ni-based metal S/D using direct wafer bonding," Symp. on VLSI Tech. Dig., pp.60-61, 2011.
- 6) C.-S. Shin, W.-K. Park, S.H. Shin, YD. Cho, DH. Ko, T.-W. Kim, D.H. Koh, HM. Kwon, R. J. W. Hill, P. Kirsch, W. Maszara, and D.-H. Kim : "Sub-100 nm Regrown S/D Gate-Last In_{0.7}Ga_{0.3}As QW MOSFETs with $\mu_{n,eff} > 5,500 \text{ cm}^2/\text{V}\cdot\text{s}$," Symp. on VLSI Technology, pp.30-31, 2014.
- 7) S. Lee, C.-Y. Huang, A. D. Carter, D. C. Elias, J. J. M. Law, V. Chobpattana, S. Krämer, B. J. Thibeault, W. Mitchell, S. Stemmer, A. C. Gossard, and M. J. W. Rodwell : "Record Extrinsic Transconductance (2.45 mS/ μm at $V_{DS} = 0.5 \text{ V}$) InAs/In_{0.53}Ga_{0.47}As Channel MOSFETs Using MOCVD Source-Drain Regrowth," Symp. on VLSI Tech. Dig., T246-247, 2013.

- 8) M. Radosavljevic, G. Dewey, D. Basu, J. Boardman, B. Chu-Kung, J.M. Fastenau, S. Kabehie, J. Kavalieros, V. Le, W.K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, H.W. Then, and R. Chau : “Electrostatics Improvement in 3-D Tri-gate Over Ultra-Thin Body Planar InGaAs Quantum Well Field Effect Transistors with High-K Gate Dielectric and Scaled Gate-to-Drain/Gate-to-Source Separation,” Tech. Dig. of IEDM, pp.765-768, 2011.
- 9) L. Clavelier, C. Deguet, C. Le Royer, B. Vincent, J.-F. Damlencourt, J.-M. Hartmann, O. Kermarrec, T. Signamarcheix, B. Depuydt, A. Theuwis, C. Quaeys, N. Cherkashin, Y. Morand, P. Rivallin, C. Tabone, S. Lagrasta, Y. Campidelli, S. Descombes, L. Sanchez, T. Akastu, A. Rigny, D. Bensahel, T. Billon, N. Kernevez and S. Deleonibus : “Review of Some Critical Aspects of Ge and GeOI Substrates,” ECS Transactions, **3**, 7, pp.789-805, 2006.
- 10) B. Duriez, G. Vellianitis, M.J.H. van Dal, G. Doornbos, R. Oxland, K.K. Bhuvalka, M. Holland, Y.S. Chang, C.H. Hsieh, K.M. Yin, Y.C. See, M. Passlack, C.H. Diaz : “Scaled p-channel Ge FinFET with optimized gate stack and record performance integrated on 300 mm Si wafers,” IEDM (2013) 522.
- 11) L. Witters, J. Mitard, R. Loo, S. Demuyck, S.A. Chew, T. Schram, Z. Tao, A. Hikavy, J.W. Sun, A.P. Milenin, H. Mertens, C. Vrancken, P. Favia, M. Schaekers, H. Bender, N. Horiguchi, R. Langer, K. Barla, D. Mocuta, N. Collaert, and A.V.-Y. Thean : “Strained germanium quantum well p-FinFETs fabricated on 45 nm Fin pitch using replacement channel, replacement metal gate and germanide-free local interconnect,” Symp. on VLSI Tech. Dig., pp.T56-T57.
- 12) T. Tezuka, N. Sugiyama, and S. Takagi : “Fabrication of strained Si on an ultrathin SiGe-on-insulator virtual substrate with a high-Ge fraction,” Applied Physics Letters, **79**, 1798-1800, 2001.
- 13) K. Ikeda, Y. Kamimuta, Y. Moriyama, M. Ono, K. Usuda, M. Oda, T. Irisawa, K. Furuse, and T. Tezuka : “Enhancement of Hole Mobility and Cut-off Characteristics of Strained Ge Nanowire pMOSFETs by using Plasma Oxidized GeOx Inter-Layer for Gate Stack,” 2013 Symp. on VLSI Tech. pp.T30-31.
- 14) Q. Liu, M. Vinet, J. Gimbert, N. Loubet, R. Wacquez, L. Grenouillet, Y. Le Tiec, A. Khakifirooz, T. Nagumo, K. Cheng, H. Kothari, D. Chanemougame, F. Chafik, S. Guillaumet, J. Kuss, F. Allibert, G. Tsutsui, J. Li, P. Morin, S. Mehta, R. Johnson, L.F. Edge, S. Ponoht, T. Levin, S. Kanakasabapathy, B. Haran, H. Bu, J.-L. Bataillon, O. Weber, O. Faynot, E. Josse, M. Haond, W. Kleemeier, M. Khare, T. Skotnicki, S. Luning, B. Doris, M. Celik, and R. Sampson : “High Performance UTBB FDSOI Devices Featuring 20 nm Gate Length for 14nm Node and Beyond,” Tech. Dig. of IEDM, p.228-231, 2013.
- 15) T. Irisawa, K. Ikeda, Y. Moriyama, M. Oda, E. Mieda, T. Maeda, and T. Tezuka : “Demonstration of Ultimate CMOS based on 3D Stacked InGaAs-OI/SGOI Wire Channel MOSFETs with Independent Back Gate,” Symp. on VLSI Tech. pp.118-119, 2014.
- 16) H. Wu, W. Luo, H. Zhou, M. Si, J. Zhang, and P.D. Ye : “First Experimental Demonstration of Ge 3D FinFET CMOS Circuits,” Symp. on VLSI Tech., pp.T58-59, 2015.
- 17) M.J.H. van Dal, B. Duriez, G. Vellianitis, G. Doornbos, R. Oxland, M. Holland, A. Afzalilian, Y.C. See, M. Passlack, C.H. Diaz : “Ge n-channel FinFET with optimized gate stack and contacts,” Tech. Dig. of IEDM, p.235-238, 2014.
- 18) Y. Kamata, M. Koike, E. Kurosawa, M. Kurosawa, H. Ota, O. Nakatsuka, S. Zaima, and T. Tezuka : Extended Abstracts of the 2014 International Conference on Solid State Devices and Materials, pp.668-669, 2014.

■S2 群-1 編-4 章

4-4 トンネル FET

(執筆者：森田行則) [2015 年 9 月 受領]

スマートフォンに代表される電子情報機器の普及，データセンターで扱われるデータ量の増加などに伴い，情報処理のためのエネルギー消費は近年増加の一途をたどっている．そのため，電子情報機器の消費電力低減が社会的に求められているものの，現在の電子回路を構成する電界効果トランジスタ (MOSFET) の省電力化は原理的な限界に近づいている．この限界を突破するため，MOSFET とは異なる原理で動作する「トンネル電界効果トランジスタ (トンネル FET, TFET)」が注目されている．

トンネル FET は電子のトンネル効果を利用したトランジスタである^{1),2)}．MOSFET に対するトンネル FET の最も大きな優位点として，動作電流の立ち上がりの急峻さを示すサブレッショルドスイング (SS) の値が，MOSFET での物理的下限值である 60 mV/decade を下回ることが原理的に可能であることが挙げられる．これにより，従来の MOSFET よりも低い電圧で電流のオン・オフの切り替えができ，その結果より低電圧でも動作する低消費電力の電子回路を構築が可能となる (図 4・1)³⁾．特に，近年「Internet of Things (IoT)」のキーワードで言及される，様々な機器がインターネットに接続され相互に情報を流通させる際の末端 (エッジ) デバイスについてトンネル FET の適用が検討されている．ネットワーク末端での常時監視を担うセンサ回路においては，その大規模化に比例してメンテナンスコストが増大することが危惧されることから，環境発電のような微弱な電力でも動作し，電池交換を不要とするなどのメンテナンスフリー化は必須で，トンネル FET の末端センサ回路への導入が要望される所以である．

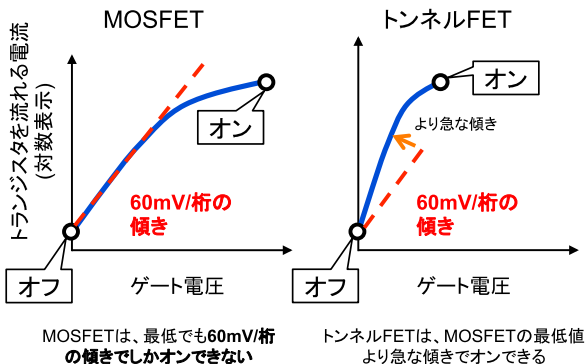


図 4・1 MOSFET とトンネル FET の伝達特性の比較

4-4-1 トンネル FET の原理

トンネル FET は，MOSFET と同様にソース，ゲート，ドレインの 3 端子から構成される．ゲートに電圧を加えると，その電界の影響でソースとチャネルを隔てる障壁が薄くなり，半導体のバンド間トンネル現象により電子が障壁を通り抜けて，トランジスタに電流が流れる

(図 4・2). しかし, トンネル効果を利用するその原理上, トンネル FET の駆動電流は MOSFET のそれよりも数桁小さく, これがトンネル FET を実用化するうえでの課題となっている. 流れるトンネル電流の量はトンネル確率とトンネル接合への印加電界とで決定される (図 4・3) 4). すなわちトンネル確率を増加させる構造・材料の導入と, トンネル接合へ印可する電界強度の増強とが駆動電流の増大, 性能向上の指針である.

- ・ トンネルFET: MOSFETとは異なる動作原理に基づくトランジスタ

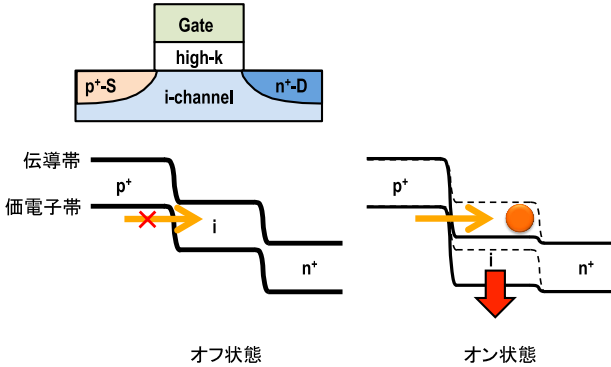


図 4・2 トンネル FET (n 型) の模式図と動作原理

Kane's Zener Tunneling Model (Direct tunneling)

$$BTBT \text{ Rate} \propto AF^2 \exp(-B/F)$$

$$A = \frac{m_r^{1/2}}{18\pi\hbar^2 E_g^{1/2}} \quad B = \frac{\pi m_r^{1/2} E_g^{3/2}}{2\hbar}$$

- 高性能化の方策
- ・ バンドギャップ (E_g) の低減
 - ・ 印加電界 (F) の強化

図 4・3 バンド間トンネル (BTBT) を表す式および高性能化の方策

4-4-2 トンネル FET の性能向上 (1)

トンネル確率の増大は, トンネル FET の性能向上に対して直接的な効果がある.

シリコンは間接遷移型の半導体であり, 直接遷移型の化合物半導体に比較してトンネル確率は小さい. すなわち, Si に代えて直接遷移型半導体を材料に用いることで, 駆動電流を向上させることが可能である⁵⁾⁻⁸⁾.

また, 半導体のバンド間トンネル輸送において, キャリアがトンネルする障壁が薄いほどトンネル輸送は増大する. 用いる半導体のバンドギャップを減少させることで, 障壁を薄層化制御できる. しかし, バンドギャップを減少させることはオン状態でのトンネル輸送を増強するが, 同時にオフ状態でのオフ電流の増大も招く.

オン状態でのトンネル輸送の増強とオフ状態でのオフ電流抑制を同時に実現するために、異なるバンドギャップを持った半導体のヘテロ接合を用いたトンネル FET が提案されている^{9),10)}。

更に近年、間接遷移半導体である Si に対し、電気的に中性なトラップをバンドギャップ間に形成し、キャリアを強く束縛することで疑似直接遷移化する手法がトンネル FET の性能向上に有効であると提案された¹¹⁾。

4-4-3 トンネル FET の性能向上 (2)

4-4-1 節に記載したとおり、トンネル接合への印加電界の強化がバンド間トンネルを強化してトンネル FET の性能を向上させる手法の一つである。

ゲート絶縁膜を薄膜化する EOT スケーリングがこの目的に適った手法の一つである¹²⁾。また、トンネル接合への印加電界を強化するアーキテクチャの工夫も有効である。図 4・4(a), (b) は、通常の MOSFET 類似構造を持った横型トンネル FET、および、ソースとゲート絶縁膜間にチャンネルを挿入した縦型トンネル FET の模式図である^{7),13)-15)}。横型トンネル FET では印加されるゲート電極からの電界とキャリアの輸送方向はほぼ垂直であるのに対し、縦型トンネル FET ではゲートからの電界とトンネル輸送の方向がほぼ平行となる。縦型トンネル FET においては、挿入するチャンネルの厚さを低減することにより、印加電界を強化できるという特徴がある^{7),13),14),16)}。

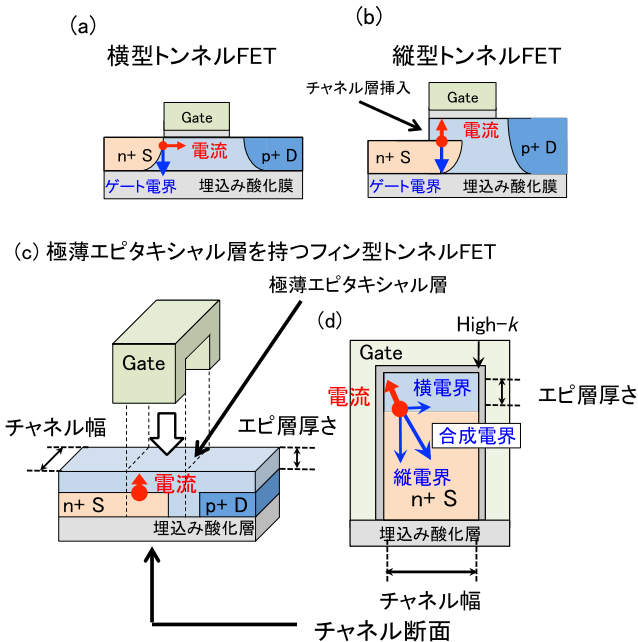


図 4・4 (a) MOSFET 類似構造を持つプレーナ型トンネル FET. (b) 縦型トンネル FET. チャンネル層厚さを低減することにより印加電界を強化できる. (c) 極薄エピタキシャルチャンネルを持つ

フィン型トンネル FET. チャネル層厚さおよびフィン幅の低減により印加電界を強化できる。

更に、縦型トンネル FET に対してチャネルをメサ加工し、2 層構造の立体チャネルを形成してその周囲にゲート電極を配置したトライゲート型立体トランジスタとした場合、チャネル側壁部分のソースとノンドープチャネル層の境界（トンネル接合）部分で、サイドゲートからの電界とトップゲートからの電界とが合成強化され、この効果により一層の性能向上が得られる。また、デバイス寸法の縮小でより強い電界が得られることにより、Fin チャネル幅のスケーリングによる性能向上も期待できる¹⁷⁾。

■参考文献

- 1) A.M. Ionescu, and H. Riel : "Tunnel field-effect transistors as energy-efficient electronic switches," *Nature*, vol.479, pp.329-337, 2011.
- 2) A.C. Seabaugh and Z. Qin : "Low-Voltage Tunnel Transistors for Beyond CMOS Logic," *Proceedings of the IEEE*, vol.98, pp.2095-2110, 2010.
- 3) H. Fuketa, K. Yoshioka, K. Fukuda, T. Mori, H. Ota, M. Takamiya, and T. Sakurai : "Design Guidelines of Steep Subthreshold TFET to Minimize Energy of Logic Circuits," *Ext. Abstr. Solid State Devices and Materials*, pp.832-833, 2014.
- 4) E.O. Kane : "Zener tunneling in semiconductors," *Journal of Physics and Chemistry of Solids*, vol.12, pp.181-188, 1960.
- 5) G. Dewey, B. Chu-Kung, J. Boardman, J.M. Fastenau, J. Kavalieros, R. Kotlyar, W.K. Liu, D. Lubyshev, M. Metz, N. Mukherjee, P. Oakey, R. Pillarisetty, M. Radosavljevic, H.W. Then, and R. Chau : "Fabrication, characterization, and physics of III–V heterojunction tunneling Field Effect Transistors (H-TFET) for steep sub-threshold swing," *IEDM Tech. Dig.*, pp.785-788, 2011.
- 6) R. Iida, S.-H. Kim, M. Yokoyama, N. Taoka, S.-H. Lee, M. Takenaka, and S. Takagi : "Planar-type In [sub 0.53] Ga [sub 0.47] As channel band-to-band tunneling metal-oxide-semiconductor field-effect transistors," *J. Appl. Phys.*, vol.110, pp.124505-124508, 2011.
- 7) R. Li, Y. Lu, S.D. Chae, G. Zhou, Q. Liu, C. Chen, M. Shahriar Rahman, T. Vasen, Q. Zhang, P. Fay, T. Kosel, M. Wistey, H. Xing, S. Koswatta, and A. Seabaugh : "InAs/AlGaSb heterojunction tunnel field-effect transistor with tunnelling in-line with the gate field," *Phys. Status Solidi C*, vol. 9, pp. 389-392, 2012.
- 8) G. Zhou, R. Li, T. Vasen, M. Qi, S. Chae, Y. Lu, Q. Zhang, H. Zhu, J.M. Kuo, T. Kosel, M. Wistey, P. Fay, A. Seabaugh, and H. Xing : "Novel gate-recessed vertical InAs/GaSb TFETs with record high ION of 180 $\mu\text{A}/\mu\text{m}$ at $V_{DS} = 0.5 \text{ V}$," *IEDM Tech. Dig.*, pp.32.36.31-32.36.34, 2012.
- 9) M. Kim, Y.K. Wakabayashi, M. Yokoyama, R. Nakane, M. Takenaka, and S. Takagi : "Ge/Si Heterojunction Tunnel Field-Effect Transistors and Their Post Metallization Annealing Effect," *Electron Devices, IEEE Transactions on*, vol.62, pp.9-15, 2015.
- 10) L. Wang, E. Yu, Y. Taur, and P. Asbeck : "Design of Tunneling Field-Effect Transistors Based on Staggered Heterojunctions for Ultralow-Power Applications," *Electron Device Lett.*, vol.31, pp.431-433, 2010.
- 11) T. Mori, Y. Morita, N. Miyata, S. Migita, K. Fukuda, W. Mizubayashi, M. Masahara, T. Yasuda, and H. Ota : "Study of tunneling transport in Si-based tunnel field-effect transistors with ON current enhancement utilizing isoelectronic trap," *Appl. Phys. Lett.*, vol.106, pp.083501, 2015.
- 12) T. Mori, T. Yasuda, K. Fukuda, Y. Morita, S. Migita, A. Tanabe, T. Maeda, W. Mizubayashi, S.-i. O'uchi, Y. Liu, M. Masahara, N. Miyata, and H. Ota : "Unexpected equivalent-oxide-thickness dependence of the subthreshold swing in tunnel field-effect transistors," *Appl. Phys. Express*, vol.7, pp.024201, 2013.
- 13) C. Hu, D. Chou, P. Patel, and A. Bowonder : "Green Transistor—A VDD Scaling Path for Future Low Power ICs," *VLSI-TSA 2008*, pp.14-15, 2008.
- 14) Y. Morita, T. Mori, S. Migita, W. Mizubayashi, A. Tanabe, K. Fukuda, M. Masahara, and H. Ota : "Tunnel Field-Effect Transistor with Epitaxially Grown Tunnel Junction Fabricated by Source/Drain-First and Tunnel-Junction-Last Processes," *Jpn. J. Appl. Phys.*, vol.52, pp.04CC25-01-05, 2013.
- 15) Y. Morita, T. Mori, S. Migita, W. Mizubayashi, A. Tanabe, K. Fukuda, T. Matsukawa, K. Endo, S.-i. O'uchi,

- Y. Liu, M. Masahara, and H. Ota : “Performance evaluation of parallel electric field tunnel field-effect transistor by a distributed-element circuit model,” *Solid-State Electron.*, vol.102, pp.82-86, 2014.
- 16) M. Goto, Y. Kondo, Y. Morita, S. Migita, A. Hokazono, H. Ota, M. Masahara, and S. Kawanaka : “The Guideline of Si/SiGe Hetero-Junction Design in Parallel Plate Style TFETs (PP-TFETs) for Si CMOS Platform Implementation,” *Ext. Abstr. Solid State Devices and Materials*, pp.852-853, 2014.
- 17) Y. Morita, T. Mori, S. Migita, W. Mizubayashi, A. Tanabe, K. Fukuda, T. Matsukawa, K. Endo, S. O’uchi, Y.X. Liu, M. Masahara, and H. Ota : “Performance Enhancement of Tunnel Field-Effect Transistors by Synthetic Electric Field Effect,” *Electron Device Lett.*, vol.35, pp.792-794, 2014.